



فرم طرح درس

گروه: مهندسی کامپیوتر.

| | |
|---|--|
| تعداد واحد: ۳ | نام درس: معماری کامپیوتر |
| مقطع: <input checked="" type="checkbox"/> کارشناسی <input type="checkbox"/> کارشناسی ارشد | |
| رتبه علمی: استادیار تاریخ تنظیم: ۱۴۰۰/۰۲/۰۹ | نام مدرس: دکتر مهدی صادقی زاده ایمیل: m.sadeghizadeh@qiet.ac.ir |
| آزمایشگاه معماری کامپیوتر | هم نیازها |
| مدارهای منطقی | پیش نیازها |
| آشنایی با سازمان و عملکرد اجزای یک سیستم دیجیتال و طراحی آن | اهداف درس |
| نرم افزارهای مورد نیاز: - | |
| تکالیف: ۳ کوئیز: ۲ امتحان میان ترم: ۷ امتحان پایان ترم: ۸ پروژه درس: - سمینار درس: - | نحوه ارزیابی (%) |
| معماری کامپیوتر موریس مانو معماری کامپیوتر پترسون معماری کامپیوتر مقسمی و پوران پژوهش (برای کنکور ارشد) | مراجع درس |

مباحث هفتگی

| شماره هفته | سرفصل مباحث |
|------------|---|
| ۱ | مروری بر مدارهای منطقی: این فصل منطبق بر ۳ فصل اول کتاب معماری مانو می باشد. بررسی اجمالی سیستم اعداد و توابع بولی و ساده سازی توابع بولی، قابلیت طراحی انواع مدارهای ترکیبی (مدارهایی مانند دیکدر، انکدر و مالتی پلکسرها که به وفور در مدارات معماری کامپیوتر دخیل هستند)، |
| ۲ | قابلیت طراحی انواع مدارهای ترتیبی (عناصر حافظه و انواع آن، تحلیل و طراحی مدارهای ترتیبی)، بررسی اجمالی ثبات ها و شمارنده ها و همچنین حافظه های Ram و Rom و انواع آن |
| ۳ | طراحی واحد ALSU: زبان انتقال ثبات و عبارات انتقال ثبات، معرفی دیگرام سخت افزاری و زمانی و ارائه چندین مثال، گذرگاه مشترک برای تبادل اطلاعات و طراحی آن، بافرهای سه حالت و طراحی گذرگاه مشترک، |
| ۴ | انتقالات حافظه ای، انواع ریز عملها، واحد محاسباتی AU (جمع کننده، جمع و تفریقگر n بیتی، افزایشگر و کاهشگر)، واحد منطقی LU، کاربردهای اعمال منطقی، واحد شیفت SU، واحد محاسبه، منطق و شیفت |
| ۵ | طراحی واحد کنترل: کد دستورالعمل، سازمان مبتنی بر برنامه ذخیره شده، روشهای آدرس دهی حافظه، قالب دستورالعمل، معرفی ثباتهای کامپیوتر پایه و نحوه اجرای برنامه در آن، گذرگاه مشترک و ارائه نکات مربوط به آن |
| ۶ | دستورالعملهای کامپیوتر و انواع آن، کامل بودن مجموعه دستورات، وظایف واحد کنترل، سیکل دستورالعمل (فازهای برداشت، دیکد، رفع آدرس غیرمستقیم و اجرا)، انواع سازمانهای I/O، آرایش I/O، سیکل وقفه، |
| ۷ | تشریح کامل کامپیوتر، اجزاء کامپیوتر پایه، طراحی واحد کنترل ثبات ها، واحد کنترل حافظه، کنترل فلیپ فلاپهای منفرد، واحد کنترل گذرگاه مشترک، طراحی کنترل جمع کننده و مدار منطقی و ثبات AC |
| ۸ | کنترل ریز برنامه نویسی شده: سازمان کنترل ریزبرنامه نویسی شده، توالی گر آدرس، انشعاب شرطی، نگاشت دستورالعمل، زیر روالها، آرایش کامپیوتر و پیکربندی سخت افزار برای کنترل ریزبرنامه نویسی شده |
| ۹ | قالب دستورالعملها، قالب ریز دستورالعملها و معرفی اجزاء آن، ریزدستورالعملهای سمبلیک، ریزبرنامه های سمبلیک (روالهای Indirect, Fetch و ریزبرنامه های دستورالعملها)، ریزبرنامه دودویی، طراحی و تکمیل واحد کنترل، تکمیل مدار انشعاب توالی گر آدرس ریزبرنامه ها. |
| ۱۰ | اجزای CPU، سازمان ثباتهای عمومی، نمونه مثالهایی از ریز اعمال برای این سازمان، سازمان پشته (پشته ثباتی، پشته حافظه ای)، نمایش لهستانی معکوس و نحوه ارزشیابی عبارات در CPU، |
| ۱۱ | قالب دستورالعمل و انواع کامپیوترها بر اساس سازمان ثباتی، روشهای آدرس دهی و مثال، انواع دستورات کار با داده ها (دستورات انتقال، دستورات دستکاری داده ها، دستورات کنترل برنامه)، کنترل برنامه و بیتهای وضعیتی، |
| ۱۲ | دستورات انشعاب شرطی، فراخوانی و بازگشت از زیر روال به عنوان کاربرد پشته حافظه ای، وقفه برنامه و انواع آن، کامپیوترهای RISC و CISC و مشخصات آن ها، درجه های ثباتی همپوشانی |
| ۱۳ | پردازش خط لوله ای و برداری: پردازش موازی، انواع سطوح موازی سازی، انواع کامپیوترها بر اساس پردازش موازی، معرفی خط لوله همراه با مثال هایی، ارائه فرمول افزایش کارایی با خط لوله نسبت به حالت معمول، |
| ۱۴ | خط لوله حسابی و ارائه مثال از آن، خط لوله دستورالعمل و قطعات آن، انواع مخاطرات خط لوله (مخاطره داده، انشعاب، ساختاری) و نحوه رفع آنها، خط لوله RISC، پردازش برداری (عملیات برداری، ضرب ماتریسی)، |
| ۱۵ | سازمان حافظه: سلسله مراتب حافظه، معرفی حافظه های SRAM و DRAM، حافظه های اصلی (RAM، ROM) و نقشه آدرسهای حافظه، نحوه دسترسی به سطوح مختلف حافظه، |
| ۱۶ | حافظه Cache و انواع آن و طراحی ساختار داخلی آن (روش associative، روش Direct map، روش Fully associative، روش Set associative)، عملیات نوشتن در cache، مدیریت حافظه مجازی. |
| ۱۷ | سازمان I/O: دستگاه های جانبی، رابطهای I/O، انتقال غیرهمزمان داده و روشهای آن، انتقال سریال غیرهمزمان، شیوه های انتقال، I/O برنامه ریزی شده، روش وقفه، وقفه های اولویت دار، وقفه همراه با DMA. |