

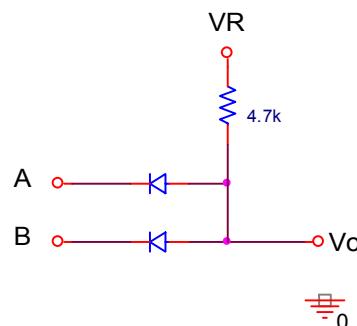


آزمایشگاه مدار منطقی

آزمایش شماره ۱

گیت های منطقی

آزمایش ۱-۱ : مداری مطابق شکل زیر بسته و به کمک اندازه گیری جدول صحت فیزیکی را در حالت های زیر تشکیل دادیم.



الف) $V_R=5v$ و ورودیها صفر یا $+5v$.

A	B	V_O
.	.	0,552
.	5	0,583
5	.	0,582
5	5	4,991

ب) $V_R=0v$ و ورودیها صفر یا $-5v$.

A	B	V_O
.	.	0,00
.	-5	-4,367
-5	0	-4,367
-5	-5	-4,398

- جهت دیودها را معکوس نموده و آزمایش را برای حالت های زیر تکرار کردیم:

ج) $V_R=0v$ و ورودیها صفر یا $+5v$.

A	B	V_o
0	0	0.000
0	5	4.406
5	0	4.405
5	5	4.437

د) $V_R = -5v$ و ورودیها صفر یا .

A	B	V_o
0	0	0.000
0	-5	-0.584
-5	0	-0.588
-5	-5	-4.949

سوال ۱) با تشکیل جدول صحت منطقی در منطق مثبت و منفی برای حالت‌های چهارگانه فوق نوع مدار را مشخص کرده و نتیجه را در جدول زیر یادداشت نمایید.

الف

A	B	V_o
0	0	0
0	1	0
1	0	0
1	1	1

ب

A	B	V_o
0	0	0
0	1	0
1	0	0
1	1	1

ج

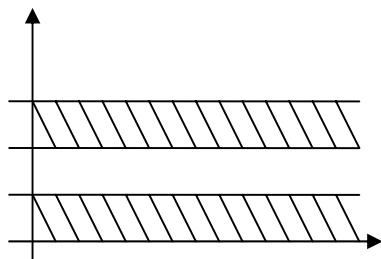
A	B	V _O
0	0	0
0	1	1
1	0	1
1	1	1

د

A	B	V _O
0	0	0
0	1	1
1	0	1
1	1	1

	الف	ب	ج	د
منطق منفی	-	AND	-	OR
منطق مثبت	AND	-	OR	-

سوال ۲) در صورتیکه طراز های منطقی مطابق دیاگرام زیر باشد حداقل مقاومت باری که گیت آزمایش قبل در حالت (الف) می تواند تغذیه نماید چقدر است؟

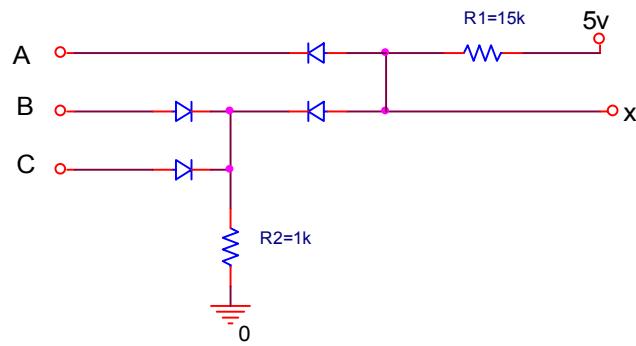


حداقل بار هنگامی است که هر دو ورودی ۵ باشند. آنگاه در خروجی باید حد اقل ۱,۶ ولت داشته باشیم. یعنی جریان ۰,۷۲ میلی آمپر از مقاومت ۴,۷ و بار بگذرد. با تقسیم ولتاژ دو سر بار

(حد اقل ۱,۶ ولت) بر جریان ۰,۷۲ میلی آمپر داریم:

$$RI(\min)=2.2 \text{ k}$$

آزمایش ۱-۲: مداری مطابق شکل زیر بستیم:



الف) به کمک آزمایش جدول صحت فیزیکی آن را به صورت زیر به دست آوردیم:

A	B	C	X
0	0	0	0.521
0	0	5	0.531
0	5	0	0.532
0	5	5	0.531
5	0	0	0.801
5	0	5	4.72
5	5	0	4.74
5	5	5	4.76

ب) مقدار $R_2 = 4.7k$ را قرار داده و آزمایش را تکرار کرديم:

A	B	C	X
0	0	0	0.528
0	0	5	0.528
0	5	0	0.527
0	5	5	0.527
5	0	0	1.584
5	0	5	4.762
5	5	0	4.741
5	5	5	4.761

سوال ۳) در صورتیکه $v(0)=v(1)=2$ باشد، با تشکیل جدول صحت منطقی در منطق مثبت نوع مدار و رابطه منطقی (X) را در هر دو حالت الف و ب مشخص نمایيد.

الف) در منطق مثبت این مدار ورودی های B و C را OR می کند و سپس با A . AND می کند

ب) این مدار A را به خروجی می فرستد و بستگی به B و C ندارد

سوال ۴) تاثیر مقاومت R_2 را در مدار شرح دهيد. (مقایسه حالات الف و ب)

باعث راه اندازی مدار OR ورودی های B و C میگردد. با افزایش مقدار آن B و C بی تاثیر می شوند. و با کاهش مقدار آن ممکن است به دیودهای ورودی B و C آسیب برسد.

سوال ۵) برای آنکه مدار صحیح عمل نماید رابطه ای که نسبت را معین می کند بدست آورید.

برای آنکه مدار درست عمل کند باید هنگامی که دو ورودی B و C صفر هستند و A برابر ۵ ولت

است در خروجی حداکثر ۱ ولت بیافتد.

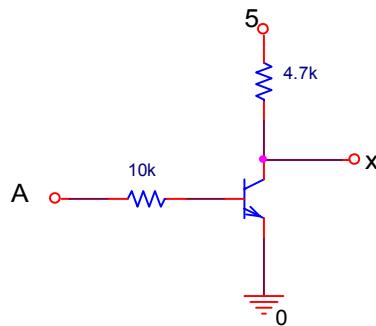
$$R2^*4/R1 + 0.5 = 1 \Rightarrow R1/R2 = 8$$

سوال ۶) در صورتیکه در مدار فوق ($V_D = 0.5V$) باشد R_{2max} را بدست آورید.

هنگامی که ورودی های B و C صفر هستند و A برابر ۱ است در خروجی باید ماکزیمم ولتاژ قرار بگیرد.

$$0.26 * R_{2max} + 0.5 = 1 \Rightarrow R_{2max} = 1.92 \text{Kohm}$$

آزمایش ۱-۳: مداری مطابق شکل زیر بستیم:



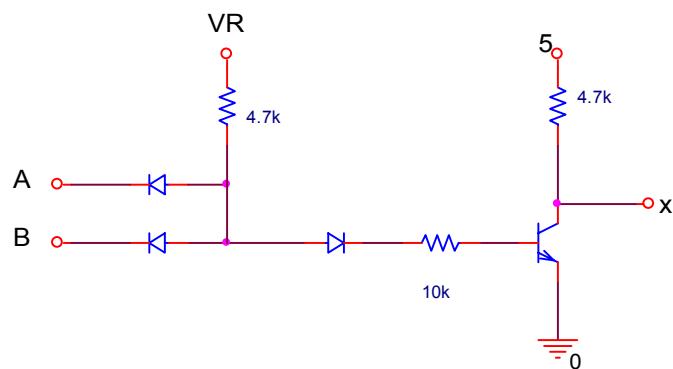
الف) با استفاده از ترانزیستور Si و به کمک آزمایش جدول زیر را کامل نمودیم:

A	X	از طریق محاسبه	وضعیت ترانزیستور
+5	0.014		روشن
0	4.9	.	خاموش
باز	4.9	.	خاموش

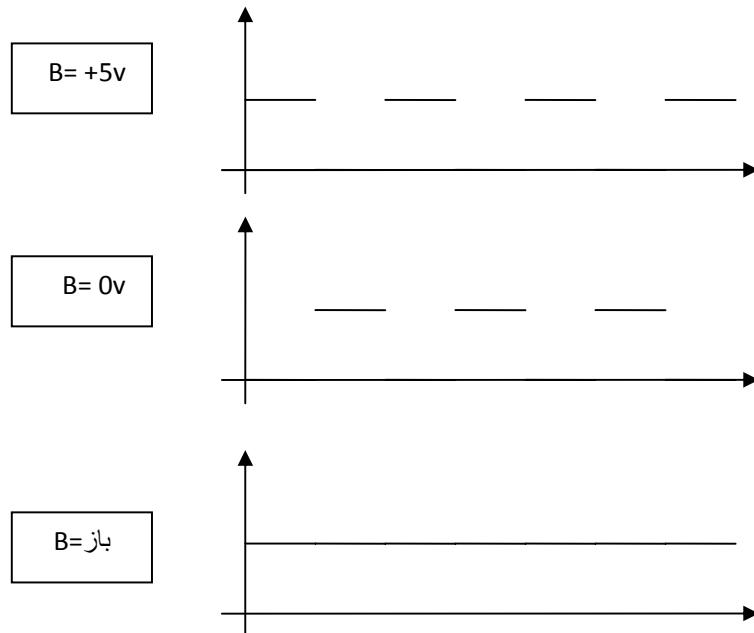
سوال ۷) مدار فوق چه عملی را انجام می دهد؟

گیت NOT است

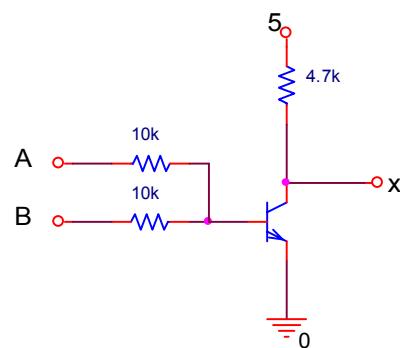
ب) مدار قسمتهای ۱ و ۳ را مطابق شکل زیر به دنبال هم بسته و ضمن تشریح عملکرد دیود و بدست آوردن نوع مدار آزمایش زیر را انجام دهید:



موج مربعی با فرکانس ۱۰ کیلوهرتز ودامنه (۵-۰) به ورودی A اعمال نموده و شکل موج خروجی را برای $B = +5v$, $B = 0v$ و باز $B = 0v$ ترسیم کنید.



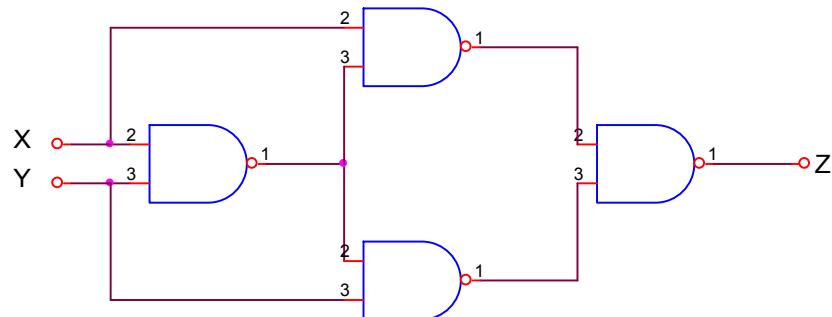
سوال ۸) تابع خروجی شکل زیر را بدست آورید.



آزمایش شماره ۲

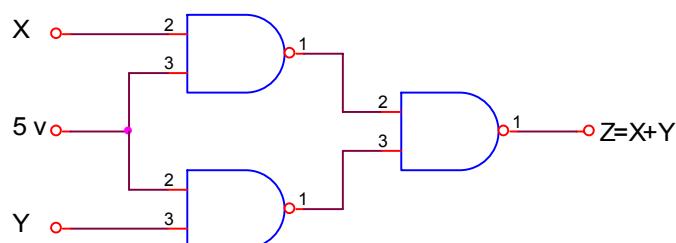
آزمایش ۲-۱) به کمک NAND GATE IC4011 طراحی نمائید و با انجام آزمایش جدول صحت مدار طراحی شده را بدست آورید.

$$xy' + yx' = (x' + y)(x + y') = (xy')(x'y) = [x(x' + y)][y(x' + y)]$$



X	y	z
0	0	0
0	1	1
1	0	1
1	1	0

سوال ۱: چگونه می‌توان با گیت NAND گیت OR ساخت؟ مدار را رسم کنید.

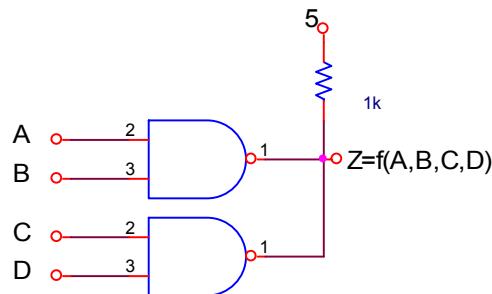


سوال ۲: چگونه می‌توان گیت XOR را به بافر تبدیل کرد؟

میتوانیم یکی از ورودیها را صفر دهیم.

آزمایش ۲-۲

الف) با استفاده از IC7403 که NAND از نوع O.C است مدار شکل زیر را بیندید و در حالیکه خروجی به مقاومت $1K\Omega$ وصل است، جدول صحت را بدست آورید.



A	B	C	D	Z
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1

0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

ب) ورودیها را به نحوی در وضعیت مناسب قرار دادیم که خروجی در وضعیت High قرار گیرد سپس مطابق جدول زیر ولتاژ خروجی را در دو حالت اندازه گیری و یادداشت کردیم.

R	V _Z
1KΩ	5
∞	0

علت اختلاف اینست که در حالت بدون مقاومت ترانزیستورهایی که گیتها را می سازند بایاس نشده‌اند و در نتیجه به درستی عمل نمی‌کند.

سوال ۳: چرا در گیت TTL معمولی با خروجی Totem pole اتصال بیش از دو گیت به صورت wired مجاز نمی‌باشد؟

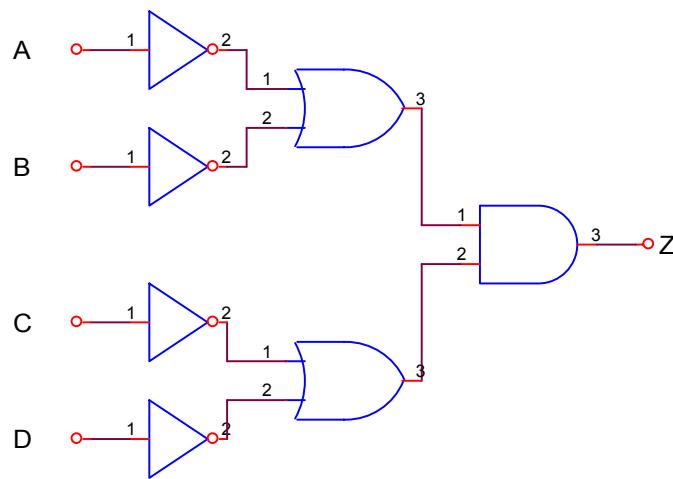
به علت عبور جریان زیاد گیتها صدمه خواهند دید. و افت ولتاژها سبب ایجاد خطأ می‌شود.

سوال ۴: در شکل آزمایش فوق رابطه $z = f(A, B, C, D)$ را با استفاده از جدول صحت بدست آورید؟ سپس رابطه بدست آمده را با استفاده از گیتهای AND, OR, NOT ترسیم کنید. در مقایسه پاسخ با شکل آزمایش چه نتیجه‌ای می‌گیرید؟

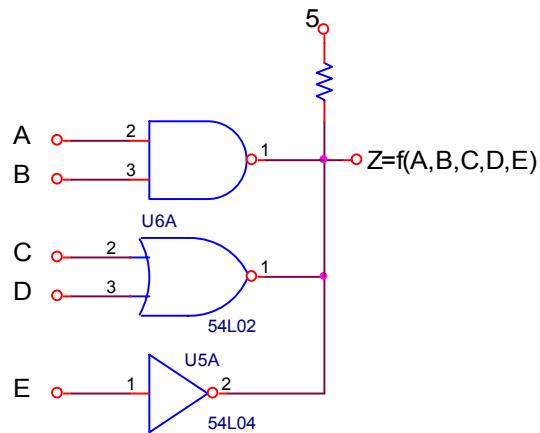
$$Z = (A' + B')(C' + D')$$

مدار به صورت Wired AND می‌باشد.

در نتیجه استفاده از گیتهای NAND مورد استفاده در آزمایش مدار را ساده‌تر می‌کند و نیازی به گیتهای اضافی نمی‌باشد.



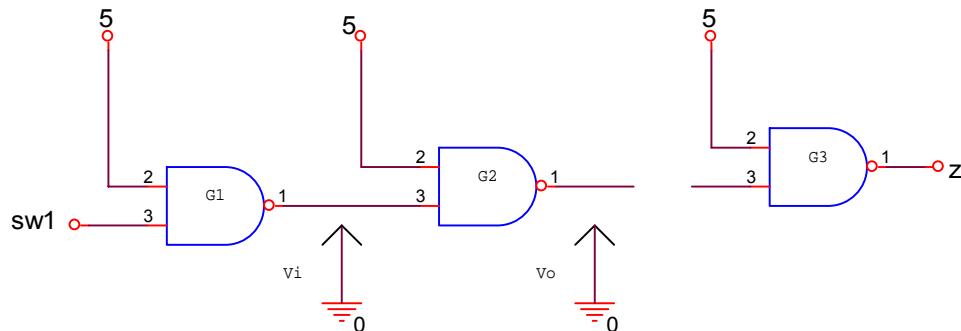
سوال ۵: بدون آزمایش رابطه Z را در شکل زیر بنویسید.



$$Z = (A' + B')(C'D')(E') = A'C'D'E' + B'C'D'E'$$

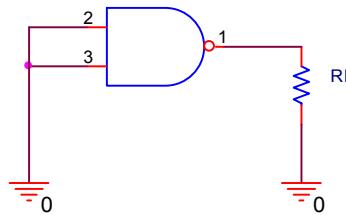
آزمایش ۲-۳) اندازه گیری پارامترهای IC های TTL و CMOS

الف) به کمک IC های ۷۴۰۰ و ۴۰۱۱ مدار شکل زیر را بستیم و به کمک آمپرmetr و ولتmetr جدول را کامل کردیم. (هدف اندازه گیری پارامتر G_2 است)



نوع IC	وضعیت کلید	V_{iL}	V_{oH}	V_{iH}	V_{oL}	I_{oH}	I_{oL}
TTL	H	75m	5	*	*	1.06m	*
	L	*	*	5	70m	*	0.006m
CMOS	H	0	5	*	*	0	*
	L	*	*	5	0	*	0

ب) با IC های فوق مدار شکل زیر را بستیم و با تغییر مقاومت R_L جدول را کامل کردیم.



R_L	V_{out}		محاسبه I_{oH}	
	CMOS	TTL	CMOS	TTL
∞	5	4	0	0
$10k\Omega$	5	3.75	0.4m	0.34m
$1k\Omega$	4	3.4	3.9m	3.25m
220Ω	1.8	2.6	7.64m	10.98m
100Ω	0.9	2	8.04m	16.75m

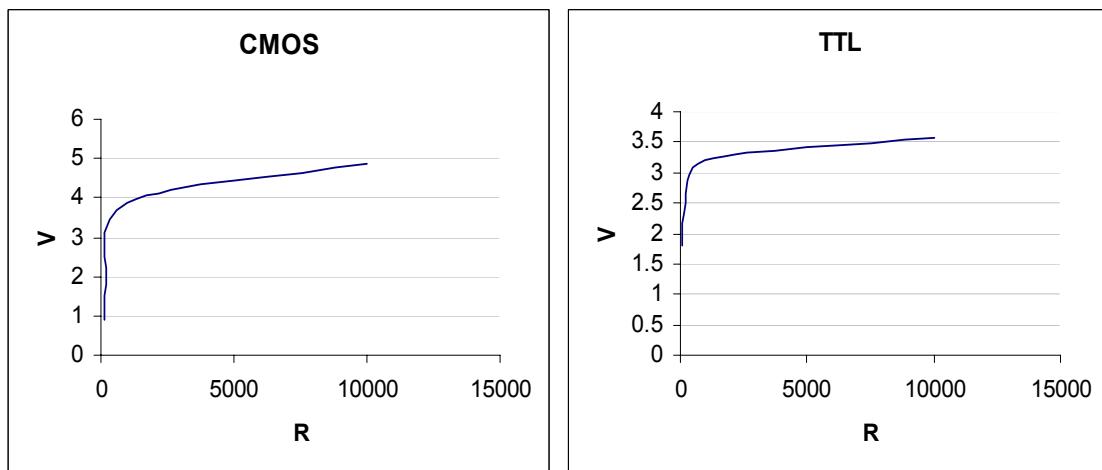
ج) R_L را در شکل آزمایش قبل صفر کرده و جریان اتصال کوتاه را برای هر IC اندازه‌گیری نمودیم. این پارامتر را سریعاً اندازه‌گیری کردیم تا مدت زیادی جریان زیاد از مدار کشیده نشود.

	I_{os}
TTL	31.4m
CMOS	8.5m

د) مدار شکل زیر را بسته و جریان I_{CC} تغذیه لازم برای ICها را در دو حالت اندازه گیری کردیم.

	TTL	CMOS
I_{CCH} (خروجی چهار گیت HIGH)	4.28m	0
I_{CCL} (خروجی چهار گیت LOW)	13.24m	0

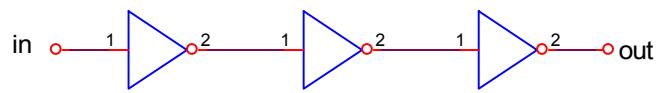
سوال ۶: با توجه به نتایج آزمایش (۲-۳) قسمت ب، منحنی های $V_{Out} = f(R_L)$ را رسم کنید.



سوال ۷: در صورتی که گیت TTL مورد استفاده در آزمایش ۲-۳ (الف) بتواند $A = 16 m$ را نماید مقدار Fanout Sink این گیت را بدست آورید.

$$Fanout = \frac{16m}{1.06m} \approx 15$$

آزمایش (۲-۴) مدار شکل زیر را با ICهای ۷۴۰۴ و ۴۰۶۹ بسته و به ورودی موج مربعی با فرکانس ۱۰۰ کیلوهرتز و دامنه ۰-۵ اعمال نمایید و شکل موج ورودی و خروجی را مشاهده نمایید، سپس مطابق تعریف t_{PLH} و t_{PHL} را اندازه گیری کرده و در جدول زیر پادداشت نمایید.



T_{PLH} : تاخیر انتشار وقتی از HIGH به LOW می‌رود.

T_{PHL} : تاخیر انتشار وقتی از LOW به HIGH می‌رود.

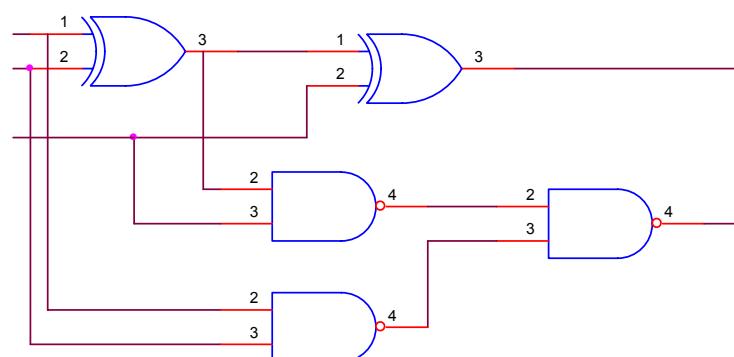
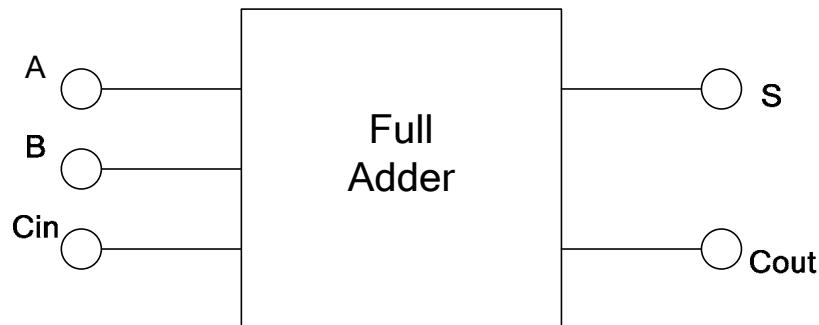
$$t_{pd} = 0.5(t_{PLH} + t_{PHL})$$

نوع IC	اندازه گیری		محاسبه
	t_{PHL}	t_{PLH}	
TTL	$0.04\mu s$	$0.03\mu s$	$0.035\mu s$
CMOS	$0.1\mu s$	$0.08\mu s$	$0.09\mu s$

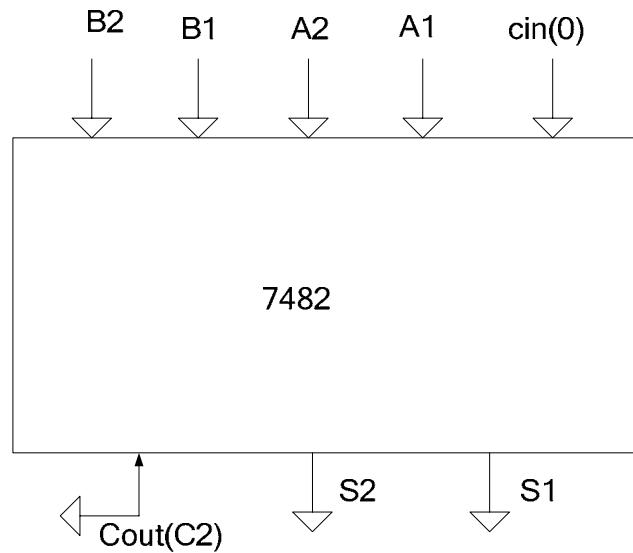
آزمایش سوم

آشنایی با چند مدار ترکیبی

آزمایش ۳-۱-الف) با استفاده از آی سی ۷۴۰۰ و ۷۴۸۰ یک جمع کننده کامل طراحی نمایید. مدار را بسته و جدول ترکیبات آن را بوسیله آزمایش بدست آورید. شکل مدار را بطور کامل رسم نمایید.



ب) آی سی ۷۴۸۲ یک جمع کننده کامل ۲ بیتی است. به کمک آزمایش جدول عملکرد یا function table این آی سی را بدست آورید.

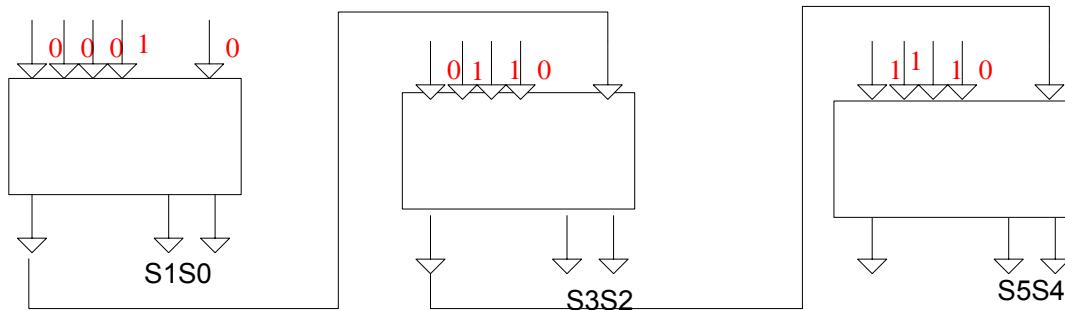


Input				$C_{in}=L$			$C_{in}=H$		
B2	B1	A2	A1	C2	S2	S1	C2	S2	S1
0	0	0	0	0	0	0	0	0	1
0	0	0	1	0	0	1	0	1	0
0	0	1	0	0	1	0	0	1	1
0	0	1	1	0	1	1	1	0	0
0	1	0	0	0	0	1	0	1	0
0	1	0	1	0	1	0	0	1	1
0	1	1	0	0	1	1	1	0	0
0	1	1	1	1	0	0	1	0	1
1	0	0	0	0	1	0	0	1	1
1	0	0	1	0	1	1	1	0	0
1	0	1	0	1	0	0	1	0	1
1	0	1	1	1	0	1	1	1	0
1	1	0	0	0	1	1	1	0	0
1	1	0	1	1	0	0	1	0	1

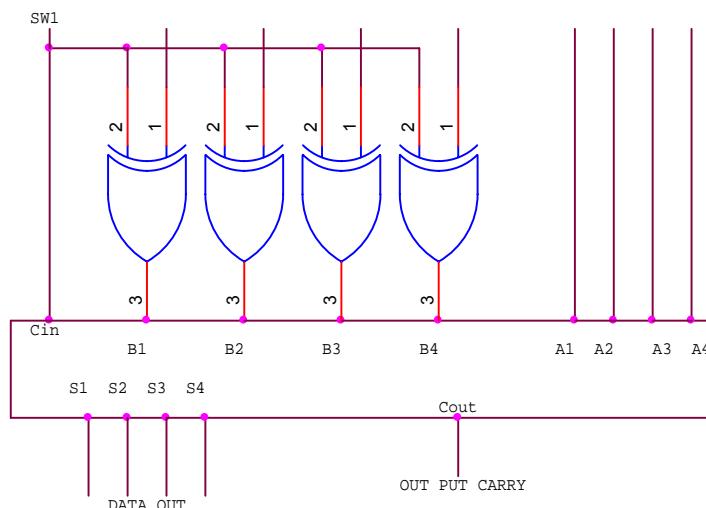
1	1	1	0	1	0	1	1	1	0
1	1	1	1	1	1	0	1	1	1

سوال ۱ - رابطه ساده شده $S = C_{out} \oplus A \oplus B \oplus C_{in}$ را بر حسب A و B و C_{in} در مدار شکل قسمت الف بنویسید.

سوال ۲ - می خواهیم به کمک IC 7482 دو عدد اعشاری ۴۱ و ۵۲ را بصورت باینری با یکیگر جمع کنیم. نحوه اتصال را مشخص کنید.



ج) مدار شکل زیر یک جمع کننده و تفریق کننده مکمل ۲ می باشد که کلید ۱ SW1 انتخاب کنده Mode می باشد. SW2 = H عمل تفریق و SW2 = L عمل جمع.



نحوه کار را به طور کامل توضیح داده و با استفاده از ۷۴۸۳ یک جمع کننده کامل چهاربیتی و ۷۴۸۶ آن را مورد آزمایش قرار داده و جدول زیر را کامل کنید. مقدار بیت Carry مربوط به حاصل تفریق را در هر سه حالت مورد بررسی قرار دهید.

A	B	حاصل جمع	C_{out}	حاصل تفریق	C_{out}
11	8	0011	1	0011	1
5	5	0010	0	0000	1
9	14	0111	1	1011	0

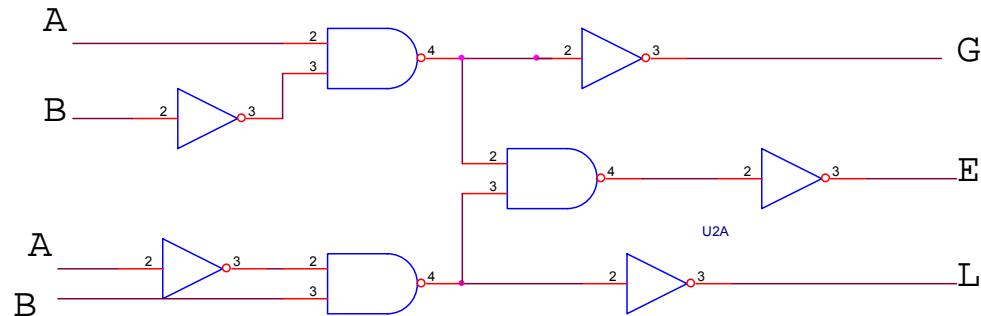
آزمایش ۲-الف) آی سی ۷۴۸۵ یک مقایسه کننده چهاربیتی است. مدار شکل زیر را بیندید و جدول را کامل کنید.

B	A	B3B2B1B0	A3A2A1A0	G	E	L
7	3	0111	0011	0	0	1
7	9	0111	1001	1	0	0
7	7	0111	0111	0	1	0

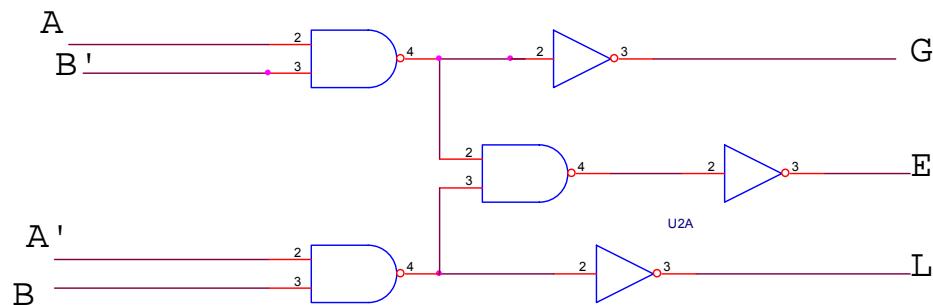
ب) برای مقایسه اعداد بیش از چهاربیت آی سی های ۷۴۸۵ را به طور زنجیره ای Cascadely به دنبال یکدیگر می بندند. برای آشنایی با وظیفه ورودی های Function Table قسمتی از نمایید. در این آزمایش اثر طبقات مجاور با تغییر وضعیت پایه های ۲ تا ۴ معین می گردد.

وضعیت ورودی ها				cascode ورودیهای			خروجیها		
A7,B7	A6,B6	A5,B5	A4,B4	A<B	A=B	A>B	G	E	L
a>b	x	x	x	x	x	x	1	0	0
a<b	x	x	x	x	x	x	0	1	1
a=b	a>b	x	x	x	x	x	1	0	0
a=b	a <b	x	x	x	x	x	0	0	1
a=b	a=b	a =b	a =b	H	L	L	0	0	1
a=b	a=b	a =b	a =b	L	H	L	0	1	0
a=b	a =b	a =b	a =b	L	L	H	1	0	0

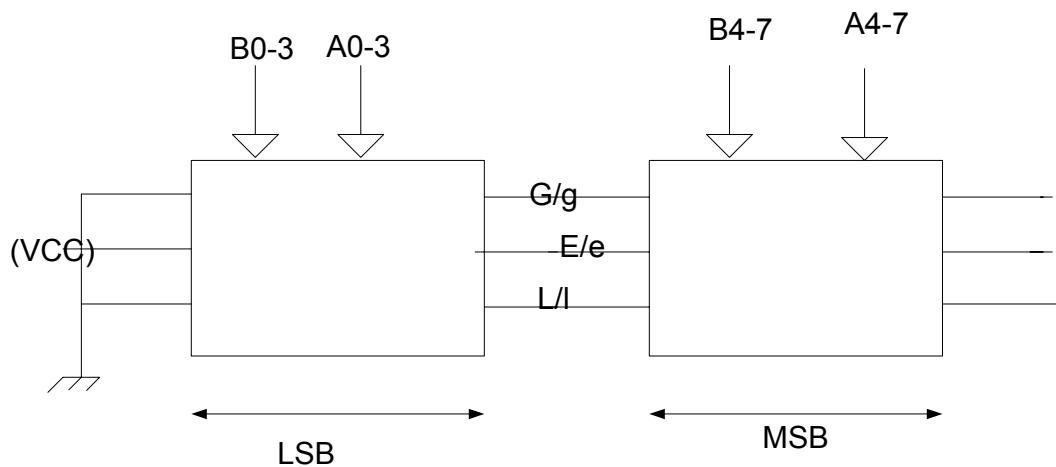
سوال ۳- با استفاده از آی سی ۷۴۰۴ (NAND) و آی سی ۷۴۰۶ (NOT) مفایسه کننده یک بیتی با حداقل گیت طرح نمایید. رابطه ساده شده G و E و L را بیان کنید.



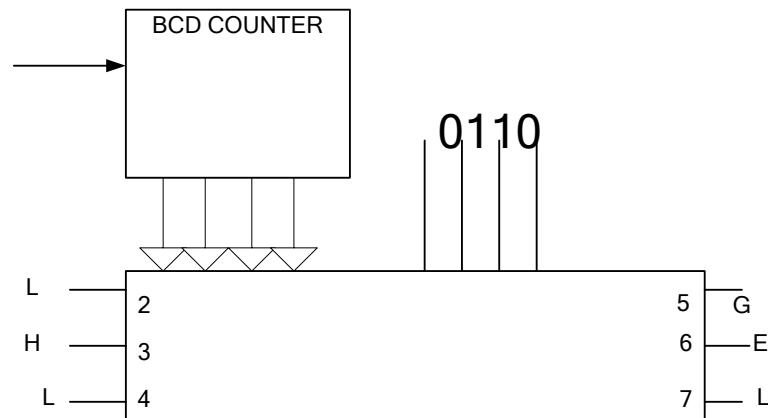
سوال ۴- فرض کنید نفی متغیرها موجود است. سوال ۳ را با حداقل گیت دلخواه ترسیم نمایید.



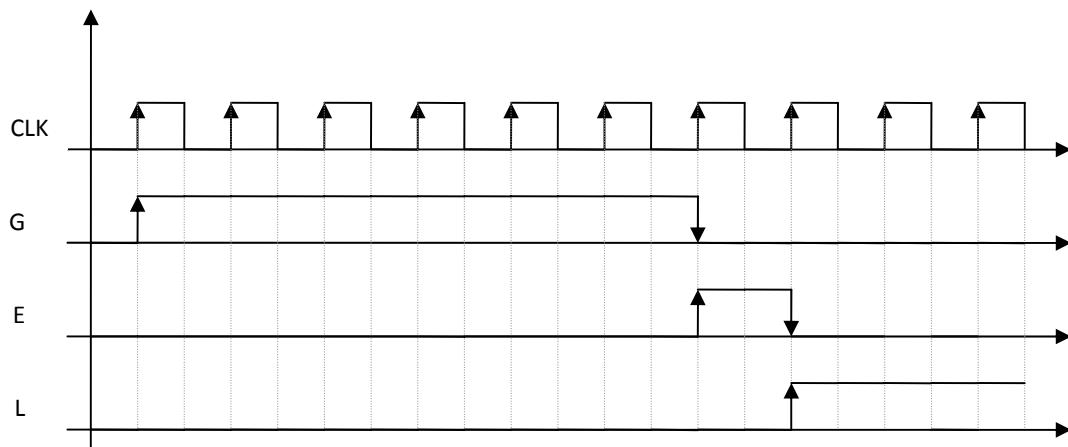
سوال ۵- با استفاده از آی سی ۷۴۸۵ مقایسه کننده ۸ بیتی طراحی و مدار را ترسیم نمایید. شماره بیتها در شکل مشخص نمایید.



سوال ۶- در شکل زیر ورودی A به طور ثابت به عدد $A=0110_{10}=(6)_{10}$ متصل شده است و ورودی B به شمارنده BCD متصل است که اعداد ۰ تا ۹ را با فرکانس ۱ هرتز مرور می کند.



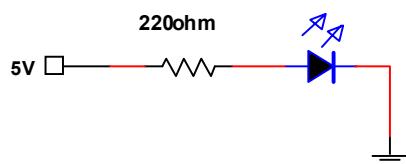
با توجه به جدول قبل موجهای G و E و A را رسم کنید.



آزمایش چهارم

آشنایی با نمایشگرها

آزمایش ۴-۱-الف) مدار شکل زیر را با استفاده از LED و مقاومت 220Ω بسته و جدول زیر را کامل نمایید.



ب) دیود را معکوس کرده و آزمایش الف را تکرار کنید.

آزمایش	ولتاژ آند به کاتد	ولتاژ دو سر مقاومت	I (محاسبه)
الف	1.63 V	3.34	15.18 mA
ب	4.97	0	0

سوال ۱ - مدار شکل فوق را طوری تغییر دهید که اتصال صفر ولت باعث روشن شدن LED شود.

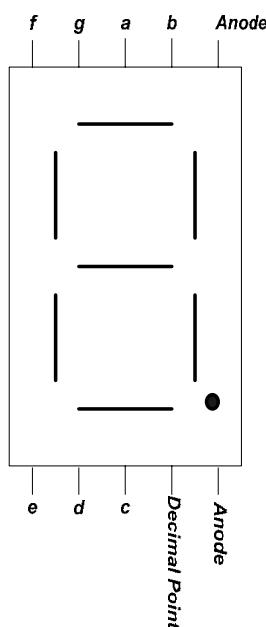
بدین منظور کافیست سر کاتد LED را به ۵+ ولت وصل کرده و سر آند را (البته با یک مقاومت سری) به ۰ یا ۵+ ولت وصل نماییم.

آزمایش ۴-۲- الف) مدار شکل زیر را با استفاده از لامپ ۷ قطعه ای بشماره ۵۰۸۲-۷۷۳۰ و آی سی ۷۴۴۶ با استفاده از اطلاعات مربوط به شماره پایه های IC و لامپ بسته و جدول مربوطه را کامل کنید.

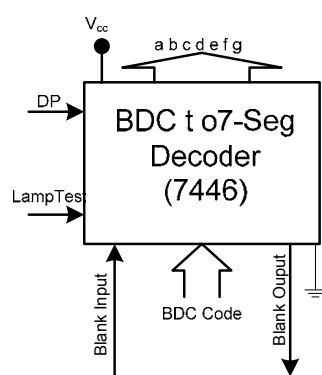
مشخصات لامپ به شرح زیر است:

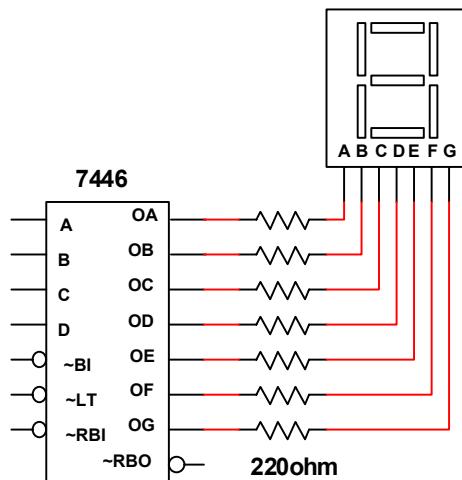
e	۷- کاتد	f	۱۴ و ۳- آند	a	۱- کاتد	
b	۱۳- کاتد	g	۱۱- کاتد	c	d	۸- کاتد

مشخصات پایه های 7-Seg های موجود در آزمایشگاه وقتی از بالا به آنها نگاه می کنیم به صورت زیر است:



و شماتیک آی سی دیکودر به صورت زیر است:





DCBA	عدد نشان داده شده	a b c d e f g	DCBA	عدد نشان داده شده	a b c d e f g
0000	0	0000001	1000	8	0000000
0001	1	1001111	1001	9	0001100
0010	2	0010010	1010	3	1110010
0011	5	0000110	1011	2	1100110
0100	4	1001100	1100	6	1011100
0101	7	0100100	1101	1	0110100
0110	8	1100000	1110	0	1110000
0111	6	0001111	1111	-	1111111

جدول (۲)

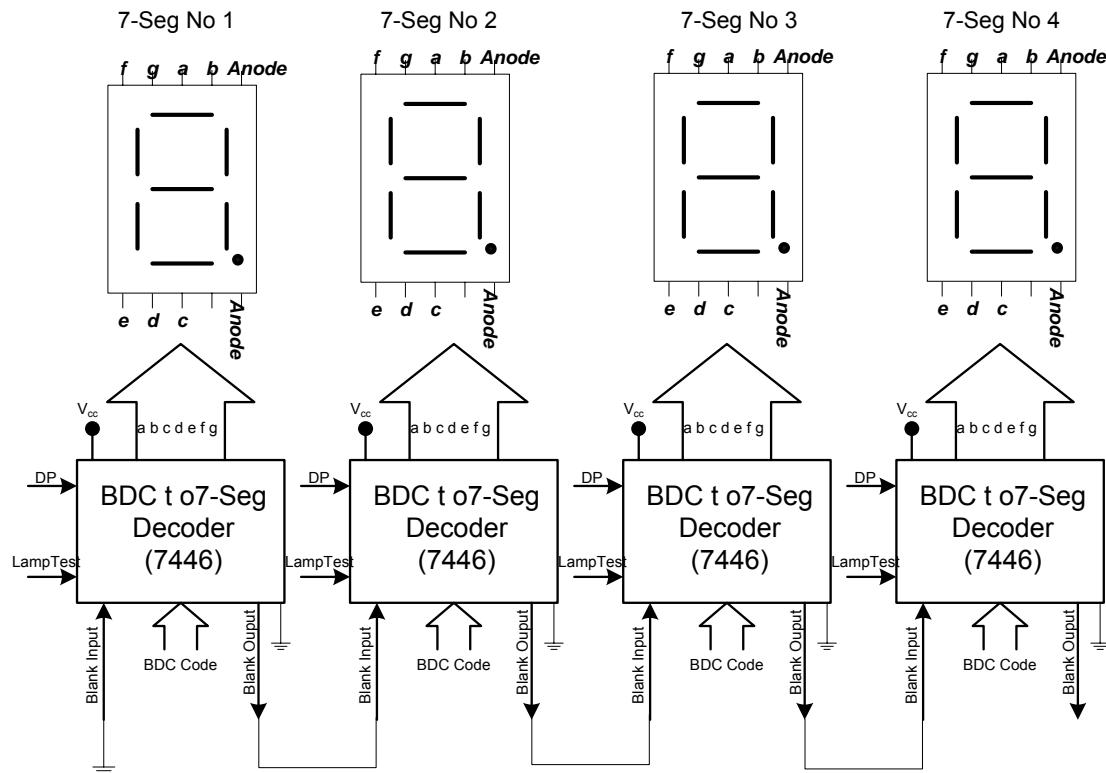
ب) اکنون در همان مدار قبل ورودی Black in آی سی ۷۴۴۶ (Pin 5) را به ولتاژ Low متصل کرده و ورودیهای ۱۰۰۱۰۰۰۰ را بدھید و در هر آزمایش حالت خروجی Black (Pin 4) out و شکلی را که نمایش می دهد یادداشت نمایید.

DCBA	عدد نشان داده شده	a b c d e f g	Blank Out
0000		1111111	0
0001		1001111	1
0010		0010010	1
0011		0000110	1
0100		1001100	1
0101		0100100	1
0110		1100000	1
0111		0001111	1
1000		0000000	1
1001		0001100	1

ج) Pin مربوط به Black out را به ولتاژ Low متصل نمایید و به ازاء چندین عدد ورودی نتیجه را بنویسید. (توجه: اتصال Black out به ولتاژ H مجاز نمی باشد). اکنون پایه Blanck out را باز کنید و پایه Lamp test را به ولتاژ L متصل سازید. چه مشاهده می کنید؟

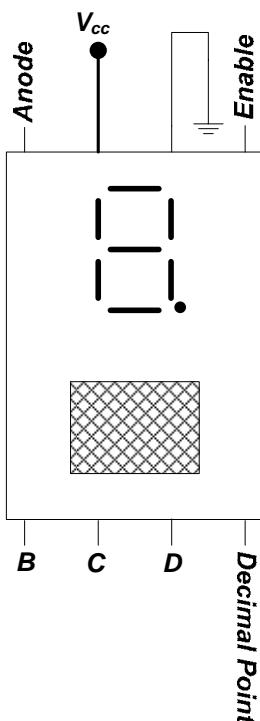
به ازای Low همه به ازای هر ورودی همه LED ها خاموش خواهد بود. با باز کردن Blank Out و اتصال Lamp Test به Low همه LED ها روشن خواهند شد.

سوال ۲ - چهار لامپ ۷ قطعه ای برای نمایش یک عدد چهاررقمی دهدی بکار رفته اند، ارقام به صورت کد BCD می باشند و از آی سی ۷۴۴۶ استفاده شده است. اتصالات آنها را طوری طراحی کنید که صفر های سمت چپ نشان داده نشوند، مثلاً عدد ۰۰۶۱ به صورت ۶۱ و عدد صفر به صورت یک صفر سمت راست نشان داده شود. مدار را رسم کنید.



سوال ۳ - با توجه به جدول قبل مدار داخل آی سی ۷۴۴۶ را طرح نمایید.

آزمایش ۴-۳) لامپ ۵۰۸۲-۷۳۰۰ نمایش دهنده ماتریس اعداد می باشد که در آن از LED نقطه ای استفاده شده است و دکور مربوط به این لامپ در خود لامپ تعییه شده است، یعنی کافی است اعداد بصورت BCD اعمال کنیم و نمایش آن را بر روی لامپ ببینیم. وقتی از بالا به آی سی ۵۰۸۲-۷۳۰۰ نگاه می کنیم پایه های آن مطابق شکل زیر می باشند:



با توجه به شماره پایه های لامپ و با استفاده از ۴ کلید مختلف اعداد جدول را تکمیل نمایید. در این جدول (Latch Enable) E پایه شماره ۵ آی سی نمایشگر است و برای پرکردن ستون E=H فرض کنید ابتدا L=E بوده و عدد ملاحظه می شود. سپس E=H شده و آزمایش ادامه می یابد.

DCBA	عدد نشان داده شده	
	E = L	E = H
0000		
0001		
0010		
0011		
0100		
0101		
0110		
0111		
1000		
1001		
1010		
1011		
1100		
1101		
1110		

1111		
------	--	--

مشخصات لامپ : ۵۰۸۲-۷۳۰۰

۱- ورودی B
۲- ورودی C
۳- ورودی D
۴- میز d.p
۵- Latch Enable
۶- زمین
۷- $+V_{cc}$
۸- ورودی A

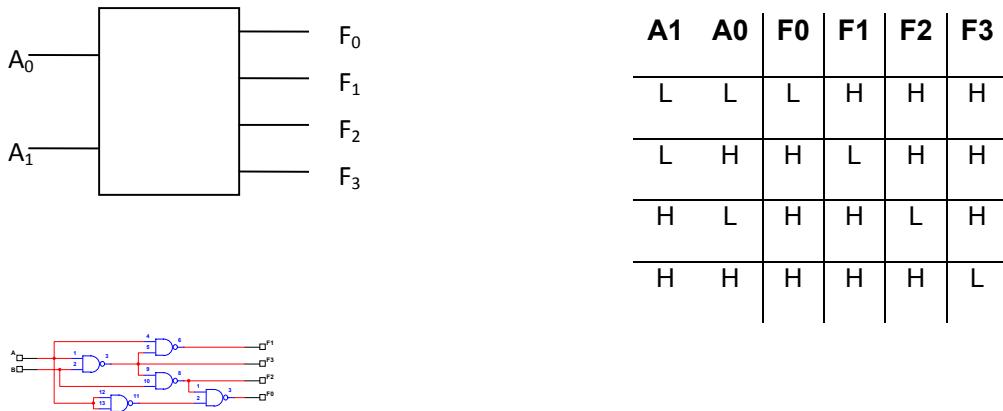
سوال ۴- وظیفه پایه شماره ۵ در آی سی ۵۰۸۲-۷۳۰۰ چیست؟

وقتی Latch En High شود عددی که در آن لحظه در ورودی بوده روی نمایشگر به صورت ثابت نمایش داده می شود (کاربرد: در زمانسنجی چند واقعه با یک کرنومتر) و دیگر با تغییر ورودی دیگر خروجی تغییر نمیکند.

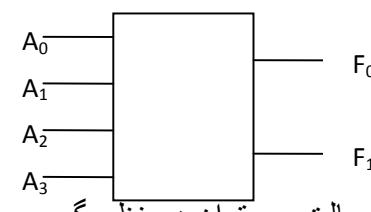
آزمایش پنجم

ادامه آشنایی با مدارهای ترکیبی

آزمایش (۵-۱) : مدار Decoder ۲ به ۴ و جدول ترکیبات آن در شکل (۵-۱) نشان داده شده است . ورودی های A_1 ، A_0 آدرس خروجی ایکه مقدارش بایستی Low گردد را نشان می دهد . با استفاده از ۷۴۰۰ این مدار را با حداقل گیت طرح کرده و جدول صحت آن را آزمایش کنید .



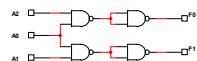
سوال ۱ - مدار Encoder ۴ به ۲ با حداقل گیت NAND طرح نمائید . جدول صحت این مدار عکس جدول صحت مدار دکودر است یعنی A_3 تا A_0 ورودی و F_1 ، F_0 خروجی است.



برای طراحی این مدار دو حالت می توان در نظر گرفت.

۱) در این حالت فرض می کنیم که در هر ترکیب از ورودیها تنها یکی LOW است.

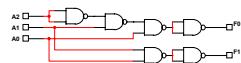
A0	A1	A2	A3	F0	F1
L	H	H	H	L	L
H	L	H	H	L	H
H	H	L	H	H	L
H	H	H	L	H	H



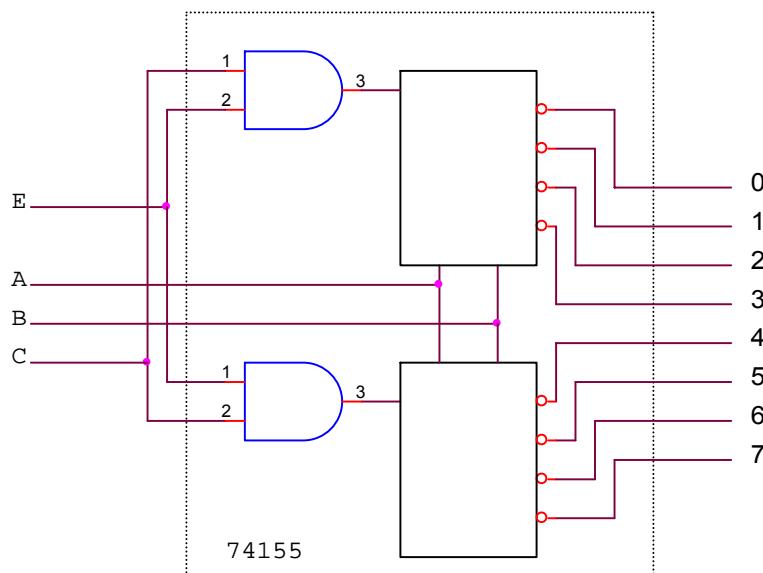
۲) در این حالت مداری اولویت دار طراحی می کنیم به این ترتیب که در هر ترکیب تر ورودیها بیش از یکی می تواند LOW باشد اما اولویت با ورودی با ارزش کمتر می باشد.

A0	A1	A2	A3	F0	F1
L	L	L	L	L	L
L	L	L	H	L	L
L	L	H	L	L	L
L	L	H	H	L	L
L	H	L	L	L	L
L	H	L	H	L	L
L	H	H	L	L	L

L	H	H	H	L		L
H	L	L	L	L		H
H	L	L	H	L		H
H	L	H	L	L		H
H	L	H	H	L		H
H	H	L	L	H		L
H	H	L	H	H		L
H	H	H	L	H		H
H	H	H	H	X		X



سوال ۲ - در داخل IC ۷۴۱۵۵ دو دکودر ۲ به ۴ با آدرس های مشترک A، B و ورودی های Enable مستقل به صورت شکل (۵-۲) وجود دارد. چگونه می توان با این IC دکودر ۳ به ۸ ساخت؟ نحوه اتصال را رسم کنید.



مدارات مولتی پلکس و دی مولتی پلکس :

آزمایش (۵-۲) :

الف - IC ۷۴۱۵۱ (مالتی پلکس ۸ به ۱) را به ازاء چندین ورودی آدرس و Data مختلف مورد آزمایش قرار دهید و نتایج را در جدولی نوشه و وظایف پایه های آن را تشریح نمائید.

(D0 D1 D2 D3 D4 D5 D6 D7)=(1 1 0 0 1 0 0 1)

C	B	A	E	W	Y
0	0	0	0	0	1
0	0	1	0	0	1
0	1	0	0	1	0
0	1	1	0	1	0
1	0	0	0	0	1
1	0	1	0	1	0
1	1	0	0	1	0
1	1	1	0	0	1
0	0	0	1	1	0
0	0	1	1	1	0
0	1	0	1	1	0
0	1	1	1	1	0
1	0	0	1	1	0
1	0	1	1	1	0
1	1	0	1	1	0
1	1	1	1	1	0

پایه های D0 تا D7 مربوط به Data می باشند. پایه های A,B,C برای آدرس دهی هستند تا ورودی آدرس داده شده با این سه پایه بر روی پایه Y و مکمل آن بر روی پایه W ظاهر شود. پایه E نیز برای فعال کردن آی سی می باشد در صورتیکه LOW باشد.

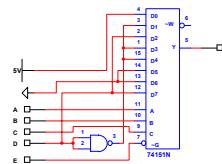
ب - با استفاده از این IC و IC ۷۴۰۰ تابع F را بسازید که :

$$F(D,C,B,A) = (0,1,3,4,8,10,15)$$

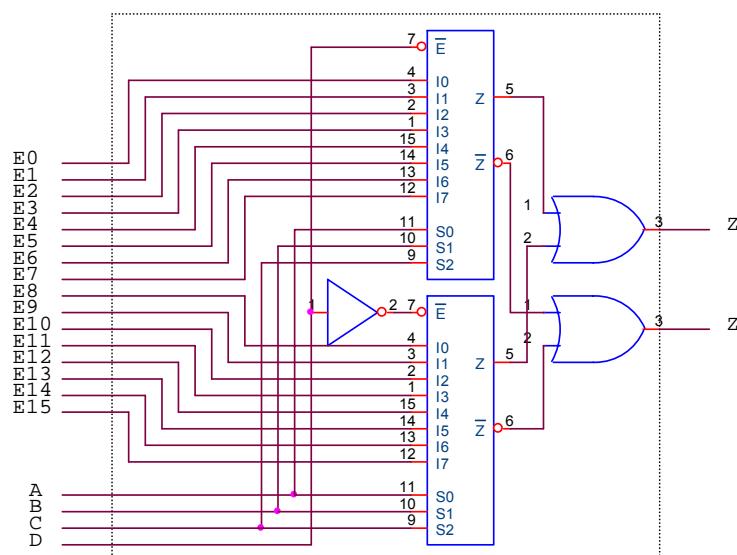
برای این آزمایش می توانید ورودی های A,B,C را به ورودی های آدرس وصل نموده و ورودی D یا سایر مقادیر مناسب را به ورودی های (Data) وصل نمائید .

D	C	B	A	F
0	0	0	0	1
0	0	0	1	1
0	0	1	0	0
0	0	1	1	1
0	1	0	0	1
0	1	0	1	0
0	1	1	0	0
0	1	1	1	0
1	0	0	0	1
1	0	0	1	0
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	1

		CBA							
		000	001	010	011	100	101	110	111
D	0	1	1	0	1	1	0	0	0
	1	1	0	1	0	0	0	0	1
		1	D'	D	D'	D'	0	0	D



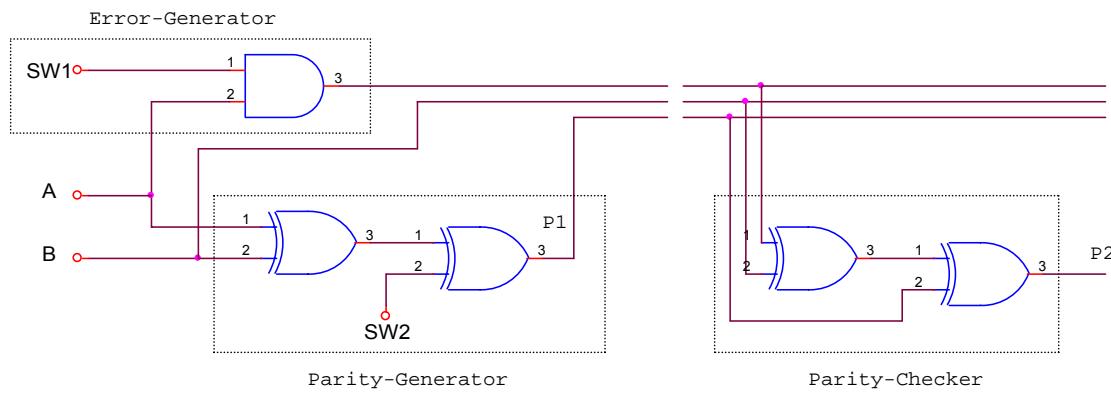
سوال ۳ - با استفاده از دو IC74151 یک مولتی پلکس ۱۶ به ۱ (۷۴۱۵۰) بسازید . نحوه اتصال را ترسیم نماید .



مدار تولید کننده و بررسی کننده رقم توازن (Parity Bit Generator - Checker)

آزمایش ۵-۳ :

مدار شکل (۳-۵) را با استفاده از IC های ۷۴۸۶-۷۴۰۸ بیندید و با دادن ورودی های A, B مقاولت جداول (۱) و (۲) را کامل نمائید.



SW1				
SW2= L		H	L	
A	B	P1	P2	P2
0	0	0	0	0
1	0	1	0	1
0	1	1	0	0
1	1	0	0	1

جدول (۱)

SW1				
SW2= H		H	L	
A	B	P1	P2	P2
0	0	1	1	1
1	0	0	1	0
0	1	0	1	1
1	1	1	1	0

جدول (۲)

سوال ۴ - با توجه به جداول ۲ و ۱ نوع توازن (فرد یا زوج) را در هر حالت معین کنید.

در جدول اول توازن زوج ایجاد می کنیم و در جدول دوم توازن فرد ایجاد می کنیم.

سوال ۵- وظیفه کلیدهای SW_1 ، SW_2 چیست ؟

در این نحوه ارسال چون احتمال بروز خطابسیار پایین است ما با استفاده از کلید SW_1 به صورت دستی در ارسال A خطایجاد می‌کنیم.

با استفاده از کلید SW_2 نوع ایجاد توازن را تعیین می‌کنیم . بدین ترتیب که اگر H باشد توازن فرد و اگر L باشد توازن زوج ایجاد می‌شود.

آزمایش ششم

آشنایی با ساختمان انواع فلیپ فلاپها

آزمایش ۶-۱) آشنایی با فلیپ- فلاپ RS

الف- مدار شکل(۶-۱) را که یک Latch است با ۰۱۴۷ (سه ورودی NAND) بسته و جدول (۱) را کامل نمایید.

A	B	Q	Q'
0	1	1	0
1	1	1	0
1	0	0	1
1	1	0	1
0	0	1	1

ب- مدار یک فلاپ RS با ورودی Enable را با استفاده از شکل (۶-۱) و آی سی ۰۰۴۷ مطابق شکل (۶-۲) بینید و جدول (۲) را کامل کنید.

سطر	E	Pr	CLR	R	S	Q(n+1)	Q'(n+1)	شرح وضعیت
1		1	1	1	0	0	1	Reset
2		1	1	0	0	0	1	حفظ وضعیت قبلی
3	H	1	1	0	1	1	0	Set
4		1	1	0	0	1	0	حفظ وضعیت قبلی
5		1	1	1	0	0	1	Reset
6		0	1	1	0	1	0	Set
7		0	1	0	0	1	0	حفظ وضعیت قبلی
8		0	1	0	1	1	0	حفظ وضعیت قبلی
9		0	1	0	0	1	0	حفظ وضعیت قبلی
10	L	1	1	0	0	1	0	حفظ وضعیت قبلی
11		1	0	0	0	0	1	Reset
12		1	0	0	1	0	1	حفظ وضعیت قبلی
13		1	0	0	0	0	1	حفظ وضعیت قبلی
14		1	0	1	0	0	1	حفظ وضعیت قبلی
15	H	0	0	X	X	1	1	غیرمجاز
16		0	1	1	1	1	1	غیرمجاز

سوال ۱ - با توجه به نتیجه جدول (۱) به نظر شما RS-Latch چه اشکالی دارد و چه راه حلی برای رفع آن دارید.

سوال ۲ - با توجه به نتیجه جدول (۲) و شناسایی که از وظیفه ورودیهای RS F.F. آورید، دیاگرام وضعیتی State Diagram زیر را کامل نمایید.

سوال ۳ - جدول (۲) را حتی الامکان خلاصه کنید.

سطر	E	Pr	CLR	R	S	Q(n+1)	Q'(n+1)	شرح وضعیت
1								
2								
3								
4								
5								
6								
7								
8								

آزمایش ۶-۲) مدار یک فلیپ فلیپ D را مطابق شکل(۶-۳) ببندیدو جدول(۳) را کامل نمایید. برای این منظور (به استثنای سطر اول) ورودی E را به کلیدی که همواره در وضعیت L است متصل کنید. پس از آنکه وضعیت ورودیهاي CLR و Pr و D را مطابق جدول ثبت کردید. برای یک لحظه کلید متصل به E به حالت H برد و سپس بلافاصله L کنید و نتیجه را در جدول یادداشت کنید. با این روش شما به مدار Clock استاتیک اعمال می کنید.

E	CLR	Pr	D	Q(n+1)
L	0	1	x	0
	1	0	x	1
	1	1	1	1
	1	1	0	0
	1	1	1	1
	1	1	0	0

سوال ۴- معادله را از جدول(۳) استخراج کنید.

سوال ۵- فلیپ فلاپ D چه عملی انجام می دهد؟ و دو مصرف برای D-FF نام ببرید.

آزمایش ۶-۳) یک مدار JK F.F با استفاده از شکل(۶-۲) و آی سی ۷۴۰۸ مطابق شکل (۶-۴) ببندید. با اتصال فقط اسیلوسکوپ رد وضعیت DC به خروجی های Q و Q' و اعمال CLK استاتیک به ورودی E (مانند آزمایش قبل) جدول(۴) را کامل کنید. در صورت وجود Race فرکانس نوسانات را پادداشت نمایید.

E	J	K	Q(n+1)	Q'(n+1)	شرح وضعیت
	0	1	0	1	Reset
	0	0	0	1	حفظ وضعیت قبلی
	1	0	1	0	Set
	0	0	1	0	حفظ وضعیت قبلی
	0	1	0	1	Reset
H	1	1	1	1	غیر مجاز

سوال ۶- JK را می توان فقط با ۷۴۱۰ ساخت، مدار آن را ترسیم کنید.

سوال ۷- با استفاده از یک آی سی ۷۴۱۰ و دو آی سی ۷۴۰۰ یک Master-Slave JK F.F از نوع-

را ترسیم و مزیت آن را به مدار شکل(۶-۴) بیان کنید.

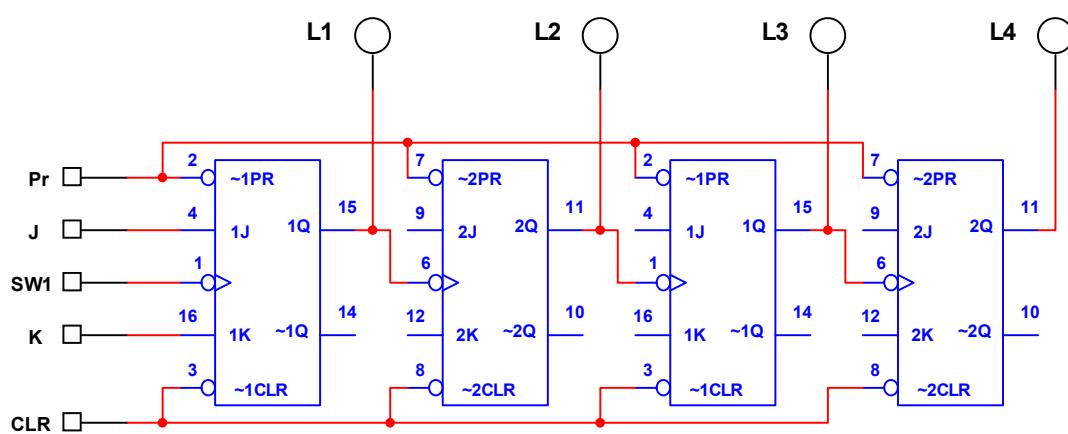
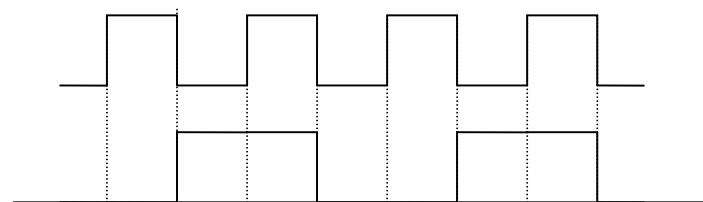
سوال ۸- در آی سی ۷۴۷۶ (JK F.F.) وقتی $K=J$ است ، فلیپ فلاپ T بدست آمده است. این ترکیب چه مصرفی دارد؟

آزمایش ۶-۴) آی سی ۷۴۷۴ فلیپ فلاپ نوع D است. با مراجعه به جزوه، شماره پایه آی سی ها و آزمایش، یک Function Table برای این IC اریه دهید. طرح Fn. Table گروه آزمایش کننده است و جدول باید طوری باشد که با مراجعه به آن بتوان کار IC را از آن استخراج کرد.

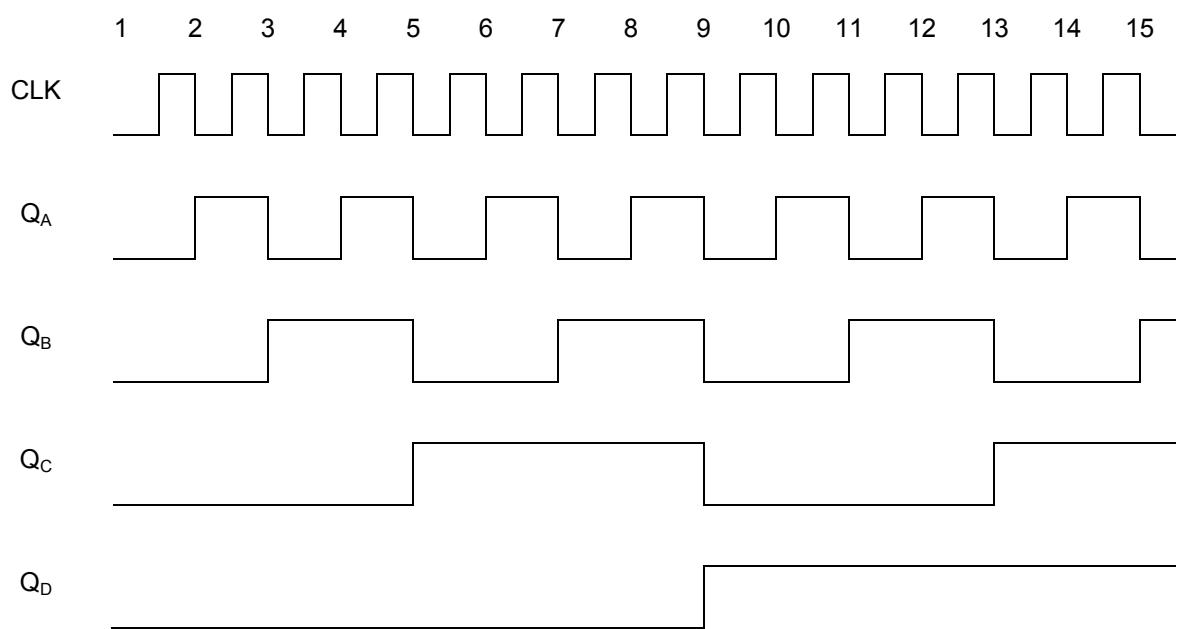
سوال ۹- آیا می توان از F.F.D (۷۴۷۴) فلیپ فلاپ T ساخت؟ مدار آن را رسم کنید.

از مایش هفتم

ورودی					خروجی	
J	K	CLK	CLR	Pr	Q(n+1)	Q'(n+1)
x	x	x	0	1	0	1
x	x	x	1	0	1	0
0	0		1	1	0	1
0	1		1	1	0	1
1	0		1	1	1	0
1	1		1	1	0	1
1	1		1	1	1	0



تعداد پالس	Q_A	Q_B	Q_C	Q_D	معادل اعشاری
0	0	0	0	0	0
1	1	0	0	0	1
2	0	1	0	0	2
3	1	1	0	0	3
4	0	0	1	0	4
5	1	0	1	0	5
6	0	1	1	0	6
7	1	1	1	0	7
8	0	0	0	1	8
9	1	0	0	1	9
10	0	1	0	1	10
11	1	1	0	1	11
12	0	0	1	1	12
13	1	0	1	1	13
14	0	1	1	1	14
15	1	1	1	1	15
16	0	0	0	0	0



آزمایش هشتم

شمارنده های سنکرون

(آزمایش ۸-۱)

مدار شمارنده سنکرون بالارو را با استفاده از دو آی سی ۴۰۲۷ (J.K F.F) و (AND) مطابق شکل ۸-۱ بیندید.

الف- تمام F.F ها را پاک کنید و سپس با دادن پالس ساعت استاتیک، خروجی F.F ها را در جدولی نظیر جدول (۱) یادداشت نمایید.

ب- موج مربعی با فرکانس ۱۰۰ کیلوهرتز را به عنوان CLK دینامیک داده و شکل موج Q_D و Q_A و Q_B و Q_C و ورودی را با حفظ رابطه زمانی رسم نمایید. کanal (۱) اسیلوسکوپ را با لبه منفی Q_D تریگر کنید و شکل موجها را با نتایج آزمایش ۷-۲ مقایسه کنید.

(آزمایش ۸-۲)

شمارنده سنکرون پایین رو مدار شکل ۸-۱ را به نحوی تبدیل به شمارنده پایین رو نمایید که خروجی ها از Q ها گرفته شده باشند. سپس مراحل زیر را آزمایش کنید:

الف- ابتدا F.F ها را Preset کنید و سپس با دادن پالس ساعت استاتیک خروجی F.F ها را در جدولی نظیر جدول (۲) یادداشت کنید.

ب- پالس ساعت دینامیک ۱۰۰ کیلوهرتز به شمارنده اعمال نمایید و شکل موج خروجی ها و ورودی را با حفظ رابطه زمانی ترسیم نمایید. کanal (۱) را با لبه مثبت Q_D تریگر نمایید.

سوال ۱- در مدار شکل (۸-۱) اولا نوع F.F مورد استفاده را بیان نموده، ثانیا ورودی هر F.F را بر حسب Q ها بنویسید.

سوال ۲- در مدار آزمایش (۸-۲) اگر خروجیها از 'Q ها گرفته شوند، مدار چه عملی انجام خواهد داد؟

آزمایش ۸-۳) طراحی شمارنده سنکرون

با استفاده از آی سی ۴۰۲۷ و آی سی ۴۰۸۱ AND(۷۴C۰۸) و آی سی ۴۰۲۷ OR(۷۴C۳۲) شمارنده سنکرونی طرح نمایید که خروجی آن به محض رسیدن به $N=9$ صفر شود (Mod 9 Counter) برای Self Starting می توانید از مدار شکل ۸-۲ استفاده کنید.

الف- مدار طراحی شده را بر روی برد بیندید و با دادن پالس استاتیک ، خروجی F.F ها را مشاهده کرده و نتیجه را در جدول نظیر جدول(۱) یادداشت نمایید.

ب- به ورودی موج مربعی با فرکانس ۰۰۱ کیلوهرتز اعمال نمایید و شکل موج خروجی F.F ها و ورودی را با حفظ رابطه زمانی مشاهده و رسم نمایید.

سوال ۳- نقش خازن مدار شکل ۸-۲ در شمارنده سنکرون طراحی شده چیست؟ در صورتیکه بخواهیم عمل Self-Starting بدون استفاده از مدار شکل(۸-۲) صورت پذیرد یعنی شمارنده هنگام دیدن حالتیای ناخواسته در ابتدای کار از صفر شروع کند چه تغییراتی باید در طرح شمارنده داده شود. روابط جدید را بدست آورید.

سوال ۴- معایب و مزایای شمارنده های آسنکرون و سنکرون را نسبت به یکدیگر بیان نمایید.