

بِسْمِ اللَّهِ الرَّحْمَنِ الرَّحِيمِ

مبانی دیجیتال

رشته الکترونیک

زمینه صنعت

شاخه آموزش فنی و حرفه‌ای

شماره درس ۲۰۹۹

۶۲۱	رضازاده ، یدالله
۳۸۱/	مبانی دیجیتال/ مؤلفان: یدالله رضازاده ، غلامحسین نصری ، فتح الله نظریان، مهین ظریفیان جولایی، رسول ملک محمد ، محمود شبانی. - تهران: شرکت چاپ و نشر کتاب های درسی ایران، ۱۳۹۵.
م ۵۶۳/	۲۰۸ ص.: مصور... (شاخه آموزش فنی و حرفه‌ای؛ شماره درس ۲۰۹۹)
۱۳۹۵	متون درسی رشته الکترونیک، زمینه صنعت.
	برنامه‌ریزی و نظارت، بررسی و تصویب محتوا: کمیسیون تألیف کتاب‌های درسی رشته الکترونیک دفتر تألیف کتاب‌های درسی فنی و حرفه‌ای و کاردانش وزارت آموزش و پرورش.
	۱. الکترونیک رقمی. الف. نصری، غلامحسین. ب. نظریان، فتح‌الله. ج. ظریفیان جولایی، مهین.
	د. ملک محمد، رسول. ه. شبانی، محمود. و. ایران. وزارت آموزش و پرورش. کمیسیون برنامه‌ریزی و تألیف کتاب‌های درسی رشته الکترونیک. ز. عنوان. ح. فروست.

همکاران محترم و دانش‌آموزان عزیز:

پیشنهادات و نظرات خود را درباره محتوای این کتاب به نشانی تهران - صندوق پستی شماره ۴۸۷۴/۱۵
دفتر تألیف کتاب‌های درسی فنی و حرفه‌ای و کاردانش، ارسال فرمایند.
پیام‌نگار (ایمیل) tvoccd@medu.sch.ir
وب‌گاه (وب سایت) www.tvoccd.medu.ir

جدول هدف محتوای کتاب مبانی دیجیتال در سال ۱۳۸۷ با توجه به فناوری‌های جدید، نیازهای جامعه و درخواست هنرآموزان و گروه‌های آموزشی سراسر کشور و تأیید کمیسیون تخصصی رشته الکترونیک، مورد بازنگری و اصلاحات کلی قرار گرفت و سپس در سال ۱۳۸۸ با تغییراتی متجاوز از ۵۰ درصد، تألیف مجدد و بازسازی شد. همچنین این کتاب براساس نتایج حاصل از پرسش‌نامه‌ها و کتاب‌های حاشیه‌نویسی شده هنرآموزان گرامی و پرسش‌نامه‌های تکمیل شده هنرجویان گرامی و متخصصان حرفه‌ای در فرایند اعتباربخشی توسط اعضای کمیسیون تخصصی رشته الکترونیک در سال تحصیلی ۹۱-۱۳۹۰ مورد بازنگری و اصلاح قرار گرفت.

وزارت آموزش و پرورش سازمان پژوهش و برنامه‌ریزی آموزشی

برنامه‌ریزی محتوا و نظارت بر تألیف: دفتر تألیف کتاب‌های درسی فنی و حرفه‌ای و کاردانش

نام کتاب: مبانی دیجیتال - ۴۸۹/۸

بازسازی و تألیف مجدد در سال ۱۳۸۸: مهین ظریفیان جولانی، محمود شبانی، یدالله رضازاده و رسول ملک محمد

مؤلفان: یدالله رضازاده، غلامحسین نصری، فتح‌الله نظریان (سال ۱۳۷۸)

اعضای کمیسیون تخصصی: سید محمود صموتی، جمشید بردبار، شهرام نصیری سوادکوهی، فرشته داوودی و سهیلا ذوالفقاری

آماده‌سازی و نظارت بر چاپ و توزیع: اداره کل نظارت بر نشر و توزیع مواد آموزشی

تهران: خیابان ایرانشهر شمالی - ساختمان شماره ۴ آموزش و پرورش (شهید موسوی)

تلفن: ۹-۸۸۸۳۱۱۶۱، دورنگار: ۸۸۳۰۹۲۶۶، کد پستی: ۱۵۸۴۷۴۷۳۵۹

وب سایت: www.chap.sch.ir

مدیر امور فنی و چاپ: لیدا نیک‌روش

رسام: محمد سیاحی، المیرا شیرین سخن

طراح جلد: مهدی براتی

صفحه‌آرا: منیره کاظم زاده، حسین وهابی

حروفچین: سیده فاطمه محسنی

مصحح: سیف‌الله بیک محمد، حسین چراغی

امورآماده‌سازی خبر: فاطمه پزشکی

امور فنی رایانه‌ای: حمید ثابت کلاچاهی، راحله زادفتح‌اله

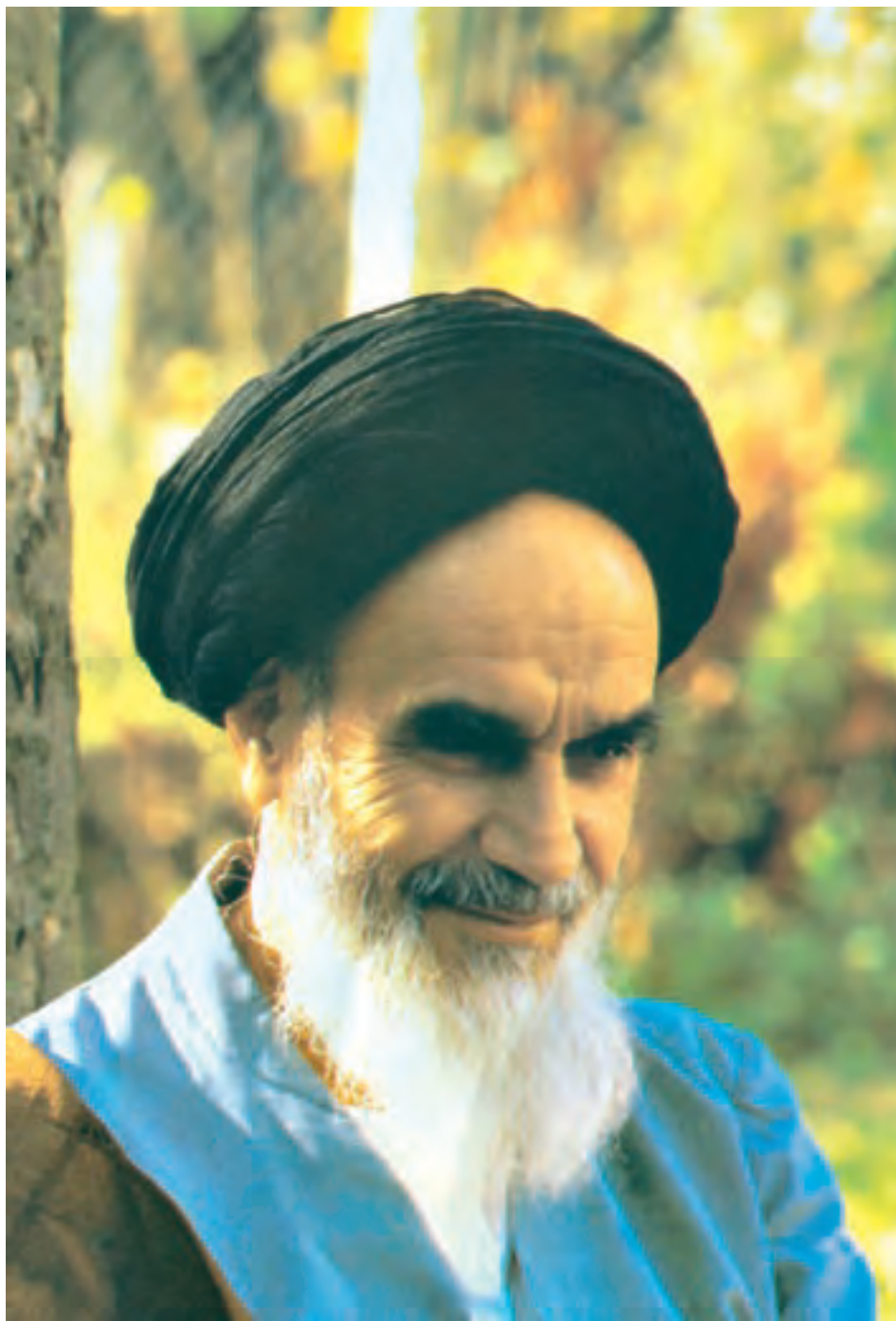
ناشر: شرکت چاپ و نشر کتاب‌های درسی ایران: تهران - کیلومتر ۱۷ جاده مخصوص کرج - خیابان ۶۱ (داروپخش)

تلفن: ۵-۴۴۹۸۵۱۶۱، دورنگار: ۴۴۹۸۵۱۶۰، صندوق پستی: ۱۳۹-۳۷۵۱۵

چاپخانه: کارون

سال انتشار و نوبت چاپ: چاپ ششم ۱۳۹۵

حق چاپ محفوظ است.



شما عزیزان کوشش کنید که از این وابستگی بیرون آیید و احتیاجات کشور
خودتان را برآورده سازید، از نیروی انسانی ایمانی خودتان غافل نباشید و از
اتکای به اجانب پرهیزید.

امام خمینی (قدّس سرّه الشّریف)

سخنی با همکاران ارجمند

هم زمان با تغییر نظام « نیم سالی واحدی » به « سالی واحدی »، کتاب مبانی دیجیتال بر اساس سرفصل‌های مصوب کمیسیون تخصصی دفتر تألیف کتاب‌های درسی فنی و حرفه‌ای و کاردانش و نیاز رشته الکترونیک تنظیم و در سال ۱۳۷۹ تدوین گردید. با توجه به اینکه در برنامه ریزی برای این درس ۲ ساعت آموزشی در طول هفته در نظر گرفته شده بود. بنا به درخواست هنر آموزان و گروه‌های آموزشی و تأیید کمیسیون تخصصی و تأیید شورای عالی وزارت آموزش و پرورش، ساعات درسی به ۴ ساعت افزایش یافت.

نظر به اینکه در گردهمایی‌ها و دوره‌های بازآموزی و جلسات گروه‌های آموزشی استان‌ها، بارها نسبت به بازنگری این درس اعلام نظر شده بود، بالاخره در سال ۱۳۸۷ کمیسیون تخصصی تصمیم به بازنگری جدول هدف محتوی بر اساس پیشنهادات دریافتی گرفت و در نهایت در سال ۱۳۸۸ با تقویت تیم تألیف، کتاب مبانی دیجیتال بازنگری شد و با تغییراتی متجاوز از ۵۰٪ تألیف جدید و تغییرات کلی در سایر قسمت‌ها، به شکل کنونی بازسازی و تألیف شد.

کتاب چاپ سال ۱۳۷۹ مشتمل بر سه فصل به صورت فشرده بود که اغلب اظهار می‌داشتند فشردگی و طولانی بودن فصول باعث خستگی هنرجویان می‌شود و هنرآموزان نمی‌توانند کتاب را به طور کامل آموزش دهند، لذا کتاب جدید به هفت فصل افزایش یافت. عدم رعایت تسلسل منطقی موضوع‌های درسی کتاب نیز از موارد دیگری بود که همواره مورد اعتراض واقع می‌شد که در کتاب فعلی این نقص برطرف شده است و فصول کتاب به شرح زیر تنظیم شده است.

فصل اول اختصاص به مفهوم دیجیتال در سیستم اعداد و جمع و تفریق در مبنای دودویی دارد.

فصل دوم به دروازه‌های منطقی پایه می‌پردازد.

فصل سوم اختصاص به مباحث ریاضی مربوط به مدارهای منطقی یعنی همان جبر بول دارد.

فصل چهارم مدارهای ترکیبی را مورد بررسی قرار می‌دهد.

فصل پنجم مباحث فلیپ فلاپ و مدارهای ترتیبی را تحلیل می‌کند.

فصل ششم اختصاص به شیفت رجیسترها و شمارنده‌ها دارد.

فصل هفتم اشاره مختصر به مدارهای منطقی پیشرفته دارد.

استفاده از نرم‌افزار توسط معلم و توصیه به کاربرد آن توسط هنرجو از مواردی است که در این کتاب تأکید ویژه بر آن شده است.

به منظور درک بهتر مفاهیم سعی شده است که از مثال‌های کاربردی و منطبق با جامعه استفاده شود، همچنین تمرین کلاسی برای درک کامل مفاهیم نیز در نظر گرفته شده است، لذا ضرورت دارد هنرجویان با نظارت هنرآموزان و در ساعت کلاسی به حل آنها بپردازند.

گنجاندن مبحث مدارهای منطقی پیشرفته حسن ختام کتاب محسوب می‌شود. زیرا کاربرد دیجیتال را در جامعه امروزی به هنرجویان معرفی می‌کند.

از آنجا که در ابتدای هر فصل اهداف رفتاری کتاب بیان شده است، از هنرآموزان عزیز تقاضا می‌شود سؤالات امتحانی را متناسب با حیطه و طبقه داده شده در اهداف رفتاری طراحی نمایند.

نکته مهم: در صورتی که سؤالی را در ارتباط با نقشه‌ای مانند شمارنده، شیفت رجیستر و مدارهای داخلی آی سی مطرح می‌نمایید، باید حتماً اصل نقشه را در اختیار هنرجو قرار دهید. هرگز از هنرجو نخواهید که نقشه را ترسیم نماید یا نقشه ناقص را بدهید و از او بخواهید که آن را تکمیل کند.

مؤلفان

سخنی با هنرجویان عزیز

درس مبانی مدارهای منطقی (مدارهای دیجیتال) یکی از دروس بسیار جالب و شیرین است که یادگیری آن برای همه کسانی که در رشته الکترونیک تحصیل می‌کنند، ضرورت دارد. یکی از ویژگی‌های این درس سادگی آن است. زمانی فراگیری این درس برای شما آسان می‌شود که مطالب را به صورت قدم به قدم و پی در پی فرا بگیرید و تمرین‌های آنرا به طور کامل انجام دهید. انجام بحث و گفت‌وگو پیرامون هریک از موضوع‌های درسی نیز بسیار مفید است.

اجرای نرم‌افزاری مدارهای داده شده در کتاب می‌تواند شما را در رسیدن به اهداف اصلی آموزش هدایت کند. همچنین پاسخ

دادن به الگوهای پرسش و طراحی سؤال‌های تازه و جدید از مباحث مختلف درسی نیز از مواردی است که پویایی آموزش را به همراه دارد.

از موارد دیگری که در این کتاب با آن برخورد می‌کنید تمرین‌های کلاسی است. تمرین‌های کلاسی به منظور درک کامل مفاهیم و مبحث مربوطه در نظر گرفته شده و هنرجو موظف است با نظارت مربی در ساعات کلاسی به حل آنها اقدام نماید. استفاده از منابع مختلف مرتبط با درس مبانی دیجیتال نیز بسیار مفید است و موجب ارتقاء دانش شما در این زمینه می‌شود.

در پایان توصیه می‌کنیم در جلسات آموزشی به مباحثی که توسط مربی آموزش داده می‌شود به دقت گوش فرا دهید، پرسش‌های خود را بپرسید و به مباحث نرم‌افزاری که توسط مربی اجرا می‌شود خوب توجه کنید و آنها را خارج از کلاس درس و روی کامپیوتر شخصی خود اجرا نمایید.

مؤلفان

نکات اجرایی

هنگام آموزش درس مبانی دیجیتال به نکات اجرایی زیر توجه داشته باشید:

- ۱- تا حد امکان آموزش را بر اساس برنامهٔ زمان‌بندی داده شده در ابتدای کتاب اجرا کنید.
- ۲- در صورتی که با تعطیلات غیر منتظره‌ای، مواجه شدید حتماً برای آن کلاس جبرانی در نظر بگیرید. در این مورد لازم است مسئولان هنرستان همکاری نمایند.
- ۳- برای درک بهتر مفاهیم لازم است مواردی را که امکان اجرای آن توسط نرم‌افزار میسر است حتماً به صورت نرم‌افزاری در کلاس اجرا نمایید و از هنرجویان بخواهید که در خارج از کلاس به تمرین و اجرای نرم‌افزارها اقدام کنند.
- ۴- از هنرجویان بخواهید الگوهای پرسش را انجام دهند و به طرح سؤال‌های جدید بپردازند.
- ۵- در صورت امکان از وسایل کمک آموزشی و مدارهای عملی برای انتقال مفاهیم استفاده کنید.
- ۶- از سؤال‌های طرح شده توسط هنرجویان برای اجرای آزمون‌های کلاسی استفاده کنید.

فهرست بودجه‌بندی زمانی درس مبانی دیجیتال

شماره فصل	عنوان فصل	شماره صفحه	زمان آموزش به ساعت
فصل اول	مفهوم دیجیتال و سیستم اعداد	۱-۲۹	۱۲
فصل دوم	ساختمان دروازه‌های منطقی پایه و ترکیبی	۳۰-۵۵	۱۲
فصل سوم	جبر بول	۵۶-۹۸	۲۰
فصل چهارم	چند مدار ترکیبی کاربردی	۹۹-۱۳۰	۲۴
فصل پنجم	مدارهای ترتیبی — فلیپ‌فلاپ‌ها	۱۳۱-۱۵۱	۲۰
فصل ششم	شیفت رجیسترها و شمارنده‌ها	۱۵۲-۱۸۶	۲۰
فصل هفتم	مدارهای منطقی پیشرفته	۱۸۷-۲۰۸	۱۲

فهرست مطالب

فصل اول || مفهوم دیجیتال و سیستم اعداد

پیش گفتار	۲	۱-۵- مکمل های اعداد	۱۸
مقدمه	۲	۱-۶- تبدیل مبنای اعداد به یکدیگر	۲۰
۱-۱ مفهوم دیجیتال	۳	تبدیل مبنای ۲ به ۱۰	۲۰
مزایای سیستم های دیجیتال نسبت به آنالوگ	۵	تبدیل مبنای ۲ به ۸	۲۱
۲- مفهوم صفر و یک منطقی	۶	تبدیل مبنای ۸ به ۲	۲۲
۳- ۱ دروازه های منطقی پایه	۷	تبدیل مبنای ۱۶ به ۲	۲۳
دروازه AND یا «و»	۸	تبدیل مبنای ۲ به ۱۶	۲۵
دروازه OR یا «یا»	۱۰	۱-۷- جمع باینری	۲۶
دروازه NOT یا «نه» یا «نفی»	۱۲	۱-۸- تفريق باینری	۲۷
۴- ۱ سیستم های اعداد	۱۴	۱-۹- نقش کد در سیستم دیجیتال	۲۷
سیستم ده دهی (اعشاری Decimal)	۱۴	کد BCD	۲۷
سیستم دودویی (Binary)	۱۴	۱-۱۰- الگوی پرسش	۲۹
سیستم هشت تایی (اکتال Octal)	۱۶		
سیستم شانزده تایی (هگزادسی مال Hexa decimal)	۱۷		

فصل دوم || ساختمان دروازه های منطقی پایه و ترکیبی

پیش گفتار	۳۱	۲-۴- مشخصات ویژه دروازه های منطقی	۴۷
۲-۱- تراز های ولتاژ	۳۱	fan-in	۴۷
۲-۲- دروازه های منطقی پایه	۳۱	fan-out	۴۷
گیت OR «یا»	۳۲	حاشیه نویز Marginal noise	۴۷
دروازه منطقی AND «و»	۳۵	تأخیر در انتشار Propagation delay	۴۸
گیت NOT «نه»	۳۸	توان تلف شده Power dissipation	۴۸
۳- ۲ دروازه های منطقی ترکیبی	۳۹	۲-۵- استفاده از data book	۴۸
دروازه منطقی NAND (NOT AND)	۳۹	برگه اطلاعات IC (Data Sheet)	۵۰
دروازه منطقی NOR (NOT OR)	۴۱	آشنایی با سری خانواده TTL	۵۱
دروازه OR انحصاری (Exclusive OR) XOR	۴۳	۲-۶- استفاده از نرم افزار	۵۲
دروازه NOR انحصاری		۲-۷- الگوی پرسش	۵۳
(Exclusive NOR-XNOR)	۴۴	۲-۸- معرفی مشخصات پایه های آی سی های	
دروازه بافر Buffer	۴۵	گیت های منطقی	۵۵

فصل سوم جبر بول

- پیش گفتار ۵۷
- ۳-۱ جبر بول ۵۷
- قوانین حاکم بر جبر بول یا اتحادهای اساسی ... ۵۷
- ۳-۲ قوانین دمورگان ۶۳
- ۳-۳ ساده سازی توابع جبر بول ۷۰
- اصول ساده سازی توابع جبر بول ۷۰
- فرم استاندارد توابع بول ۷۱
- تعریف عبارت منطقی حاصل ضرب ۷۲
- تعریف عبارت منطقی مجموع ۷۲
- تعریف عبارت مجموع حاصل ضرب ها (sum of Products) یا مین ترم (minterm) ۷۳
- عبارت حاصل ضرب حاصل جمع ها (Product of sums) یا ماکس ترم (maxterm) ۷۳
- ۳-۴ ساده سازی توابع با استفاده از نقشه کارنو ۷۵
- ساده سازی توابع چهار متغیره به کمک نقشه کارنو ۸۰
- ۳-۵ الگوی پرسش ۸۳
- ۳-۶ افزایش ظرفیت ورودی های دروازه های منطقی ۸۳
- افزایش تعداد ورودی های دروازه منطقی AND ۸۳
- افزایش تعداد ورودی های دروازه منطقی OR ۸۴
- افزایش تعداد ورودی های دروازه منطقی NAND ۸۴
- افزایش تعداد ورودی های دروازه منطقی NOR ۸۵
- ۳-۷ ساخت دروازه های منطقی مختلف با استفاده از گیت NAND ۸۵
- ایجاد دروازه منطقی NOT «نه» ۸۵
- ساخت دروازه منطقی AND ۸۶
- تولید دروازه منطقی OR ۸۶
- دروازه منطقی NOR ۸۶
- دروازه منطقی OR انحصاری XOR ۸۶
- دروازه منطقی NOR انحصاری (XNOR) ۸۷
- ۳-۸ ساخت دروازه های منطقی مختلف با استفاده از گیت NOR ۸۷
- ساخت دروازه منطقی NOT «نه» ۸۷
- ایجاد دروازه منطقی AND ۸۷
- تولید دروازه منطقی OR ۸۷
- دروازه منطقی NAND ۸۷
- دروازه منطقی XOR ۸۸
- دروازه منطقی XNOR ۸۸
- ۳-۹ مقدمه ای بر مدارهای ترکیبی ۸۸
- تعریف مدار ترکیبی ۹۰
- آنالیز مدارهای ترکیبی ۹۰
- طراحی مدارهای ترکیبی ساده ۹۳
- ۳-۱۰ الگوی پرسش ۹۴
- ۳-۱۱ استفاده از نرم افزار ۹۵
- ۳-۱۲ الگوی پرسش ۹۷

فصل چهارم چند مدار ترکیبی کاربردی

- پیش گفتار ۱۰۰
- ۴-۱ مدارهای ترکیبی ۱۰۰
- روش طراحی مدارهای ترکیبی ۱۰۱
- طراحی چند نمونه مدار ترکیبی ۱۰۱
- ۴-۲ مدارهای ترکیبی با کاربردهای ویژه ۱۰۴
- جمع کننده ناقص H.A (Half Adder) ۱۰۴
- جمع کننده کامل F.A (Full Adder) ۱۰۵
- تفریق کننده ناقص H.S (Half Subtractor) ۱۰۸
- تفریق کننده کامل F.S (Full Subtractor) ۱۰۸
- مقایسه کننده یک بیتی ۱۱۰
- ۴-۳ انواع کدها ۱۱۱
- مقایسه انواع کد با کد BCD ۱۱۲
- ۴-۴ مبدل BCD به 7.S ۱۱۲
- مبدل هگزادسی مال به 7.S ۱۱۳
- ۴-۵ الگوی پرسش ۱۱۴
- ۴-۶ مدارهای رمزگشا ۱۱۶
- ۴-۷ مدارهای رمز گذار (Encoder) ۱۱۹
- ۴-۸ مدارهای متمرکز کننده یا تسهیم کننده ۱۲۳
- ۴-۹ الگوی پرسش ۱۲۹
- ۴-۱۰ کار با نرم افزار ۱۳۰

فصل پنجم || مدارهای ترتیبی - فلیپ فلاپ‌ها

- پیش گفتار ۱۳۲
- ۵-۱- فلیپ فلاپ‌ها ۱۳۲
- ۵-۲- فلیپ فلاپ RS ۱۳۲
- فلیپ فلاپ RS حافظه ۱۳۲
- مدار الکترونیکی فلیپ فلاپ RS ۱۳۳
- فلیپ فلاپ RS با استفاده از گیت NOR ۱۳۴
- فلیپ فلاپ RS با استفاده از گیت NAND ۱۳۵
- فلیپ فلاپ SR ساعتی ۱۳۷
- ۵-۳- تقسیم‌بندی فلیپ فلاپ‌ها بر اساس پالس ساعت ۱۳۸
- ۵-۴- الگوی پرسش ۱۳۹
- ۵-۵- فلیپ فلاپ J-K ۱۴۰
- عیب فلیپ فلاپ J-K ۱۴۱
- فلیپ فلاپ JK-MS ۱۴۲
- عملکرد ورودی‌های پیش تنظیم Clr و Prl ۱۴۵
- تراشه ۷۴LS۷۶ ۱۴۶
- ۵-۶- فلیپ فلاپ نوع D ۱۴۶
- ۵-۷- فلیپ فلاپ نوع T (کلیدی یا Toggle) ۱۴۷
- ۵-۸- الگوی پرسش ۱۴۹
- ۵-۹- کار با نرم افزار ۱۵۱

فصل ششم || شیفت رجیسترها و شمارنده‌ها

- پیش گفتار ۱۵۳
- ۶-۱- شیفت رجیسترها و شمارنده‌ها ۱۵۳
- انواع شیفت رجیستر ۱۵۴
- انتقال اطلاعات در شیفت رجیستر ۱۵۵
- شیفت رجیستر سری-سری یا متوالی-متوالی ۱۵۷
- شیفت رجیستر ورودی سری خروجی موازی (سری - موازی) ۱۶۱
- شیفت رجیستر ورودی موازی خروجی سری (موازی - سری) ۱۶۲
- شیفت رجیستر ورودی موازی-خروجی موازی (موازی - موازی) ۱۶۳
- ۶-۲- شیفت رجیستر چپ رو راست ۱۶۴
- ۶-۳- الگوی پرسش ۱۶۷
- ۶-۴- شمارنده‌ها ۱۷۰
- انواع شمارنده‌ها ۱۷۰
- شمارنده آسنکرون ۱۷۰
- شمارنده سنکرون (هم زمان) ۱۷۱
- شمارنده آسنکرون صعودی (Up Counter) ۱۷۲
- شمارنده آسنکرون نزولی (Down Counter) ۱۷۳
- شمارنده آسنکرون ددهی BCD (Binary Coded Decimal) ۱۷۵
- شمارنده سنکرون صعودی ۱۷۶
- شمارنده صعودی-نزولی (Up/Down Counter) ۱۷۷
- شمارنده حلقوی (Ring Counter) یا دایره‌ای ۱۷۸
- شمارنده جانسون (Johnson Counter) ۱۸۱
- بلوک دیاگرام یک ساعت دیجیتالی ۱۸۲
- ۶-۵- الگوی پرسش ۱۸۴
- ۶-۶- کار با نرم افزار ۱۸۶

فصل هفتم || مدارهای منطقی پیشرفته

- پیش گفتار ۱۸۸
- ۷-۱- تراشه FPGA ۱۸۸
- ۷-۲- شمارنده قابل برنامه‌ریزی ۱۹۰
- ۷-۳- واحد محاسبه‌گر ۱۹۱
- ۷-۴- مبدل دیجیتال به آنالوگ D/A ۱۹۲
- ۷-۵- مبدل آنالوگ به دیجیتال A/D ۱۹۴
- گام ولتاژ ۱۹۴
- مدار الکترونیکی مبدل A/D ۹۴
- ۷-۶- بررسی انواع آی‌سی‌های حافظه ۱۹۷
- تعریف حافظه و بیت (Bit) ۱۹۷
- بایت (Byte) ۱۹۷
- کلمه (Word) ۱۹۸
- ظرفیت حافظه ۱۹۸
- ارتباط بین حافظه‌ها و مدارهای خارجی ۱۹۸
- ورودی ۱۹۸
- خروجی ۱۹۸
- آدرس ۱۹۸
- خطوط کنترلی ۱۹۹
- ۷-۷- انواع حافظه ۱۹۹
- حافظه با دست‌یابی تصادفی یا RAM ۱۹۹
- RAM استاتیک ۲۰۰
- RAM دینامیک ۲۰۱
- حافظه فقط خواندنی ۲۰۱
- انواع ROM ۲۰۲
- PROM (Programmable ROM) ۲۰۲
- EPROM (Erasable PROM) ۲۰۲
- EEPROM ۲۰۲
- ۷-۸- میکروپروسسور CPU ۲۰۲
- ۷-۹- میکروکنترلر ۲۰۳
- ۷-۱۰- مینیم سیستم و مقایسه آن با میکروکنترلر ۲۰۵
- ۷-۱۱- الگوی پرسش ۲۰۶
- ۷-۱۲- کار با نرم افزار ۲۰۷

هدف کلی درس

طراحی مدارهای ساده دیجیتالی

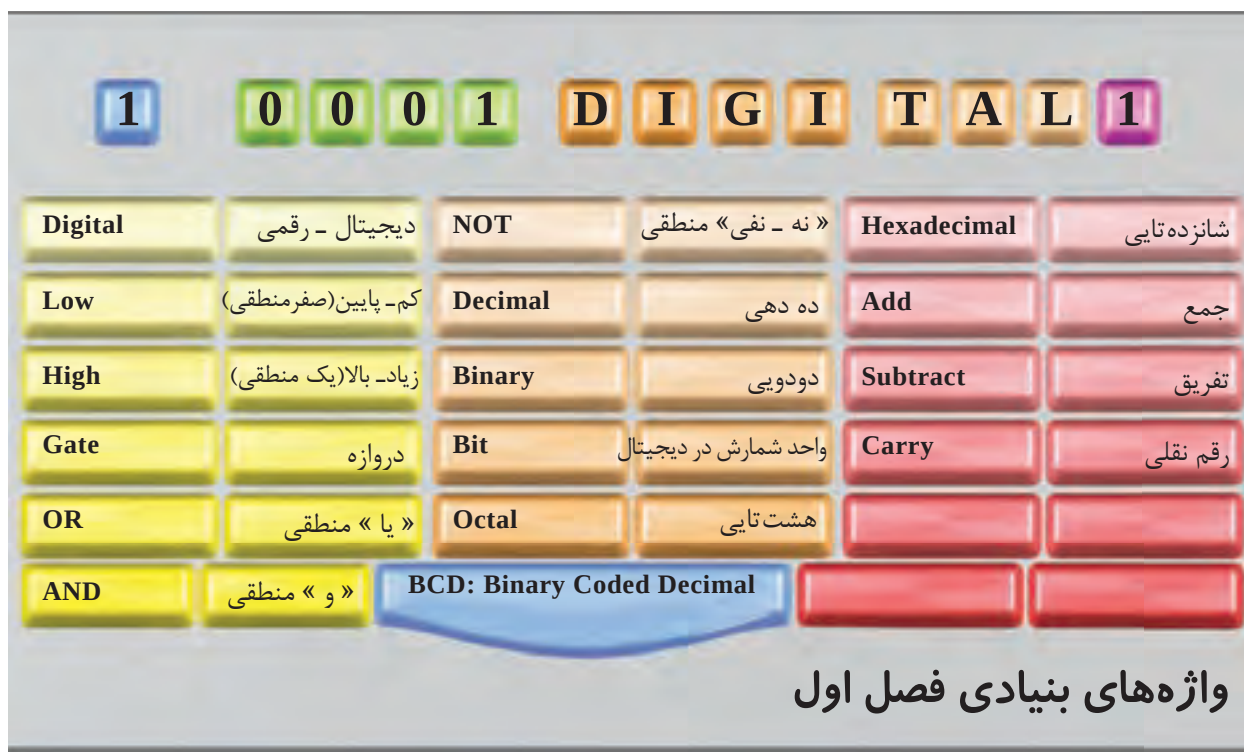
مفهوم دیجیتال و سیستم اعداد

هدف کلی: شناخت مفهوم دیجیتال، سیستم‌های اعداد، جمع و تفریق در مبنای باینری

کل زمان اختصاص داده شده به فصل : ۱۲ ساعت آموزشی

هدف‌های رفتاری: در پایان این فصل از فراگیرنده انتظار می‌رود که:

- ۱- مفهوم کمیت‌های آنالوگ و دیجیتال را توضیح دهد.
- ۲- نقش کمیت‌های دیجیتالی را در صنایع و دستگاه‌ها شرح دهد (ارائه مثال‌های کاربردی دیجیتالی در مخابرات، تلفن، دوربین، تلویزیون و ...)
- ۳- مفهوم صفر و یک را بیان کند.
- ۴- دروازه‌های منطقی NOT، OR و AND را به صورت کلید الکتریکی قطع و وصل تشخیص دهد.
- ۵- سیستم اعداد دسی مال (ده‌دهی)، باینری (دویی)، اکتال (هشت‌تایی) و هگزادسی مال (شانزده‌تایی) را شرح دهد.
- ۶- مکمل‌های اعداد را توضیح دهد.
- ۷- اعداد را از یک مبنا به مبنای دیگر تبدیل کند.
- ۸- اعداد را در مبنای باینری جمع و تفریق کند.
- ۹- دلیل کاربرد سیستم‌های اعداد باینری، اکتال و هگزا دسی مال را توضیح دهد.
- ۱۰- نقش کد در سیستم دیجیتال را شرح دهد.
- ۱۱- کد BCD را همراه با کاربرد آن در سیستم دیجیتال بیان کند.
- ۱۲- به سؤالات الگوی پرسش پاسخ دهد.
- ۱۳- نظم و ترتیب و حضور به موقع در هنرستان و کلاس را رعایت کند.
- ۱۴- تکالیف و مسئولیت‌های واگذار شده را به طور دقیق اجرا کند.
- ۱۵- در موقعیت‌های مناسب برای درک بهتر مفاهیم از آزمایشگاه مجازی استفاده کند.
- ۱۶- از لوازم موجود در کلاس و هنرستان به خوبی مراقبت و نگهداری کند.
- ۱۷- خوب گوش دهد و ابهامات و سؤال‌های خود را بپرسد.
- ۱۸- با دقت و اعتماد به نفس به سؤال‌های مطرح شده پاسخ دهد.
- ۱۹- از شوخی‌های بی‌مورد پرهیز کند.
- ۲۰- حضور فعال و داوطلبانه در امور مختلف داشته باشد.
- ۲۱- توانمندی‌های خود را در موقعیت‌های مناسب بروز دهد.
- ۲۲- در کار گروهی مشارکت فعال و همکاری مؤثر داشته باشد.
- ۲۳- نسبت به حل مشکلات سایر هنجرویان حساس و فعال باشد.
- ۲۴- سایر هنجرویان را در ارتباط با اجرای نظم و مقرارت، راهنمایی و تشویق کند.
- ۲۵- خلاقیت‌های ذاتی خود را در موقعیت‌های مناسب بروز دهد.



پیش‌گفتار

اکنون در جهانی زندگی می‌کنیم که نام دهکده جهانی را بر آن نهاده‌اند. شبکه‌های اطلاع‌رسانی و ارتباطی و تجهیزات پیشرفته مخابراتی و حمل و نقل، بیش از هر زمانی در نزدیک شدن انسان‌ها و افکار آنها به یکدیگر تأثیر گذارند، با وجود آن که امروزه از هر ۶ نفر در دنیا، یک نفر از نشانی پست الکترونیکی^۱ (e-mail) بهره‌مند است و بیش از صدها میلیون سایت اینترنتی و صدها میلیون وبلاگ (یادداشت الکترونیکی) توسط کاربران ایجاد شده است. متأسفانه فقر ارتباطات معنوی و توسعه فرهنگ اصیل در کشورهای مختلف کاملاً به چشم می‌خورد، آیا انقلاب دیجیتال، پایانی بر مشکلات ارتباطی و اطلاع‌رسانی بشر هزاره سوم خواهد بود؟

مقدمه

از پاپیروس^۲ تا اینترنت، عنوانی است که برای شرح کلی و اجمالی تاریخ انقلاب دیجیتالی می‌توان بیان کرد. پیشرفت بزرگ در توسعه ارتباطات، یعنی کشف کاغذ چاپ در حدود ۱۰۵۰ سال پیش از میلاد مسیح و اختراع ماشین چاپ توسط گوتنبرگ آلمانی در سال ۱۴۵۰ میلادی، در جهت‌گیری سرعت ارتباطات نقش به‌سزایی را ایفا کرد.

پس از آن که آدمی دست‌نوشته را سازمان‌دهی کرد و روش نگارش بر روی تکه‌های چوب، چرم و پاپیروس را نیز به کار بست، ساخت قالب‌های چوبی و آغشته کردن آنها به رنگ و نشانه‌گذاری بر روی آنها، نخستین حرکت چاپی انسان به شمار می‌رود، به دلیل وقت زیادی که این عملکرد طلب می‌کرد و قالب‌ها پس از یک بار استفاده، غیر قابل استفاده می‌شدند، گوتنبرگ پس از سال‌ها تلاش و مطالعه

۲- پاپیروس: وسیله‌ای برای نوشتن، شبیه کاغذ که از گیاه پاپیروس به‌دست می‌آید و به صورت لوله‌هایی از ورقه‌های نازک بوده است.

۱- پست الکترونیکی (e-mail: electronic-mail)



ترازوی الکترونیکی

دماسنج قاشقی جهت کودک

باسکول الکترونیکی

شکل ۱-۱- تعدادی از تجهیزات و وسایل دیجیتالی



جهت هنرجویان علاقه‌مند:

جدیدترین وسایل دیجیتالی که در اطراف خود مشاهده می‌کنید و بر روی زندگی شما تأثیر داشته است را شناسایی کنید و به کلاس ارائه دهید.

۱-۱- مفهوم دیجیتال

یک سیستم (سامانه) دیجیتال، سیستمی است که در آن اطلاعات به صورت رقمی ارائه و پردازش می‌شود. سامانه‌های پایه‌ریزی شده بر مبنای سیگنال‌های پیوسته را سامانه‌های آنالوگ می‌نامند. بعضی از ساعت‌هایی که زمان را به وسیله عقربه‌های ساعت، دقیقه و ثانیه شمار نشان می‌دهند و حرکتی پیوسته دارند، (نه حرکتی که عقربه‌های ثانیه شمار یک ثانیه، یک ثانیه پرش دارد) مثالی از یک وسیله آنالوگ است، شکل ۱-۲ نمونه‌ای از یک ساعت آنالوگ اتومبیل را نشان می‌دهد.



شکل ۱-۲- ساعت عقربه‌ای آنالوگ اتومبیل

روی روش‌های مکانیکی و دستی موجود، بالاخره توانست ماشین چاپ خود را با حداقل مشکلات اختراع کند. پس از گوتنبرگ در سال ۱۸۶۶، بهترین ماشین چاپ اختراع شد. و در همین سال‌ها ماشین تلگراف نیز اختراع شد و از شهر بالتیمور آمریکا، پیام تاریخی، «خداوند چه ساخته است؟» به شهر واشنگتن ارسال گردید.

ساخت نخستین ایستگاه‌های رادیویی و سپس تلویزیونی و عرصه رایانه‌های شخصی و تولید ابررایانه‌های غول‌پیکر و دستیابی به تکنولوژی ساخت قدرتمندترین پردازشگرهای مرکزی رایانه‌ها، همه و همه، انسان را در قرن بیست و یکم، در جامعه دهکده جهانی قرارداد. رایانه که هدفش جایگزینی با مغز انسان است، در برابر نگاه حیرت‌زده و متعجب ما در حال تغییر و جهش‌های باز هم فوق العاده و بی‌سابقه است.

فناوری اطلاعات و ارتباطات، خواسته یا ناخواسته ما را وارد عصری نو می‌کند که خصوصیت اصلی آن انتقال آنی داده‌ها و گسترش ارتباطات و شبکه‌های الکترونیکی است. شبکه‌های الکترونیکی، حجم بالای اطلاعات تولید شده را طبقه‌بندی می‌کنند و قادرند با قابلیت‌های ممتاز خود، امکان دستیابی آنی را برای کاربران از همه نقاط جهان در زمان بسیار کم (در چند صدم ثانیه)، فراهم کنند. به نظر می‌آید انقلاب دیجیتالی، هنوز پایانی ندارد. انقلابی که مرزها را در نور دیده و حتی محدود و محصور به مغزهای دانشمندان نیست. انقلاب دیجیتال، همه ساختارهای گفتاری، نوشتاری، فنی، آموزشی و ارتباطی بشر هزاره جدید را تغییر داده است، لذا باید این تغییر را پذیرفت و باور کرد.

در شکل ۱-۱ تعدادی از تجهیزات و وسایل دیجیتالی که در زندگی روزمره با آن سرو کار داریم را مشاهده می‌کنید.

۱- یادآور می‌شود که تاکنون هیچ کامپیوتری ساخته نشده است که

قابلیت‌های مغز انسان را به تمامی داشته باشد.



شکل ۱-۴- دستگاه سنجش فشار خون عقربه‌ای و دیجیتالی (ب) دستگاه سنجش فشار خون دیجیتالی

در شکل ۱-۴- ب دستگاه سنجش فشار خون دیجیتالی که میزان فشارخون را به صورت واضح و دقیق نمایش می‌دهد را مشاهده می‌کنید.



جهت هنرجویان علاقه‌مند: وسایل عقربه‌ای (آنالوگ) و دیجیتالی که در محیط هنرستان وجود دارد را شناسایی کنید و نتایج را به کلاس ارائه دهید.

اطلاعات روی نوارهای کاست صوتی به صورت آنالوگ ذخیره می‌شوند در حالی که دیسک‌های (CD) لیزری فشرده، اطلاعات را به صورت دیجیتال ذخیره می‌کنند. به عنوان مثال شکل ۱-۵- الف یک سیگنال سینوسی آنالوگ را برای یک سیکل نشان می‌دهد که ممکن است روی یک باریکه از نوار صوتی مغناطیسی ضبط شود.

شکل ۱-۵- ب همان سیگنال سینوسی که در فاصله زمانی معین و یکنواخت نمونه‌برداری و به صورت یک تابع پله‌ای درآمده است، را نمایش می‌دهد.

شکل ۱-۵- ج این اطلاعات را به صورت دیجیتال نشان می‌دهد. هر نمونه به صورت یک عدد دودویی (برمبنای ۲) (صفر و یک) و به طور عمودی بر روی نوار نوشته شده است.

ساعتی که زمان را با ارقام ده‌دهی نشان می‌دهد یک وسیله دیجیتالی است. شکل ۱-۳- نمونه‌ای از یک ساعت دیجیتالی اتومبیل را نشان می‌دهد.



شکل ۱-۳- ساعت دیجیتالی اتومبیل

راننده‌ای که در حال رانندگی است و تمام تمرکز و حواسش به راندن اتومبیل خود است، برای اطلاع از زمان، ساعت دیجیتالی به دلیل نمایش اعداد، تمرکز کمتری را نسبت به ساعت عقربه‌ای از او می‌گیرد.

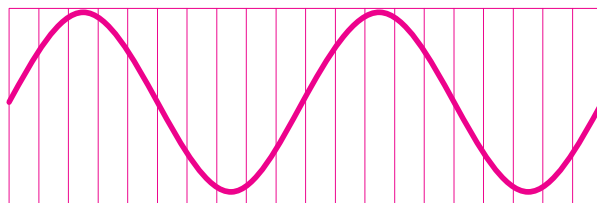
می‌دانیم بیماری‌رانی هستند که نیاز به کنترل مداوم فشار خون خود دارند، این افراد از دستگاه سنجش فشار خون آنالوگ و دیجیتال استفاده می‌کنند. دستگاه سنجش فشارخون عقربه‌ای، میزان فشار خون را به صورت آنالوگ نشان می‌دهد که در این حالت نیاز به همراهی شخص دیگری است. در صورتی که بیمار به تنهایی می‌تواند دستگاه سنجش فشارخون دیجیتالی را مورد استفاده قرار دهد. هم چنین او احتیاج به مهارت خاص برای اندازه‌گیری فشار خون توسط دستگاه دیجیتالی ندارد. شکل ۱-۴- الف دستگاه سنجش فشار خون عقربه‌ای را نشان می‌دهد.



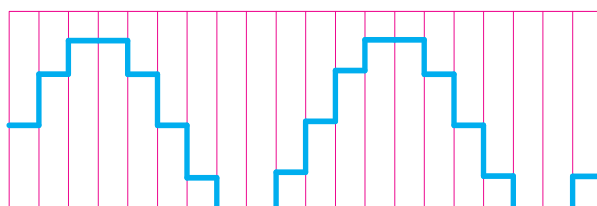
الف) دستگاه سنجش فشار خون عقربه‌ای



نکته مهم: این تصاویر صرفاً برای آشنایی با امواج آنالوگ و دیجیتالی آمده است و تحلیل آن با توجه به دانسته‌های هنرجویان در این مقطع امکان‌پذیر نیست.



الف) فرم آنالوگ



ب) فرم آنالوگ نمونه‌برداری شده از یک سیگنال سینوسی

0	0	1	1	0	0	0	1	1	0	0	0	1	1	0	0	1	1	0
0	1	1	1	1	0	1	0	0	1	0	1	1	1	1	0	1	0	0
1	1	1	1	1	0	0	0	0	1	1	1	1	1	1	0	0	0	0
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

ج) فرم دیجیتال نمونه‌برداری شده از یک سیگنال سینوسی

شکل ۵-۱- اطلاعات ذخیره شده بر روی نوار مغناطیسی به صورت آنالوگ و دیجیتال

گرچه کامپیوترهای مدرن مشهودترین مثال از یک سیستم دیجیتالی هستند. مثال‌های دیگری هم‌چون کنترل‌کننده‌های چراغ راهنمایی، ماشین حساب‌های جیبی و پخش‌کننده‌های CD که در سطح جامعه در حد گسترده‌ای مورد استفاده قرار می‌گیرد و ... نیز وجود دارند.

۱-۱-۱- مزایای سیستم‌های دیجیتال نسبت به آنالوگ:

کامپیوترهای آنالوگ و سایر سیستم‌های آنالوگ، قبل از اینکه تجهیزات دیجیتالی ساخته شوند به مدت طولانی، استفاده می‌شدند. پس چرا سیستم‌های دیجیتالی جای‌گزین سیستم‌های آنالوگ شده‌اند؟ برای پاسخ به

این سؤال چندین دلیل وجود دارد:

۱- عموماً فناوری‌های دیجیتال، قابلیت انعطاف‌پذیری بیشتری را نسبت به فناوری‌های آنالوگ ارائه می‌دهند، چون به سادگی برای اجرای هر الگوریتم (حل مسأله به صورت مرحله مرحله) دل‌خواهی برنامه‌ریزی می‌شوند یا قابل برنامه‌ریزی هستند.

۲- مدارهای دیجیتال قابلیت‌های پردازش بسیار قدرتمندتری را تحت عنوان سرعت ارائه می‌دهند.

۳- اطلاعات عددی می‌توانند به صورت دیجیتالی و با دقت وضوح بیشتری در مقایسه با سیگنال‌های آنالوگ ارائه شوند.

۴- ذخیره اطلاعات و بازیابی آنها در سیستم‌های دیجیتالی ساده‌تر است.

۵- ابعاد سیستم‌های دیجیتالی نسبت به سیستم‌های مشابه آنالوگ به طور چشم‌گیری کاهش یافته است.



مزایای سیستم‌های دیجیتال نسبت به آنالوگ

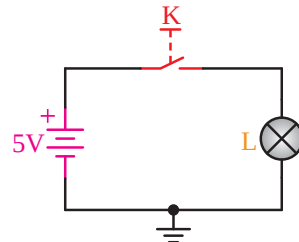
- ۱- قابلیت انعطاف‌پذیری بیشتر
- ۲- سرعت بالاتر
- ۳- دقت وضوح بیشتر
- ۴- بازیابی آسان اطلاعات
- ۵- ذخیره آسان اطلاعات
- ۶- کاهش ابعاد



جهت هنرجویان علاقه‌مند: با جستجو در سایت‌های مرتبط جدیدترین تولیدات دیجیتالی را شناسایی کنید و در زمینه معرفی، مزایا و امکانات این تجهیزات، مطالبی را تهیه کنید و به کلاس ارائه دهید.

۱-۲- مفهوم صفر و یک منطقی

من چراغی را روشن و خاموش می‌کنم، می‌خواهم به ماشین بگویم چراغ خاموش یا روشن است، چگونه می‌توانم این مفهوم را به ماشین منتقل کنم؟ ماشین مفهوم روشن را نمی‌داند. برای فهماندن به ماشین مفهوم صفر و یک را تعریف می‌کنم. می‌گویم اگر ولتاژ به حد معینی رسید یعنی یک است. یعنی لامپ روشن است و اگر ولتاژ در حد معینی پایین آمد و نزدیک به صفر شد مفهوم آن صفر است یعنی لامپ خاموش است. یا به عبارت دیگر ماشین چگونه می‌تواند تاریکی و روشنی را تشخیص دهد؟ روشنی به معنی ۱ و تاریکی به معنی صفر است (شکل ۱-۶).



شکل ۱-۶- مدار الکتریکی مولد صفر و یک منطقی

اکنون می‌خواهیم این دو حالت لامپ را نام‌گذاری کنیم. به لغت‌های زیر که برای این منظور به کار رفته‌اند، توجه کنید.

Off - Low - خاموش → لامپ در حالت خاموش

On - High - روشن → لامپ در حالت روشن

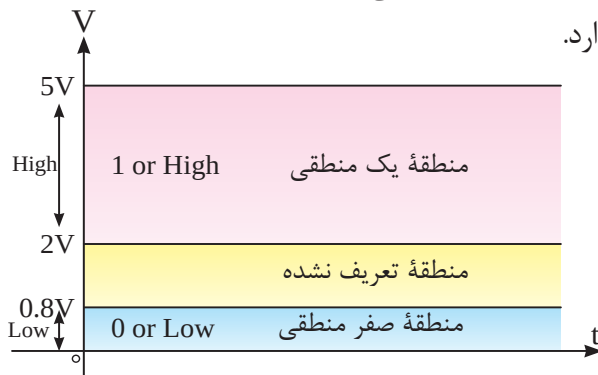
هریک از این لغت‌ها را طبق قراردادی که خود تدوین کرده‌ایم، می‌توانیم به کار ببریم. اما در این زمینه پیشنهاد دیگری نیز می‌توان ارائه کرد:

۰ → لامپ در حالت خاموش

۱ → لامپ در حالت روشن

به نظر می‌رسد پیشنهاد صفر و یک از بقیه موارد جالب‌تر باشد؛ زیرا ساده و از نظر طول کلمه بسیار کوتاه است. بنابراین، دو عدد «صفر» و «یک» نماد (سمبل) هایی هستند که برای نمایش دو وضعیت مختلف (بسته یا باز) به کار می‌روند. در مورد کلید می‌توان حالت باز را صفر و حالت بسته را یک در نظر گرفت. در مدارهای دیجیتالی،

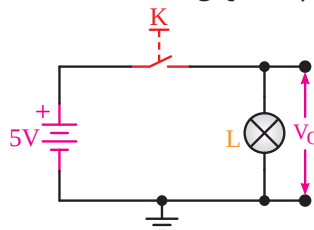
صفر و یک به هیچ عنوان به مفهوم صفر و یک جبری برای نمایش دادن مقدار یک شیء (مثلاً یک جلد کتاب مبانی دیجیتال) نیست. در الکترونیک و کامپیوتر صفر و یک نشان دهنده سطوح ولتاژ است و به مفهوم خاموش یا روشن بودن لامپ نیست (هرچند در علوم مهندسی، در هر سیستم دو وضعیتی برای نمایش دادن هر حالت از صفر و یک استفاده می‌شود، مانند باز و بسته بودن یک شیر الکتروهیدرولیکی و ...). بدین معنا که ولتاژ حدود صفر ولت (عملاً از صفر تا ۰/۸ ولت) به منزله صفر منطقی و ولتاژ حدود ۵ ولت (عملاً از ۲ تا ۵ ولت) به منزله یک منطقی در نظر گرفته می‌شود (سطوح صفر و یک منطقی ممکن است در سیستم‌های گوناگون با یکدیگر تفاوت داشته باشد اما ولتاژهای حوالی صفر ولت و ۵ ولت از بقیه رایج‌تر است). در شکل ۱-۷ سطح ولتاژ صفر و یک منطقی را مشاهده می‌کنید. در این نمودار یک منطقی بین ولتاژهای ۲ تا ۵ ولت و صفر منطقی بین ولتاژهای صفر تا ۰/۸ ولت قرار دارد.



شکل ۱-۷- سطوح ولتاژ صفر و یک منطقی رایج

برای تأکید بر این موضوع که صفر و یک مربوط به نمایش دو وضعیت مختلف یک سیستم است، بعد از صفر و یک، لغت منطقی را می‌آوریم.

در مدار شکل ۱-۸، اگر کلید باز باشد، $V_0 = 0$ است. به عبارت دیگر، خروجی در وضعیت صفر منطقی قرار می‌گیرد و لامپ خاموش است.



شکل ۱-۸- مدار الکتریکی صفر منطقی

در مورد پدیده‌های فیزیکی دیگر نیز با استفاده از مدارهای الکتریکی یا الکترونیکی می‌توان بودن یا نبودن آنها را به صفر یا یک منطقی تبدیل کرد.

۱-۳- دروازه‌های منطقی پایه (Basic logic Gates)

دروازه‌های منطقی، اساس کار ماشین‌های حساب، کامپیوترها، مدارهای کنترل و ... است. به عبارت دیگر، یک کامپیوتر یا ماشین حساب و ... از تعدادی دروازه‌های منطقی تشکیل شده است.

در کامپیوتر یا ماشین حساب یک دروازه منطقی در حقیقت یک مدار الکترونیکی است که یک یا چند ورودی و فقط یک خروجی دارد. شکل ۱-۱۱ بلوک یک دروازه منطقی را نشان می‌دهد.

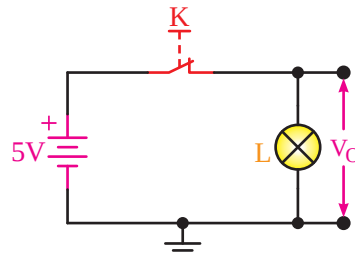


شکل ۱-۱۱ - بلوک کلی یک دروازه منطقی

در مدارهای غیر کامپیوتری، ساخت دروازه‌های منطقی با استفاده از کلیدها، شستی‌ها، رله‌ها و ... نیز امکان‌پذیر است اما به دلیل پایین بودن سرعت قطع و وصل این گونه قطعات، آنها با قطعات الکترونیکی قابل مقایسه نیستند. لذا در مواردی که سرعت قطع و وصل مطرح نیست و تعداد دروازه‌ها نیز بسیار محدود است، از این قطعات هم برای ساختن دروازه‌های منطقی استفاده می‌شود.

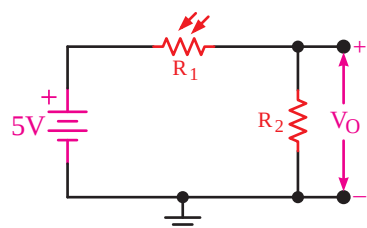
به‌طور خلاصه یک دروازه منطقی، یک مدار الکتریکی یا مدار الکترونیکی یا ... است که باتوجه به حالت‌هایی که به ورودی آن داده می‌شود (صفر یا یک منطقی)، خروجی آن نیز در وضعیت صفر یا یک منطقی قرار می‌گیرد. بدین ترتیب، انواع دروازه‌های منطقی وجود دارد که به شرح آنها می‌پردازیم.

در مدار شکل ۱-۹، اگر کلید بسته باشد، $V_0 = 5\text{ V}$ است. بنابراین، خروجی در وضعیت یک منطقی قرار می‌گیرد و لامپ روشن است.



شکل ۱-۹ - مدار الکتریکی در حالت یک منطقی

باتوجه به این که اساس کار کامپیوتر صفر و یک منطقی است، چنان‌چه بخواهیم بودن یا نبودن یک پدیده فیزیکی را به اطلاع کامپیوتر برسانیم، لازم است این پدیده فیزیکی را به صفر و یک منطقی (در کامپیوتر به سطوح ولتاژ) تبدیل کنیم. برای مثال، برای تبدیل بودن یا نبودن پدیده نور با یک و صفر منطقی، از مدار شکل ۱-۱۰ استفاده می‌کنیم.



شکل ۱-۱۰ - مدار مولد صفر و یک منطقی با استفاده از مقاومت

تابع نور

در شکل ۱-۱۰ هنگامی که نور به مقاومت تابع نور می‌تابد، مقاومت آن به شدت کاهش می‌یابد و قسمت اعظم ولتاژ منبع ۵ ولتی دو سر مقاومت R_2 افت می‌کند (توزیع ولتاژ بین دو مقاومت سری). لذا خروجی این مدار در وضعیت یک منطقی قرار می‌گیرد. برعکس اگر نور به مقاومت نتابد، مقدار مقاومت اهمی آن به شدت افزایش می‌یابد و قسمت اعظم ولتاژ منبع ۵ ولتی دو سر مقاومت تابع نور افت می‌کند بنابراین مقدار بسیار جزئی ولتاژ به دو سر مقاومت R_2 منتقل می‌گردد که باتوجه به مقدار ولتاژ کم آن، خروجی در سطح ولتاژ صفر منطقی قرار می‌گیرد.

جدول ۱-۱- شرط استخدام

فرد مراجعه کننده	داشتن دیپلم	داشتن گواهی نامهٔ مهارت در کار با کامپیوتر	وضعیت استخدام
خانم A	ندارد	ندارد	استخدام نمی شود
آقای B	دارد	ندارد	استخدام نمی شود
خانم C	ندارد	دارد	استخدام نمی شود
آقای D	دارد	دارد	استخدام می شود

دروازهٔ منطقی AND، دروازه‌ای است که چنانچه همهٔ ورودی‌های آن در وضعیت یک منطقی باشند، خروجی آن نیز در وضعیت یک منطقی قرار می‌گیرد. در غیر این صورت حتی اگر یکی از ورودی‌های آن در وضعیت صفر منطقی باشد، خروجی این دروازه در وضعیت صفر منطقی خواهد بود.

عملکرد وضعیت‌های مختلف دروازهٔ منطقی AND را در شکل‌های زیر مشاهده می‌کنید.

در شکل ۱-۱۲ الف مدار عملی دروازهٔ منطقی AND را مشاهده می‌کنید هر دو کلید A و B در حالت قطع هستند در نتیجه لامپ روشن نخواهد شد.

شکل ۱-۱۲ ب مدار دروازهٔ منطقی AND را در این وضعیت نشان می‌دهد.



الف) مدار عملی



نکته: کلید بسته وضعیت یک منطقی و کلید باز وضعیت صفر منطقی را نشان می‌دهد.

۱-۳-۱- دروازهٔ AND یا «و»:

فردی را استخدام کند، از شرایط استخدام، داشتن دیپلم و گواهی‌نامهٔ مهارت در کار با کامپیوتر است. بدین ترتیب فردی می‌تواند از دروازهٔ شرکت عبور کند و به استخدام درآید که دیپلم و گواهی مهارت در کار با کامپیوتر داشته باشد، اگر هر کدام از شرایط را نداشته باشد استخدام نمی‌شود.

مثلاً در مورد آقای B دیپلم دارد پس یکی از ورودی‌ها یک است اما گواهی‌نامهٔ کار با کامپیوتر را ندارد پس ورودی دوم صفر است. در نتیجه این فرد استخدام نمی‌شود بنابراین خروجی نیز صفر است. یا خانم C دیپلم ندارد پس یکی از ورودی‌ها صفر است، اما گواهی‌نامهٔ کار با کامپیوتر را دارد در نتیجه ورودی دوم یک است. باز هم این فرد استخدام نمی‌شود ولی آقای D هم دیپلم و هم گواهی‌نامهٔ مهارت کار با کامپیوتر را دارد پس هر دو ورودی یک است و این فرد استخدام می‌شود. جدول ۱-۱ شرط استخدام را برای شرکت مشخص می‌کند.

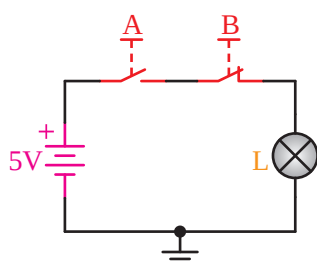


مدارهای این فصل با استفاده از نرم افزار ادیسون رسم شده است.

وصل است، در نتیجه لامپ روشن نخواهد شد.
 شکل ۱۴-۱-ب مدار دروازه منطقی AND را در این وضعیت نشان می‌دهد.



الف) مدار عملی



ب) مدار شماتیک

شکل ۱۴-۱-ب دروازه منطقی AND در وضعیت قطع کلید A و وصل کلید B

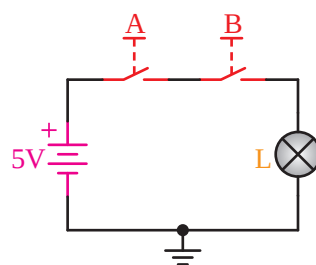
در شکل ۱۵-۱-الف مدار عملی دروازه منطقی AND را مشاهده می‌کنید.

در این مدار هر دو کلید A و B وصل هستند. در نتیجه لامپ روشن خواهد شد.

شکل ۱۵-۱-ب مدار دروازه منطقی AND را در این وضعیت نشان می‌دهد.



الف) مدار عملی

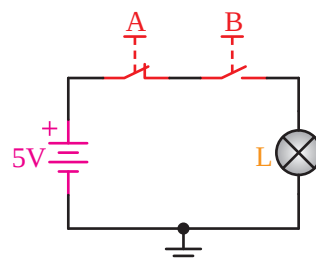


ب) مدار شماتیک

شکل ۱۲-۱-دروازه منطقی AND در وضعیت قطع هر دو کلید
 در شکل ۱۳-۱-الف مدار عملی دروازه منطقی AND را مشاهده می‌کنید. در این مدار کلید A وصل و کلید B قطع است، در نتیجه لامپ روشن نخواهد شد.
 شکل ۱۳-۱-ب مدار دروازه منطقی AND را در این وضعیت نشان می‌دهد.



الف) مدار عملی



ب) مدار شماتیک

شکل ۱۳-۱-دروازه منطقی AND در وضعیت قطع بودن کلید B و وصل کلید A

در شکل ۱۴-۱-الف مدار عملی دروازه منطقی AND را مشاهده می‌کنید. در این مدار کلید A قطع و کلید B وصل است.

قرار می‌گیرد که همه ورودی‌های آن در وضعیت یک منطقی باشند.

۲-۳-۱- دروازه OR یا «یا»:

شرکتی می‌خواهد فردی را استخدام کند. فرد باید یا دیپلم داشته باشد یا دارای گواهی‌نامه مهارت در رشته حسابداری باشد. اگر یکی از این موارد را داشته باشد می‌تواند استخدام شود. جدول ۱-۴ وضعیت مراجعه کنندگان برای استخدام را مشخص می‌کند.

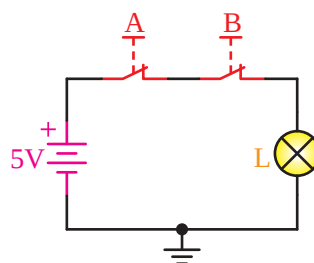
جدول ۱-۴- شرط استخدام

وضعیت استخدام	وضعیت داشتن گواهی‌نامه مهارت در حسابداری	وضعیت داشتن دیپلم	فرد مراجعه کننده
استخدام نمی‌شود	ندارد	ندارد	خانم A
استخدام می‌شود	ندارد	دارد	آقای B
استخدام می‌شود	دارد	ندارد	خانم C
استخدام می‌شود	دارد	دارد	آقای D

باتوجه به جدول ۱-۴ اگر فرد فقط یکی از شرایط را داشته باشد استخدام می‌شود و اگر هر دو شرط را نیز دارا باشد استخدام خواهد شد.

دروازه منطقی OR، دروازه‌ای است که اگر دست کم یکی از ورودی‌های آن در وضعیت یک منطقی باشد، خروجی آن نیز در وضعیت یک منطقی قرار می‌گیرد و چنانچه همه ورودی‌های آن در وضعیت صفر منطقی باشند، خروجی آن نیز در وضعیت صفر منطقی خواهد بود. عملکرد دروازه منطقی OR به صورت شکل‌های ۱-۱۶ تا ۱-۱۹ است.

در این شکل کلیدها به صورت موازی با یکدیگر قرار



(ب) مدار شماتیک

شکل ۱-۱۵- دروازه منطقی AND در وضعیت وصل هر دو کلید A و B

به طور کلی، برای بررسی عملکرد حالت‌های مختلف باز و بسته بودن کلیدها از جدول ۱-۲ استفاده می‌کنیم. جدول ۱-۲- جدول عملکرد دروازه AND منطقی

وضعیت خروجی	وضعیت کلید B	وضعیت کلید A
منطقی یا ۰ V	باز	باز
منطقی یا ۰ V	بسته	باز
منطقی یا ۰ V	باز	بسته
۱ منطقی یا ۵ V	بسته	بسته

اگر حالت باز کلید را صفر منطقی و حالت بسته‌آن را یک منطقی در نظر بگیریم، جدول ۱-۲ به صورت جدول ۱-۳ خواهد بود.

جدول ۱-۳- جدول صحت دروازه منطقی AND

A	B	Y
۰	۰	۰
۰	۱	۰
۱	۰	۰
۱	۱	۱

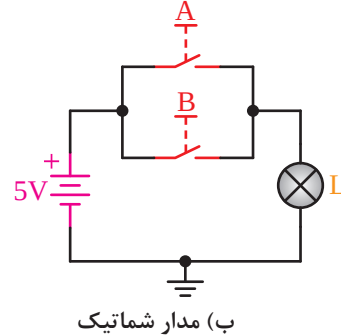
جدول ۱-۳ را جدول صحت (Truth Table) می‌نامند. این جدول شناسنامه یک دروازه (در اینجا دروازه AND) محسوب می‌شود.

همان‌طور که از جدول صحت نیز پیداست خروجی این دروازه منطقی (Y) زمانی در وضعیت یک منطقی

گرفته‌اند. اگر هر دو کلید در وضعیت قطع (باز) باشند لامپ روشن نخواهد شد، شکل ۱۶-۱. الف مدار عملی و شکل ۱۶-۱. ب مدار شماتیک یکی از وضعیت‌های دروازه منطقی OR را نشان می‌دهد.



الف) مدار عملی

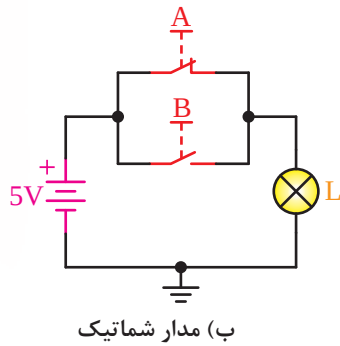


ب) مدار شماتیک

شکل ۱۶-۱. دروازه منطقی OR در وضعیت قطع هر دو کلید A و B در شکل ۱۷-۱. الف مدار عملی دروازه منطقی OR را مشاهده می‌کنید. در این مدار کلید A وصل و کلید B قطع است، در این حالت لامپ روشن خواهد شد. شکل ۱۷-۱. ب مدار دروازه منطقی OR را در این وضعیت نشان می‌دهد.



الف) مدار عملی



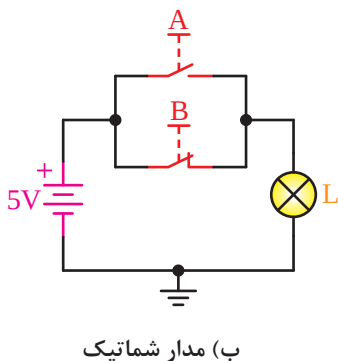
ب) مدار شماتیک

شکل ۱۷-۱. دروازه منطقی OR در وضعیت بسته بودن کلید A و باز بودن کلید B

در شکل ۱۸-۱. الف مدار عملی دروازه منطقی OR را مشاهده می‌کنید. در این مدار کلید A باز و کلید B وصل است، در این حالت لامپ روشن خواهد شد. شکل ۱۸-۱. ب مدار دروازه منطقی OR را در این حالت نشان می‌دهد.



الف) مدار عملی



ب) مدار شماتیک

شکل ۱۸-۱. دروازه منطقی OR در وضعیت باز بودن کلید A و بسته بودن کلید B

در شکل ۱-۲۰ اگر فقط یکی از دو کلید A یا B در وضعیت یک منطقی (حالت بسته) قرار گیرند، خروجی (V_o) در وضعیت یک منطقی قرار خواهد گرفت. برای بررسی عملکرد حالات مختلف باز و بسته بودن کلیدها از جدول ۱-۵ استفاده می‌کنیم.

جدول ۱-۵ جدول تغییرات دروازه منطقی OR

وضعیت خروجی	وضعیت کلید B	وضعیت کلید A
۰ منطقی یا ۰ V	باز	باز
۱ منطقی یا ۵ V	بسته	باز
۱ منطقی یا ۵ V	باز	بسته
۱ منطقی یا ۵ V	بسته	بسته

اگر حالت باز کلید را صفر منطقی و حالت بسته آن را یک منطقی در نظر بگیریم، جدول ۱-۵ به جدول ۱-۶ تبدیل خواهد شد.

جدول ۱-۶ جدول صحت دروازه منطقی OR

A	B	Y
۰	۰	۰
۰	۱	۱
۱	۰	۱
۱	۱	۱

جدول ۱-۶ جدول صحت دروازه OR است. همان‌طور که از این جدول پیداست، خروجی دروازه OR زمانی در وضعیت یک منطقی قرار می‌گیرد که دست کم یکی از ورودی‌های آن در وضعیت یک منطقی باشد.

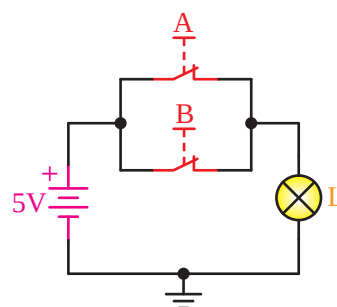
۱-۳-۲- دروازه NOT یا «نه» یا «نفی»:

شرکتی می‌خواهد فردی را استخدام کند. اگر فردی دارای سابقه کیفری باشد استخدام نمی‌شود، یعنی ورودی (سابقه کیفری) هست ولی خروجی صفر است. جدول ۱-۷ وضعیت مراجعه‌کنندگان را مشخص می‌کند.

در شکل ۱-۱۹ الف مدار عملی دروازه منطقی OR را مشاهده می‌کنید. در این مدار هر دو کلید A و B بسته هستند، در نتیجه لامپ روشن خواهد شد. شکل ۱-۱۹ ب مدار دروازه منطقی OR را در این وضعیت نشان می‌دهد.



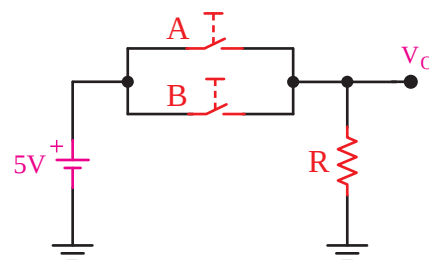
الف) مدار عملی



ب) مدار شماتیک

شکل ۱-۱۹- دروازه منطقی OR در وضعیت بسته بودن هر دو کلید

دروازه منطقی OR، دروازه‌ای است که اگر دست کم یکی از ورودی‌های آن در وضعیت یک منطقی باشد، خروجی آن نیز در وضعیت یک منطقی قرار می‌گیرد و چنان‌چه همه ورودی‌های آن در وضعیت صفر منطقی باشند، خروجی آن نیز در وضعیت صفر منطقی خواهد بود. عملکرد دروازه OR به صورت شکل ۱-۲۰ است.



شکل ۱-۲۰- عملکرد دروازه OR

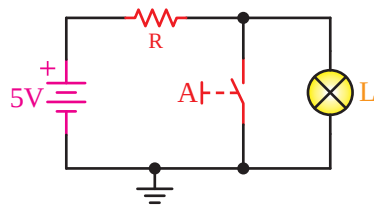
جدول ۱-۷- شرط استخدام

فرد مراجعه کننده	داشتن سابقه کیفی	وضعیت استخدام
آقای A	ندارد	استخدام می شود
آقای B	دارد	استخدام نمی شود

چنانچه خواهیم عملکرد دروازه منطقی NOT را با مدار ساده کلیدی نمایش دهیم، می توانیم از شکل ۱-۲۲ استفاده کنیم. در شکل ۱-۲۲ الف مدار عملی دروازه منطقی NOT را مشاهده می کنید. کلید در حالت باز است ولی لامپ روشن می شود و شکل ۱-۲۲ ب مدار شماتیک این وضعیت را نشان می دهد.



الف) مدار عملی



ب) مدار شماتیک

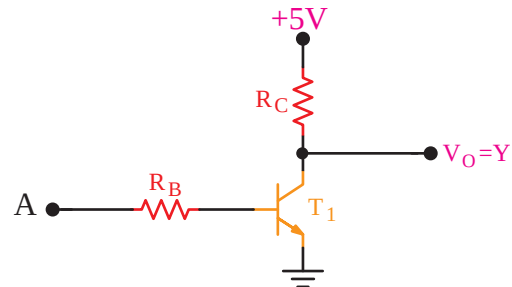
شکل ۱-۲۲ مدار دروازه منطقی NOT در زمان باز بودن کلید

در شکل ۱-۲۳ الف مدار عملی دروازه منطقی NOT را مشاهده می کنید. در این وضعیت کلید بسته است ولی لامپ روشن نمی شود. شکل ۱-۲۳ ب مدار شماتیک حالت بسته بودن کلید را نشان می دهد.



الف) مدار عملی

دروازه NOT، دروازه ای است که اولاً یک ورودی دارد؛ ثانیاً خروجی آن زمانی در وضعیت یک منطقی قرار می گیرد که ورودی آن در وضعیت صفر منطقی باشد. برای بررسی عملکرد دروازه NOT به شکل ۱-۲۱ توجه کنید.



شکل ۱-۲۱ مدار معادل الکترونیکی دروازه منطقی NOT

اگر به ورودی این مدار (A)، ولتاژ حدود صفر ولت اعمال کنیم، ترانزیستور قطع می شود و ولتاژ خروجی آن تقریباً همان ولتاژ تغذیه (در این شکل ۵ ولت) خواهد شد اما با اعمال ولتاژ حدود ۵ ولت ترانزیستور T1 اشباع می شود و ولتاژ خروجی حدود ۰/۲ ولت خواهد شد. این نتایج در جدول ۱-۸ خلاصه شده است:

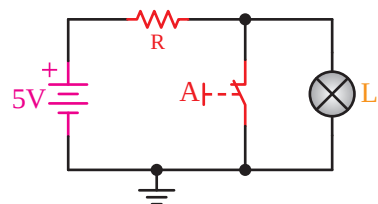
جدول ۱-۸ جدول تغییرات دروازه NOT

ولتاژ خروجی (Y)	ولتاژ ورودی (A)
= ۵ V	۰ V
= ۰ V	۵ V

جدول ۱-۸ را می توان به صورت جدول ۱-۹ نیز نوشت.

جدول ۱-۹ جدول صحت دروازه NOT

A	Y
۰	۱
۱	۰



(ب) مدار شماتیک

شکل ۱-۲۳- مدار دروازه منطقی NOT در زمان وصل بودن کلید اگر حالت باز کلید را صفر منطقی در نظر بگیریم (جریان عبوری از کلید صفر است)، حالت بسته کلید، یک منطقی را نشان می‌دهد. جدول ۱-۱۰ عملکرد مدار را نشان می‌دهد.

جدول ۱-۱۰- جدول تغییرات مدار الکتریکی دروازه

NOT

وضعیت لامپ	وضعیت کلید
روشن	باز
خاموش	بسته

۱-۴- سیستم‌های اعداد

اعدادی که در عصر حاضر به طور وسیعی از آنها استفاده می‌کنیم، شاید در حدود ۱۰ تا ۱۲ هزار سال پیش به وجود آمده‌اند و بعدها برای شمارش این اعداد، اسم‌ها و قوانینی وضع شد. گسترش شمارش اعداد در مبناهای مختلف، سیستم‌های مختلفی را ایجاد کرد که در حال حاضر هر یک از این سیستم‌ها در موارد خاصی مورد استفاده قرار می‌گیرند.

یکی از مبناهایی که از زمان قدیم تا کنون مورد استفاده قرار گرفته است، مبنای ۱۰ (ده‌دهی) است که بر مبنای شمارش انگشتان دست‌ها بوده و چنین ترتیب ذهنی را برای آنها به وجود آورده‌اند.

۱-۴-۱- سیستم ده‌دهی (اعشاری Decimal):

سیستم اعداد ده‌دهی (اعشاری) از ده علامت ۰ و ۱ و ۲ و ... تشکیل شده‌اند. برای شمارش از صفر تا ۹ از این علامت‌ها استفاده می‌کنیم و برای نشان دادن اعداد بزرگ‌تر از ۹، این علامت‌ها را طبق قواعد خاصی با یک دیگر ترکیب می‌کنیم

(پشت سر هم قرار می‌دهیم). چنان که می‌دانید، موقعیت مکانی هر عدد (هر علامت) یا رقم معنی خاصی دارد؛ مثلاً با دو رقم ۶ و ۴ دو عدد ۴۶ و ۶۴ را می‌توان ساخت که از نظر معنا با هم متفاوت‌اند. در سیستم ده‌دهی، هر عدد را می‌توان به صورت توان‌هایی از ۱۰ نشان داد؛ به این دلیل به آنها سیستم ده‌دهی می‌گویند. مثلاً:

$$3296 = 3 \times 10^3 + 2 \times 10^2 + 9 \times 10^1 + 6 \times 10^0$$

$$3 \times 10^3 + 2 \times 10^2 + 9 \times 10^1 + 6 \times 10^0$$

به طور کلی، در سیستم اعشاری (ده‌دهی) هر عدد صحیح را می‌توان به صورت زیر نوشت.

$$N = a_n \times 10^n + a_{n-1} \times 10^{n-1} + \dots + a_2 \times 10^2 + a_1 \times 10^1 + a_0 \times 10^0$$

ضرایب $a_n, a_{n-1}, a_{n-2}, \dots, a_2, a_1, a_0$ می‌توانند بین صفر تا ۹ باشند. توان‌های ۱۰ ارزش مکانی هر یک از رقم‌ها را مشخص می‌کند. مثلاً:

$$45531 = 4 \times 10^4 + 5 \times 10^3 + 5 \times 10^2 + 3 \times 10^1 + 1 \times 10^0$$

یکان دهگان صدگان هزارگان ده هزارگان

در عدد ۴۵۵۳۱، رقم ۴ مربوط به a_n ، رقم ۵ مربوط به a_{n-1} ، رقم ۵ صدگان مربوط به a_{n-2} ، رقم ۳ مربوط به a_{n-3} و ۱ مربوط به a_{n-4} است. در این مثال $n=4$ است در نتیجه $a_{n-4} = a_0$ و $a_{n-1} = a_3$ ، $a_n = a_4$ می‌شود.



تمرین کلاسی ۱-۱: ضرایب و ارزش مکانی

عدد ۸۳۲۹ را مشخص کنید.

۱-۴-۲- سیستم دودویی (Binary):

در سیستم دودویی علائم به کار رفته ۰ و ۱ (دوتا) هستند. برای شمارش صفر و یک از این علامت‌ها استفاده می‌کنیم و برای نمایش دادن اعداد بزرگ‌تر از یک، این دو علامت را طبق قواعد خاصی پشت سر هم قرار می‌دهیم. در این سیستم نیز هر علامت متناسب با مکانی که در آن قرار می‌گیرد (یا موقعیت رقم)، ارزش

[illegible]

MSB (با ارزش ترین) LSB (کم ارزش ترین)

مثلاً در سیستم اعشاری عدد ۷۸۳۲، کم ارزش ترین رقم عدد ۲ و با ارزش ترین رقم عدد ۷ است. در جدول ۱-۱۱، اعداد باینری از صفر تا ۱۵ نمایش داده شده‌اند.

جدول ۱-۱۱- اعداد اعشاری و معادل باینری آن

باینری	اعشاری ده دهی
۰	۰
۱	۱
۱۰	۲
۱۱	۳
۱۰۰	۴
۱۰۱	۵
۱۱۰	۶
۱۱۱	۷
۱۰۰۰	۸
۱۰۰۱	۹
۱۰۱۰	۱۰
۱۰۱۱	۱۱
۱۱۰۰	۱۲
۱۱۰۱	۱۳
۱۱۱۰	۱۴
۱۱۱۱	۱۵

آیا می‌دانید:

از واحدهای کیلوبایت، مگابایت، گیگابایت و ... در رابطه با سنجش ظرفیت چه وسایلی استفاده می‌شود و چه مفهومی دارد؟ توضیح دهید.

۳-۴-۱- سیستم هشت تایی (اکتال Octal):

در سیستم اکتال (هشت تایی) مبنای عدد ۸ و تعداد علامت‌ها هشت رقم به صورت (۰ و ۱ و ۲ و ... و ۷) است. برای نمایش دادن اعداد از صفر تا هفت، از این علامت‌ها استفاده می‌شود. برای اعداد بزرگ‌تر از هفت، این علامت‌ها را طبق قواعد خاصی پشت سرهم قرار می‌دهیم. این قاعده‌ها را در ادامه توضیح خواهیم داد. در این سیستم مانند سیستم ده دهی، هر عدد موقعیت خاص خود را دارد. معادل اعشاری اعداد اکتال مشابه اعداد باینری از رابطه زیر به دست می‌آید. با این تفاوت که به جای عدد ۲، عدد ۸ قرار می‌گیرد.

$$N = a_n \times 8^n + a_{n-1} \times 8^{n-1} + \dots + a_1 \times 8^1 + a_0 \times 8^0$$

ضرایب a_n تا a_0 می‌توانند مقادیری بین صفر تا ۷ باشند، مثلاً عدد اکتال $(5236)_8$ در سیستم اعشاری برابر است با:

$$(5236)_8 =$$

$$5 \times 8^3 + 2 \times 8^2 + 3 \times 8^1 + 6 \times 8^0 =$$

$$5 \times 512 + 2 \times 64 + 3 \times 8 + 6 \times 1 =$$

$$2560 + 128 + 24 + 6 = (2718)_{10}$$

با مثال دیگری در این رابطه موضوع را روشن تر می‌کنیم.

$$(7040)_8 = 7 \times 8^3 + 0 \times 8^2 + 4 \times 8^1 + 0 \times 8^0 =$$

$$7 \times 512 + 0 \times 64 + 4 \times 8 + 0 \times 1 =$$

$$3584 + 0 + 32 + 0 = (3616)_{10}$$

برای تبدیل کردن اعداد اعشاری به اکتال، از تقسیم‌های متوالی عدد اعشاری به عدد ۸ استفاده می‌کنیم و همان قواعد خاصی را که در بالا اشاره کردیم توضیح خواهیم داد.

نکته ۱: چون عملکرد دروازه‌های منطقی پایه در دو حالت صفر و یک تعریف شده است، به همین دلیل از سیستم دودویی (باینری) استفاده می‌شود.

نکته ۲: در سیستم دودویی هر کیلو بایت معادل 2^{10} بایت است و با واحد کیلو در بقیه کمیت‌هایی که تاکنون شناخته‌ایم متفاوت است: به همین ترتیب داریم:

$$1 \text{ KB} = 2^{10} = 1 \text{ کیلوبایت}$$

$$1 \text{ MB} = 2^{10} \text{ KB} = 2^{20} \text{ B}$$

$$1 \text{ GB} = 2^{10} \text{ MB} = 2^{20} \text{ KB} = 2^{30} \text{ B}$$

$$1 \text{ TB} = 2^{10} \text{ GB} = 2^{20} \text{ MB} = 2^{30} \text{ KB} = 2^{40} \text{ B}$$



تمرین کلاسی ۱-۶: اعداد ده‌دهی زیر را به مبنای اکتال و باینری ببرید.

الف) ۵۷۲ ب) ۸۴ پ) ۱۰۲۴

۱-۴-۴ سیستم شانزده تایی

(هگزادسی مال Hexa decimal):

در این سیستم (۱۶ تایی)، ۱۶ علامت شامل ۰، ۱، ۲، ...، ۹، A، B، C، D، E و F به کار می‌رود. در این سیستم برای نمایش عددهای بیشتر از ۹ و کمتر از ۱۶ باید از یک علامت استفاده کرد و نمی‌توان مثلاً عدد ۱۰ را به همین صورت نشان داد چون یک عدد دو رقمی است که هم صفر و هم یک دارد و با صفر و یک اصلی اشتباه می‌شود. به همین دلیل از حروف استفاده می‌شود که:

A = ۱۰، B = ۱۱، C = ۱۲، D = ۱۳، E = ۱۴، F = ۱۵

برای اعداد بزرگ‌تر از ۱۶ این علامت‌ها را طبق قواعد خاصی پشت سر هم قرار می‌دهیم. مشابه همان قواعدی که در سیستم اکتال بیان شد با این تفاوت که پایه در این جا عدد ۱۶ است. در این سیستم اعداد نیز، هر عدد موقعیت خاص خود را دارد.

معادل اعشاری اعداد هگزادسی مال از رابطه زیر به دست می‌آید.

$$N = a_n \times 16^n + a_{n-1} \times 16^{n-1} + \dots + a_1 \times 16^1 + a_0 \times 16^0$$

ضرایب a_n تا a_0 می‌توانند مقادیری بین صفر تا F (۱۵) باشند. مثلاً عدد $(A14E)_{16}$ در مبنای ۱۶ نوشته شده است. معادل اعشاری آن برابر است با:

$$N = A \times 16^3 + 1 \times 16^2 + 4 \times 16^1 + E \times 16^0 =$$

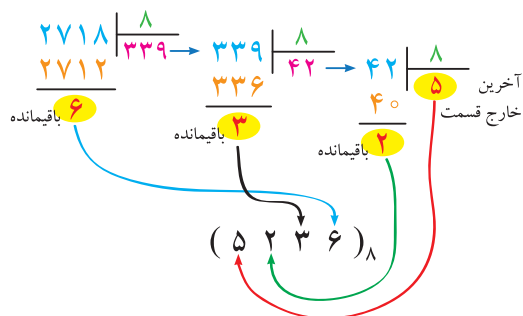
$$N = (10) \times 4096 + 1 \times 256 + 4 \times 16 + (14) \times 1 =$$

$$40960 + 256 + 64 + 14 = (41294)_{10}$$

برای تبدیل کردن اعداد اعشاری به اعداد هگزادسی مال،

مثال ۱-۲: عدد اعشاری $(2718)_{10}$ را به عدد اکتال

تبدیل کنید (به مبنای ۸ ببرید).



تقسیمات را تا جایی ادامه می‌دهیم که خارج قسمت با عدد ۷ مساوی یا کوچکتر شود. مشابه سیستم باینری از سمت چپ شروع به نوشتن عدد می‌کنیم. به این ترتیب که آخرین خارج قسمت را سمت چپ نوشته و به ترتیب باقیمانده را در جلوی آن می‌نویسیم تا به اولین باقی‌مانده تقسیم برسیم.

$$(2718)_{10} = (5236)_8 = (5236)_8$$



تمرین کلاسی ۱-۴: عدد $(5236)_8$ را به مبنای اعشاری تبدیل کنید و ببینید آیا همان عدد به دست می‌آید؟

مثال ۱-۳: عدد 3045 در مبنای اکتال را به مبنای

اعشار (ده‌دهی) تبدیل کنید.

$$(3045)_8 = 3 \times 8^3 + 0 \times 8^2 + 4 \times 8^1 + 5 \times 8^0 =$$

$$3 \times 512 + 0 \times 64 + 4 \times 8 + 5 \times 1 =$$

$$1536 + 0 + 32 + 5 = (1573)_{10}$$

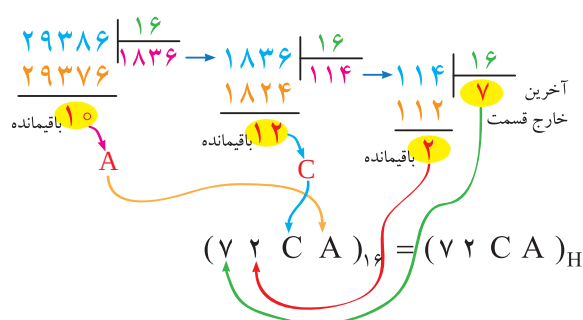


تمرین کلاسی ۱-۵: اعداد زیر را که در مبنای

اکتال هستند به مبنای ده‌دهی (اعشاری) ببرید.

الف) $(753)_8$

ب) $(1462)_8$



مشابه سیستم‌های دیگر تقسیم‌های متوالی را تا جایی که آخرین خارج قسمت با ۱۵ مساوی یا کوچک‌تر شود ادامه می‌دهیم، سپس از سمت چپ ابتدا آخرین خارج قسمت را می‌نویسیم و باقیمانده‌ها را در جلوی آن، تا به اولین باقیمانده برسیم.

تمرین کلاسی ۷-۱: عدد ۷۵۶۸ را به مبنای هگزادسی مال ببرید.

تمرین کلاسی ۸-۱: عدد $(ABF)_{16}$ در مبنای ۱۶ را به مبنای اعشاری تبدیل کنید.

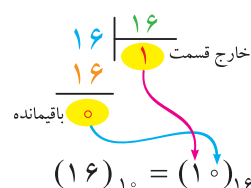
نکته: موارد کاربری اعداد باینری و هگزادسی مال در زبان ماشین است.

۱-۵ مکمل‌های اعداد

مکمل‌ها یا متمم‌ها در کامپیوترهای دیجیتال برای ساده کردن عمل تفریق و یا عملیات منطقی به کار می‌روند. در هر مبنایی دو نوع مکمل برای هر سیستم وجود دارد: یکی مکمل مبنای پایه و دیگری مکمل مبنای منهای یک یا پایه‌کاهش یافته است. در سیستم دودویی چون مبنای ۲ است مکمل ۲ را داریم و مکمل کاهش یافته پایه که آن را مکمل ۱ می‌نامیم.

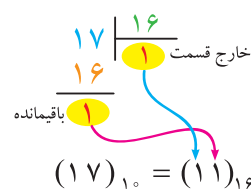
از تقسیم‌های متوالی عدد اعشاری به عدد ۱۶ استفاده می‌کنیم. هنگام تقسیم کردن توجه داشته باشید که اگر باقیمانده بین ۱۰ تا ۱۵ باشد، باید از حروف A تا F استفاده کنید.

مثال ۴-۱: عدد ۱۶ در مبنای دهدهی را به مبنای هگزادسی مال تبدیل کنید.



همانطور که ملاحظه کردید عدد ۱۶ در سیستم دهدهی به عدد ۱۰ در سیستم هگزادسی مال تبدیل شد.

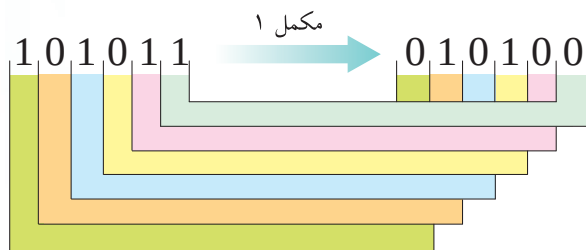
مثال ۵-۱: عدد ۱۷ در مبنای دهدهی را به مبنای هگزادسی مال تبدیل کنید.



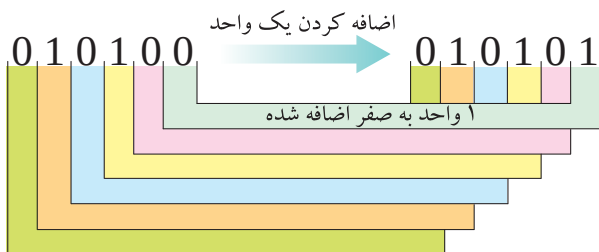
با توجه به دو مثال بالا در سیستم هگزادسی مال، معادل ۱۶ و ۱۷ سیستم دهدهی، اعداد ۱۰ و ۱۱ خواهد شد.

اگر بخواهیم ۱۱ را در مبنای هگزادسی مال به صورت $(11)_H$ نشان دهیم با ۱۷، اشتباه می‌شود. لذا ناگزیریم ۱۱ را با علامت دیگری نشان دهیم که از علائم A تا F برای اعداد ۱۰ تا ۱۵ استفاده می‌کنیم.

مثال ۶-۱: عدد اعشاری $(29386)_{10}$ را به سیستم هگزادسی مال تبدیل کنید.



در این روش همانطور که ملاحظه شد یک‌ها را به صفر و صفرها را به یک تبدیل می‌کنیم که ابتدا مکمل ۱ عدد به دست می‌آید. سپس به مکمل ۱ عدد به دست آمده یک واحد اضافه می‌شود که این روش را پس از فراگیری جمع در سیستم باینری بهتر درک خواهید کرد.



اگر عدد مثال دوم را با روش اول نیز تبدیل کنیم به همین نتیجه خواهیم رسید.

$$101011 \xrightarrow{\text{مکمل } 2} 010101$$

اولین یک از سمت راست را می‌نویسیم دومین یک، صفر می‌شود و رقم صفر از سمت راست یک شده و به همین ترتیب ادامه می‌دهیم. حاصل در هر دو روش یک‌سان است. لازم است که هر دو روش را فرا بگیرید.



تمرین کلاسی ۱۰-۱: مکمل ۲ عدد باینری ۱۰۱۱۰۱ را از هر دو روش به دست آورید.

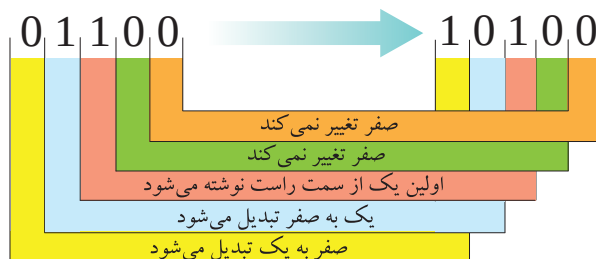
مثال ۷-۱: مکمل ۲ عدد باینری ۱۰۰۰۱ را از هر دو روش به دست آورید.

۱-۵-۱- مکمل ۱: برای بدست آوردن مکمل ۱ در هر عدد دودویی (باینری) کافی است صفرها را یک و یک‌های آن را به صفر تبدیل کنیم. مثلاً برای عدد باینری ۰۱۱۱۰۱ مکمل یا متمم یک آن به صورت ۱۰۰۰۱۰ خواهد شد.



تمرین کلاسی ۹-۱: متمم یا مکمل ۱ عدد باینری ۱۰۰۱۱۰۱ را به دست آورید.

۱-۵-۲- مکمل ۲: در سیستم دودویی مکمل ۲ براساس مبنا یا پایه آن تعریف شده است. برای به دست آوردن مکمل ۲ در هر عدد باینری به صورت زیر عمل می‌کنیم. ابتدا اولین ارقام صفر را از سمت راست می‌نویسیم به اولین یک که رسیدیم آن را نوشته، سپس بقیه بیت‌ها را متمم می‌کنیم یعنی یک‌ها را به صفر و صفرها را به یک تبدیل می‌کنیم. مثلاً برای عدد باینری ۰۱۱۰۰ از سمت راست، ابتدا دو صفر آن را نوشته و اولین یک از سمت راست را نیز می‌نویسیم سپس دومین یک از سمت راست را صفر می‌کنیم و بعد صفر را یک کرده و آن را می‌نویسیم.



روش دیگری نیز برای مکمل ۲ وجود دارد به این ترتیب که ابتدا مکمل ۱ عدد باینری را می‌نویسیم، سپس یک واحد به عدد به دست آمده اضافه می‌کنیم. به طور مثال مکمل ۲ عدد باینری ۱۰۱۰۱۱ را از روش دوم به دست می‌آوریم.

۱-۶-۱- تبدیل مبنای ۲ به ۱۰: برای تبدیل اعداد دودویی به دسی مال، ابتدا ارزش مکانی بیت‌های عدد باینری را مشخص می‌کنیم، سپس باتوجه به مقدار بیت در آن ارزش مکانی آنها را با هم جمع می‌کنیم. به عنوان مثال ارزش مکانی عدد زیر را تعیین می‌کنیم.

(۱ ۰ ۰ ۱ ۰ ۱ ۰ ۰) _۲	
ارزش مکانی $2^0 = 1$	
ارزش مکانی $2^1 = 2$	
ارزش مکانی $2^2 = 4$	
ارزش مکانی $2^3 = 8$	
ارزش مکانی $2^4 = 16$	
ارزش مکانی $2^5 = 32$	
ارزش مکانی $2^6 = 64$	

$$1 \times 64 + 0 \times 32 + 0 \times 16 + 1 \times 8 + 0 \times 4 + 1 \times 2 + 0 \times 1 =$$

$$64 + 0 + 0 + 8 + 0 + 2 + 0 = 74$$

$$(1001010)_2 = 74$$

مثال ۱-۸: عدد باینری 10011110 را به مبنای ده ببرید.

$$(10011110)_2 =$$

$$1 \times 128 + 0 \times 64 + 0 \times 32 + 1 \times 16 + 1 \times 8 + 1 \times 4 + 1 \times 2 + 0 \times 1 =$$

$$128 + 16 + 8 + 4 + 2 = 158$$

$$10011110_2 = 158$$



تمرین کلاسی ۱-۱۲:

عدد $(011011101)_2$ را به مبنای ده‌دهی (دسی مال) تبدیل کنید.



تمرین کلاسی ۱-۱۳: اعداد باینری

زیر را به مبنای اعشاری (دسی مال) ببرید.

$$(10111001)_2 \text{ (الف)}$$

$$(1000001)_2 \text{ (ب)}$$

$$10001 \xrightarrow{\text{مکمل ۲}} 01111 \text{ روش اول}$$

$$\begin{cases} 10001 \xrightarrow{\text{مکمل ۱}} 01110 \\ 01110 \xrightarrow{\text{اضافه کردن یک واحد}} 01111 \end{cases} \text{ روش دوم}$$



تمرین کلاسی ۱-۱۱: مکمل ۱ و

مکمل ۲ اعداد باینری زیر را بنویسید.

برای به دست آوردن مکمل ۲ از هر دو روش استفاده کنید.

$$\text{الف) } 100110011$$

$$\text{ب) } 11101011$$

$$\text{پ) } 1010101$$

۱-۶- تبدیل مبنای اعداد به یکدیگر

وقتی که ما بیش‌تر از یک سیستم عددی داریم، تبدیل اعداد از یک سیستم به سیستم دیگر بسیار مهم است. برای ما آسان‌تر است که با اعداد دسی مال سروکار داشته باشیم ولی در سیستم‌های دیجیتال اعداد دودویی (باینری) بیش‌تر به کار می‌رود.

از طرفی ما هم به اعداد دسی مال احتیاج داریم و هم به اعداد دودویی، زیرا ماشین اعداد دودویی را می‌شناسد. در صورتی که روی نمایشگر باید اعداد ده‌دهی ظاهر شود. در نتیجه همواره در سیستم‌های دیجیتالی تبدیل اعداد دسی مال به اعداد دودویی در مورد اطلاعات ورودی و برعکس تبدیل اعداد دودویی به اعداد دسی مال در مورد اطلاعات خروجی مورد نیاز است.

اکثر سیستم‌های دیجیتال با اعداد در سیستم دودویی کار می‌کنند.

هم‌چنین استفاده از سیستم اعداد در مبنای اکتال (هشت‌تایی 2^3) و هگزا دسی مال (شانزده‌تایی 2^4) که به صورت توان‌هایی از ۲ نوشته می‌شوند، در ساده کردن این تبدیلات بسیار مؤثر هستند.

۲-۶-۱- تبدیل مبنای ۲ به ۸:

برای این که اعداد را از مبنای باینری به مبنای اکتال (هشت‌تایی) تبدیل کنیم، ابتدا باید عدد باینری را به مبنای دسی مال برده و سپس با تقسیم‌های متوالی بر ۸ به مبنای اکتال تبدیل کنیم.

به طور مثال برای تبدیل عدد باینری 100110 به مبنای اکتال به روش زیر عمل می‌کنیم.
مرحله اول تبدیل به مبنای دسی مال:

$$100110 = 1 \times 32 + 0 \times 16 + 0 \times 8 + 1 \times 4 + 1 \times 2 + 0 \times 1 = 32 + 4 + 2 = 38$$

مرحله دوم تبدیل عدد اعشاری به مبنای اکتال:

$$\begin{array}{r} 38 \div 8 = 4 \text{ خارج قسمت} \\ 6 \text{ باقیمانده} \end{array}$$

تقسیم‌های متوالی را تا جایی ادامه می‌دهیم که خارج قسمت کوچکتر یا مساوی ۷ شود. از سمت چپ ابتدا آخرین خارج قسمت را نوشته سپس باقیمانده را به ترتیب تا اولین باقیمانده می‌نویسیم.

$$(38)_{10} = (46)_8 = (46)_8.$$

مثال ۹-۱: عدد $(1110011)_2$ را به مبنای هشت‌تایی

ببرید.

$$\begin{aligned} (1110011)_2 &= 1 \times 2^6 + 1 \times 2^5 + 1 \times 2^4 + 0 \times 2^3 + 0 \times 2^2 + 1 \times 2^1 + 1 \times 2^0 = \\ &= 1 \times 64 + 1 \times 32 + 1 \times 16 + 0 \times 8 + 0 \times 4 + 1 \times 2 + 1 \times 1 = \\ &= 64 + 32 + 16 + 2 + 1 = 115 \end{aligned}$$

$$\begin{array}{r} 115 \div 8 = 14 \text{ خارج قسمت} \\ 3 \text{ باقیمانده} \end{array} \rightarrow \begin{array}{r} 14 \div 8 = 1 \text{ آخرین خارج قسمت} \\ 6 \text{ باقیمانده} \end{array}$$

$$115 = (163)_8 = (1110011)_2$$

تمرین کلاسی ۱۴-۱: اعداد باینری زیر را به مبنای اکتال تبدیل کنید.
(الف) $(110111001)_2$
(ب) $(1000001)_2$

روش ساده‌تری نیز برای این تبدیل وجود دارد که سرعت کار را بالاتر می‌برد. می‌توان عدد باینری را از سمت راست سه بیت سه بیت جدا کنیم و معادل هر قسمت آن را به صورت اکتال بنویسیم، به طور مثال:

$$\begin{aligned} (100110)_2 &= (46)_8 \\ \text{از سمت راست سه بیت سه بیت جدا می‌کنیم.} \\ \text{معادل اکتال هر سه بیت را می‌نویسیم.} \\ \text{عدد به دست آمده در مبنای اکتال است.} \end{aligned}$$

تمرین کلاسی ۱۵-۱: اعداد باینری زیر را از روش ساده‌تر به مبنای اکتال ببرید.
(الف) $(110111001)_2$
(ب) $(1000001)_2$

مثال ۱۰-۱: عدد $(10011011)_2$ را به مبنای اکتال ببرید. (از روش ساده و سریع).

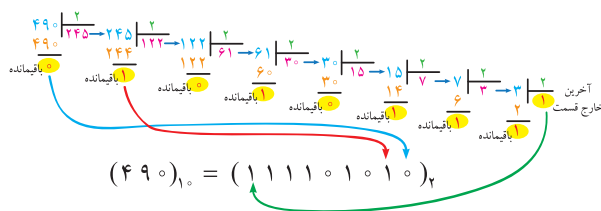
$$\begin{aligned} (10011011)_2 &= (233)_8 \\ \text{از سمت راست سه بیت سه بیت جدا می‌کنیم.} \\ \text{معادل اکتال هر سه بیت را می‌نویسیم.} \end{aligned}$$

۳-۶-۱- تبدیل مبنای ۸ به ۲: برای تبدیل اعداد در مبنای اکتال به مبنای دودویی، ابتدا باید عدد در سیستم اکتال را به سیستم دسی‌مال (اعشاری) برده، سپس با تقسیم‌های متوالی بر ۲ به مبنای دودویی تبدیل کنیم.

به طور مثال برای تبدیل عدد $(۷۵۲)_۸$ به مبنای دودویی به روش زیر عمل می‌کنیم.
مرحله اول تبدیل به مبنای دسی‌مال:

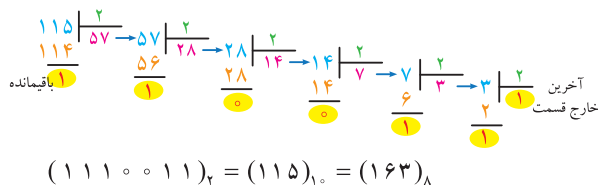
$$\begin{aligned}(۷۵۲)_۸ &= \\ ۷ \times ۸^۲ + ۵ \times ۸^۱ + ۲ \times ۸^۰ &= \\ ۷ \times ۶۴ + ۵ \times ۸ + ۲ \times ۱ &= \\ ۴۴۸ + ۴۰ + ۲ &= ۴۹۰ \\ (۷۵۲)_۸ &= (۴۹۰)_{۱۰}\end{aligned}$$

مرحله دوم تبدیل عدد اعشاری به دست آمده به مبنای باینری:



مثال ۱۲-۱: عدد اکتال ۱۶۳ را به مبنای باینری تبدیل کنید.

$$\begin{aligned}(۱۶۳)_۸ &= \\ ۱ \times ۸^۲ + ۶ \times ۸^۱ + ۳ \times ۸^۰ &= \\ ۱ \times ۶۴ + ۶ \times ۸ + ۳ \times ۱ &= \\ ۶۴ + ۴۸ + ۳ &= (۱۱۵)_{۱۰}\end{aligned}$$



مثال ۱۱-۱: عدد $(۱۰۰۰۱۱۱)_{۲}$ را به مبنای اکتال از روش ساده و سریع ببرید.

$$(1000111)_2 = (?)_8$$

$1 \times 1 = 1$
 $0 \times 4 + 0 \times 2 + 0 \times 1 = 0$
 $1 \times 4 + 1 \times 2 + 1 \times 1 = 7$

$$(107)_8$$



نکته: وقتی سه بیت سه بیت از

سمت راست جدا می‌کنیم، ممکن است در دسته سمت چپ یک یا دو بیت بماند که در نتیجه فقط همان یک یا دو بیت را برای تبدیل در نظر می‌گیریم.



تمرین کلاسی ۱۶-۱: اعداد

باینری زیر را از روش سریع‌تر و ساده‌تر به مبنای اکتال تبدیل کنید.

- (الف) $(۱۰۰۱۱۱۱۱)_{۲}$
 (ب) $(۱۱۰۰۰۱۰۱)_{۲}$
 (پ) $(۱۰۰۱۱۱۰)_{۲}$

همان طور که ملاحظه کردید در این جداسازی سه بیتی اگر هر سه بیت یک باشد، بزرگ‌ترین رقم عدد ۷ در سیستم اکتال می‌شود که خود بزرگ‌ترین رقم در سیستم اکتال است.



تمرین کلاسی ۱۷-۱: عدد

$(۱۰۰۱۱۰۱۱۱۰)_{۲}$ را از هر دو روش به سیستم اکتال تبدیل کنید. پاسخ‌ها را با هم مقایسه کنید.



جهت هنرجویان علاقه‌مند:

آیا می‌دانید دلیل ریاضی استفاده از روش‌های ساده‌تر در تبدیلات مبنای ۸ به ۲ و مبنای ۲ به ۸ چیست؟ تحقیق کنید و نتایج تحقیق را به کلاس ارائه دهید.



تمرین کلاسی ۱۸-۱: اعداد

اکتال زیر را به مبنای باینری تبدیل کنید.

الف) $(431)_8$

ب) $(50)_8$

پ) $(726)_8$



تمرین کلاسی ۱۹-۱: اعداد

اعداد در مبنای اکتال زیر را از روش ساده‌تر به مبنای باینری ببرید.

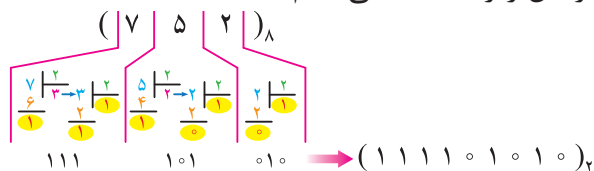
الف) $(542)_8$

ب) $(267)_8$

پ) $(130)_8$

از روش ساده‌تر و سریع‌تری نیز برای این تبدیل می‌توان استفاده کرد، به این ترتیب که هر رقم در مبنای اکتال را به یک عدد سه بیتی در مبنای باینری تبدیل می‌کنیم. برای این کار می‌توان از روش تقسیم‌های متوالی استفاده کرد و با تمرین زیاد به راحتی می‌توانید معادل باینری هر عدد را بدون استفاده از محاسبات به دست آورید.

به طور مثال برای تبدیل عدد $(752)_8$ به مبنای ۲ از مراحل زیر استفاده می‌کنیم.



۴-۶-۱- تبدیل مبنای ۲ به ۱۶: به همان روشی

که در تبدیل مبنای ۲ به ۸ آموختید، ابتدا باید عدد در مبنای باینری را به سیستم ده‌دهی تبدیل کرد، سپس با تقسیم‌های متوالی بر ۱۶ به مبنای هگزا دسی‌مال (شانزده‌تایی) تبدیل کنیم.

به طور مثال برای تبدیل عدد باینری 100110 به مبنای هگزادسی‌مال به روش زیر عمل می‌کنیم.

مرحله اول تبدیل مبنای دسی‌مال

$$100110 = 1 \times 32 + 0 \times 16 + 0 \times 8 + 1 \times 4 + 1 \times 2 + 0 \times 1 = 32 + 4 + 2 = 38$$

مرحله دوم تبدیل به مبنای هگزا دسی‌مال

$$\begin{array}{r|l} 38 & 16 \\ \hline 2 & \text{خارج قسمت} \\ \hline 6 & \text{باقیمانده} \end{array}$$

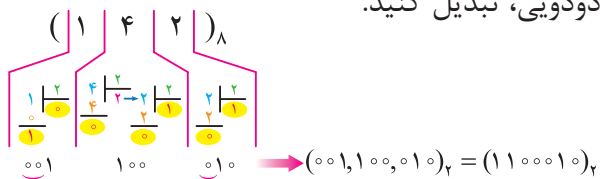


نکته: اگر در مراحل تقسیم‌های متوالی برای هر

رقم، حاصل کم‌تر از سه بیت شد برای تکمیل آن به سه بیت، باید در سمت چپ بیت‌ها، رقم صفر را قرار دهید.

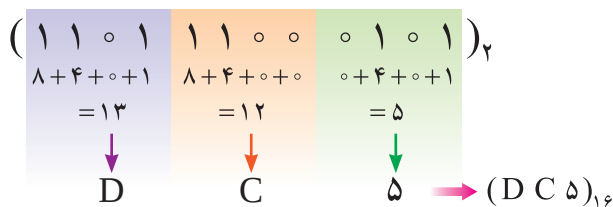
مثال ۱۳-۱: عدد $(142)_8$ را از روش سریع‌تر به مبنای

دودویی، تبدیل کنید.



صفر در سمت چپ برای تکمیل به «سه بیت» آمده است

$$(142)_8 = (001, 100, 010)_2$$



- ۱- از سمت راست چهار بیت چهار بیت جدا می‌کنیم.
- ۲- معادل هگزا دسی مال هر چهار بیت را می‌نویسیم.
- ۳- عدد به دست آمده در مبنای هگزا دسی مال است.



تمرین کلاسی ۲۱-۱: اعداد

باینری زیر را از روش ساده‌تر به مبنای اکتال ببرید.

(الف) $(11011001)_2$

(ب) $(11100000)_2$

مثال ۱۵-۱: عدد $(1100101)_2$ را به مبنای

هگزادسی مال ببرید، (از روش ساده و سریع).

$$(1100101)_2 = (?)_{16}$$

$\begin{array}{cc} 11 & 00101 \\ \hline 6 & 5 \\ \hline (65)_{16} \end{array}$

مثال ۱۶-۱: عدد $(11111)_2$ را به مبنای

هگزا دسی مال ببرید، (از روش ساده و سریع).

$$(11111)_2 = (?)_{16}$$

$\begin{array}{cc} 11 & 1111 \\ \hline 3 & F \\ \hline (3F)_{16} \end{array}$



نکته: وقتی چهار بیت، چهار بیت از

سمت راست جدا می‌کنیم، ممکن است در دسته سمت چپ یک یا دو بیت بماند که در نتیجه فقط همان یک یا دو بیت را برای تبدیل در نظر می‌گیریم.

تقسیم‌های متوالی را تا جایی ادامه می‌دهیم که خارج قسمت کوچک‌تر یا مساوی ۱۵ شود. (آیا می‌دانید چرا؟) در خارج قسمت یا باقیمانده اگر عدد به دست آمده از ۹ بزرگتر باشد باید طبق آن چه در مبنای هگزا دسی مال آموختیم از حروف A، B، ... و F استفاده کنیم.

در خاتمه از سمت چپ ابتدا آخرین خارج قسمت را نوشته، سپس باقیمانده‌ها را به ترتیب تا اولین باقیمانده در جلوی آن می‌نویسیم.

$$(38)_{10} = (26)_{16} = (26)_{HEX} = (26)_H$$

می‌دانیم که مبنای هگزادسی مال را با HEX یا H نمایش می‌دهند.

مثال ۱۴-۱: عدد $(1110011)_2$ را به مبنای

شانزده تایی ببرید.

$$(1110011)_2 = 1 \times 64 + 1 \times 32 + 1 \times 16 + 0 \times 8 + 0 \times 4 + 1 \times 2 + 1 \times 1 = 115$$

$$\begin{array}{r|l} 115 & 16 \\ \hline 7 & \text{خارج قسمت} \\ \hline 3 & \text{باقیمانده} \end{array}$$

$$(115)_{10} = (73)_{16} = (1110011)_2$$



تمرین کلاسی ۲۰-۱: اعداد

باینری زیر را به مبنای شانزده تایی تبدیل کنید.

(الف) $(11001101)_2$

(ب) $(1010110)_2$

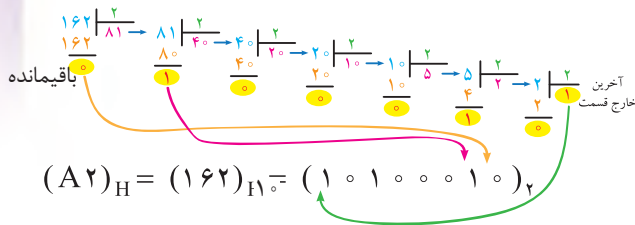
روش ساده‌تری نیز برای این تبدیل وجود دارد که سرعت کار را بالاتر می‌برد. می‌توان عدد باینری را از سمت راست چهار بیت، چهار بیت جدا کنیم و معادل هر قسمت آن را به صورت شانزده تایی بنویسیم. به طور مثال:

مثال ۱۷-۱: عدد هگزادسی مال $(A2)_H$ را به مبنای باینری تبدیل کنید.

$$(A2)_H = A \times 16^1 + 2 \times 16^0 =$$

$$(10) \times 16 + 2 \times 1 = 160 + 2 = 162$$

$$(A2)_H = (162)_D.$$



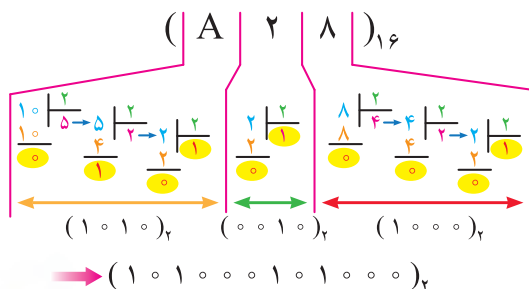
تمرین کلاسی ۲۴-۱: اعداد هگزادسی مال را به مبنای باینری تبدیل کنید.

(الف) $(142)_{16}$

(ب) $(DE)_{16}$

از روش ساده تر و سریع تر نیز برای این تبدیل می توان استفاده کرد، به این ترتیب که هر رقم در مبنای هگزا دسی مال را به یک عدد چهار بیتی در مبنای باینری تبدیل می کنیم. برای این کار می توان از روش تقسیم های متوالی استفاده کرد. با تمرین فراوان، به راحتی می توانید معادل باینری هر عدد را بدون استفاده از محاسبات به دست آورید.

به طور مثال برای تبدیل عدد $(A28)_{16}$ به مبنای ۲ از مراحل زیر استفاده می کنیم.



تمرین کلاسی ۲۲-۱: اعداد

باینری زیر را از روش سریع تر و ساده تر به مبنای هگزا دسی مال تبدیل کنید.

(الف) $(110011101)_2$

(ب) $(1101010001)_2$

(پ) $(11010000011)_2$

همان طور که ملاحظه کردید در این جداسازی چهار بیتی اگر هر چهار بیت یک باشد، بزرگ ترین رقم عدد ۱۵ در سیستم هگزا دسی مال می شود که خود بزرگ ترین رقم در سیستم هگزا دسی مال است که به صورت F می نویسیم.



تمرین کلاسی ۲۳-۱:

عدد $(11001111)_2$ را از هر روش به سیستم هگزا دسی مال تبدیل کنید. پاسخ ها را با هم مقایسه کنید.

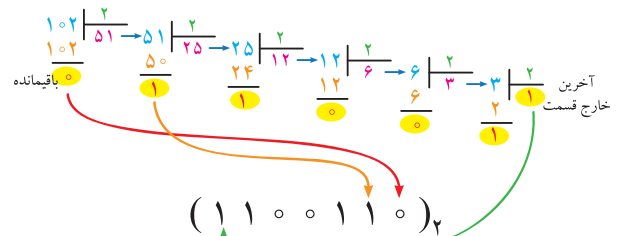
۵-۶-۱- تبدیل مبنای ۱۶ به ۲: برای تبدیل اعداد در مبنای شانزده تایی به مبنای دودویی، ابتدا باید عدد در سیستم شانزده تایی را به سیستم ده دهی برده، سپس با تقسیم های متوالی بر ۲ به مبنای دودویی به روش زیر عمل می کنیم.

مرحله اول تبدیل مبنای دسی مال:

$$(66)_{16} = 6 \times 16^1 + 6 \times 16^0 =$$

$$96 + 6 \times 1 = 96 + 6 = 102$$

$$(66)_{16} = (102)_{10}.$$



$$(66)_{16} = (102)_{10} = (1100110)_2$$

مشابه اعمال ریاضی بر روی اعداد اعشاری است که ما همواره با آن‌ها سرو کار داریم.

در این جا فقط به بررسی عمل جمع و در ادامه به عمل تفریق بر روی اعداد باینری می‌پردازیم.

جمع در سیستم باینری: جمع در این سیستم، شبیه به جمع در سیستم اعشاری است. در سیستم اعشاری، هرگاه جمع دو رقم از ده بیش‌تر می‌شود، یک واحد به رقم بعد آن اضافه می‌کنیم که به آن ده بر یک می‌گوییم. در سیستم باینری، هرگاه جمع دو رقم دو شود (حالت $1+1$)، ایجاد دو بر یک^۱ می‌کند و باید عدد یک را به رقم بعدی اضافه کرد. می‌دانیم که:

0 + 0 = 0	1 + 0 = 1	0 + 1 = 1	1 + 1 = 10
-----------	-----------	-----------	------------

$$1 + 1 = 10 \text{ یا } 10$$

رقم اول نوشته می‌شود ① دو بر یک یک (۱) به ستون بعدی منتقل می‌شود.

مثال ۱۹-۱:

$$\begin{array}{r} 1011011 \\ + 111110 \\ \hline 10011011 \end{array}$$

$$(1011011)_2 + (111110)_2 = (10011011)_2$$

تمرین کلاسی ۲۶-۱: دو عدد

باینری زیر را با هم جمع کنید.

$$(1001101)_2 + (1100111)_2 = (?)_2$$

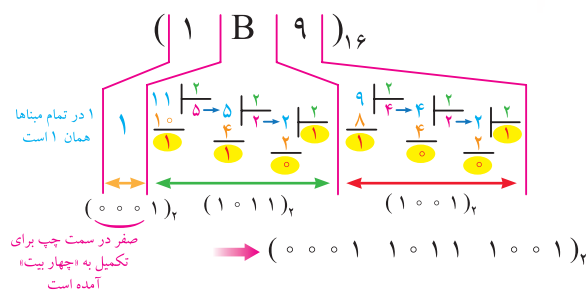
۱- دو بر یک در سیستم دوتایی رقم نقلی را ایجاد می‌کند که به آن Carry می‌گویند.



نکته: اگر در مراحل تقسیم‌های

متوالی برای هر رقم، حاصل کم‌تر از چهار بیت شد، برای تکمیل آن به چهار بیت، باید در سمت چپ بیت‌ها رقم صفر را قرار دهید.

مثال ۱۸-۱: عدد $(1B9)_{16}$ را از روش سریع‌تر به مبنای دودویی تبدیل کنید.



جهت هنجاریان علاقه‌مند:

آیا می‌دانید دلیل ریاضی استفاده از روش‌های ساده‌تر در تبدیل‌های مبنای ۱۶ به ۲ و مبنای ۲ به ۱۶ چیست؟ تحقیق کنید و نتایج تحقیق را به کلاس ارائه دهید.



تمرین کلاسی ۲۵-۱: اعداد در

مبنای هگزا دسی‌مال زیر را از روش ساده‌تر به مبنای باینری ببرید.

الف) $(AF)_{16}$

ب) $(2E)_{16}$

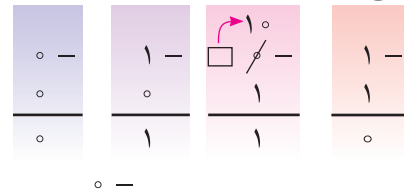
پ) $(D8)_{16}$

۱-۷ جمع باینری

کلیه اعمال ریاضی بر روی تمامی سیستم‌های اعداد،

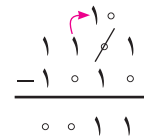
۱-۸- تفریق باینری

تفریق یک عدد باینری از عدد باینری دیگر با روشی مانند تفریق اعداد دسی مال انجام می‌پذیرد، یعنی اگر رقم بزرگتر از رقم کوچک‌تر کم شود یک واحد از مکان بعدی قرض گرفته می‌شود و در مکانی که یک واحد قرض گرفته شده یک را به صفر تبدیل می‌کنیم. واحد قرض گرفته شده را Borrow می‌گویند.



یک واحد Borrow در تفریق $\frac{1}{1}$ ایجاد شد.

یک به مکان کم ارزش‌تر انتقال می‌یابد و 10 می‌شود.

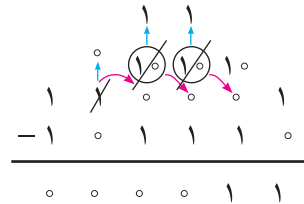


تمرین کلاسی ۱-۲۷: دو عدد

باینری زیر را از هم کم کنید.

$$_{2}(11010) - _{2}(01111) = (?)_{2}$$

مثال ۱-۲۰: دو عدد باینری را از هم کم کنید.



۱-۹- نقش کد در سیستم دیجیتال

معنای واقعی «کد کردن» همان «رمز کردن» یا به صورت رمز درآوردن اطلاعات است. اولین سؤالی که مطرح می‌شود آن است که چرا باید اطلاعات را به صورت رمز درآوریم؟

فرض کنید بخواهید پیغامی را از طریق یکی از دوستان

خود به آموزگار یا دوست دیگری برسانید. در ضمن نمی‌خواهید که حامل نامه شما از پیغامتان باخبر باشد. پس باید آن را به صورت رمزی که از قبل میان شما و گیرنده نامه به صورت قراردادی وجود دارد، درآورده، بر روی کاغذ بنویسید و به حامل نامه بسپارید. به این ترتیب تنها گیرنده نامه از متن پیام باخبر خواهد شد. این کار اولین بار توسط اسکندر، سردار مقدونی انجام شد. وی در جنگ‌ها برای ارسال پیام به سرداران سپاه خود نامه‌ها را به صورت رمز می‌نوشت، تا دشمن از متن آن باخبر نشود. حال اگر گیرنده نامه تنها کلمات رمز را بداند و به هیچ طریق دیگری نتواند کلمات را بفهمد، شما مجبورید حتماً اطلاعات ارسالی خود را به صورت کد درآورید. فرض کنید این بار گیرنده پیام‌ها، کامپیوتر باشد و بخواهید با کامپیوتر ارتباط برقرار کنید؛ باید تنها کلمات رمزی را که میان شما و سیستم از قبل قرارداد شده است استفاده کنید، تا بتوانید آنچه را که می‌خواهید به کامپیوتر بفهمانید.

لازم به ذکر است که تبدیل اطلاعات به کد، نه فقط برای ایجاد ارتباط لازم است، بلکه یکی از روش‌های با اهمیت در تشخیص خطا و در صورت لزوم برطرف کردن خطا برای اطلاعات پردازش شونده در سیستم می‌باشد. از آنجا که رمز کردن اطلاعات برای ایجاد ارتباط با کامپیوتر صورت می‌گیرد و از طرفی کامپیوتر تنها صفرها و یک‌ها را می‌تواند بفهمد، برای کد کردن اطلاعات کافی است آنها را به صورت رشته‌ای از صفرها و یک‌ها درآوریم.

۱-۹-۱- کد BCD: بعضی از ماشین‌های محاسبه‌گر الکترونیکی عملیات ریاضی را در کد (Binary Coded Decimal) BCD انجام می‌دهند.

در کد BCD هر رقم ده‌دهی را با چهار بیت باینری معادل آن نشان می‌دهند.

به مثال‌های زیر توجه کنید:

$$(3)_{10} \longrightarrow (11)_2 \longrightarrow (0011)_{BCD}$$

$$(9)_{10} \longrightarrow (1001)_2 \longrightarrow (1001)_{BCD}$$

$$(5)_{10} \longrightarrow (101)_2 \longrightarrow (0101)_{BCD}$$

جدول ۱-۱۲ - اعداد یک رقمی دهدهی و معادل باینری و BCD آنها

عدد دهدهی	عدد باینری	عدد BCD
۰	۰	۰۰۰۰
۱	۱	۰۰۰۱
۲	۱۰	۰۰۱۰
۳	۱۱	۰۰۱۱
۴	۱۰۰	۰۱۰۰
۵	۱۰۱	۰۱۰۱
۶	۱۱۰	۰۱۱۰
۷	۱۱۱	۰۱۱۱
۸	۱۰۰۰	۱۰۰۰
۹	۱۰۰۱	۱۰۰۱

تبدیل اعداد دهدهی به معادل BCD آنها از تبدیل اعداد دهدهی به معادل باینری آنها به مراتب ساده‌تر است، زیرا برای این تبدیل، دانستن معادل باینری ارقام صفر تا ۹ کفایت می‌کند. چرا؟



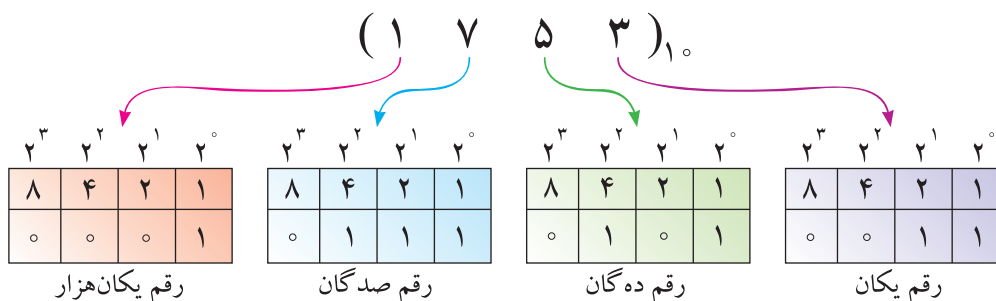
نکته: در کد BCD وزن‌های مختلفی وجود دارد که در حیطه مطالب این کتاب فقط از وزن ۸۴۲۱ آن استفاده می‌شود.

مطابق جدول فوق معادل BCD عدد دهدهی ۱۷۵۳ در جدول ۱-۱۳ نشان داده شده است.

در وزن ۸۴۲۱ اولین رقم سمت راست در ضرب یک، دومین رقم از سمت راست در ضرب ۲، سومین رقم در ضرب ۴ و چهارمین رقم از سمت راست در ضرب ۸، ضرب می‌شود.

توجه داشته باشید که در این روش نمایش اعداد باید هر رقم دهدهی را با چهار بیت باینری نمایش دهیم. در جدول ۱-۱۲ تفاوت نمایش ارقام دهدهی صفر تا ۹ به صورت باینری و BCD نشان داده شده است.

جدول ۱-۱۳ - معادل BCD عدد دهدهی ۱۷۵۳



تمرین کلاسی ۱-۲۸: جدولی
برای تبدیل عددهای ۱۰ تا ۲۰ به کد باینری و BCD رسم کنید و آن را کامل کنید.

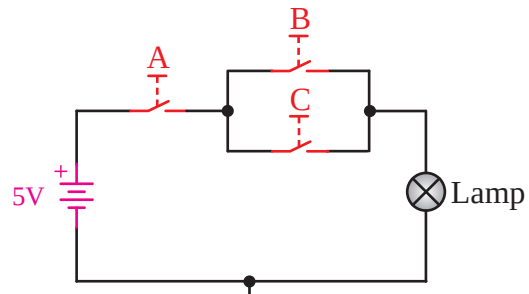
۱۰-۱- الگوی پرسش

۱- کمیت‌های آنالوگ و دیجیتال به چه معناست؟

۲- مزایای استفاده از سیستم دیجیتال نسبت به سیستم آنالوگ چیست؟

۳- چگونه می‌توان باز و بسته بودن یک در را به سطوح منطقی تبدیل کرد؟

۴- در مدار الکتریکی زیر وضعیت کلیدها به چه صورت باشد، لامپ روشن خواهد شد؟



۵- آیا می‌توانید برای مدار شکل سؤال قبل جدول تمام حالت‌های کلیدها را رسم و نشان دهید که لامپ در چه صورت روشن و در چه صورت خاموش است؟

۶- مزایای استفاده از سیستم اعداد هگزا دسی مال چیست؟

۷- اعداد زیر را که در سیستم ده‌دهی هستند به سیستم‌های باینری، اکتال و هگزادسی مال تبدیل کنید.

الف) ۱۴۲ (ب) ۷۵۶
پ) ۱۰۳۰ (ت) ۹۵۹

۸- اعداد باینری زیر را با استفاده از روش‌هایی که فرا گرفتید به مبنای ۸ و ۱۶ تبدیل کنید و نتیجه استفاده از هر دو روش را با هم مقایسه کنید.

الف) $(100100011)_2$
ب) $(1010101)_2$
پ) $(0111100011)_2$

۹- مکمل‌های ۱ و ۲ اعداد زیر را به دست آورید.

الف) $(1001101)_2$

ب) $(1001001)_2$

پ) $(10101010010)_2$

۱۰- جمع و تفریق باینری اعداد زیر را به دست آورید.

الف) a) 1000101

b) 100111

ب) a) 100111

b) 1000111

پ) a) 110000

b) 11011

۱۱- اعداد زیر را به صورت نمایش کد BCD بنویسید.

الف) ۷۵۱

ب) ۴۲۰

پ) ۹۸۳

ت) ۶۱۲

۱۲- کد کردن اطلاعات چگونه انجام می‌شود؟

۱۳- مزایای کد کردن اطلاعات چیست؟

۱۴- حاصل عبارت‌های زیر را به دست آورید.

الف) $(?)_{10} = (101100111)_2$

ب) $(?)_{16} = (101101100)_2$

پ) $(?)_8 = (256)_{10}$

ت) $(?)_8 = (11011)_2 + (11000)_2$

ث) $(?)_{16} = (10110)_2 - (110000)_2$



جهت هنجاریان علاقه‌مند:

آیا می‌دانید برای کد کردن حروف الفبای فارسی به چند بیت نیاز است؟ از چه رابطه‌ای تعداد بیت‌ها به دست می‌آید؟

ساختمان دروازه‌های منطقی پایه و ترکیبی

هدف کلی: شناخت ساختمان دروازه‌های منطقی پایه، جدول درستی، دروازه‌های ترکیبی NOR، NAND، XOR، XNOR و مشخصات دروازه‌های منطقی

کل زمان اختصاص داده شده به فصل : ۱۲ ساعت

هدف‌های رفتاری: در پایان این فصل از فراگیرنده انتظار می‌رود که:

- ۱- ترازهای ولتاژ را توضیح دهد.
- ۲- دروازه‌های منطقی پایه را شرح دهد.
- ۳- جدول درستی دروازه‌های منطقی پایه را بنویسد.
- ۴- دروازه‌های منطقی ترکیبی NOR، NAND، X-NOR و X-OR را شرح دهد.
- ۵- دروازه‌های منطقی ترکیبی NOR، NAND، X-OR و X-NOR را با گیت‌های پایه بسازد.
- ۶- جدول درستی دروازه‌های منطقی ترکیبی را بنویسد.
- ۷- مدارهای الکترونیکی ساده دروازه‌های منطقی NAND و NOR را شرح دهد.
- ۸- دروازه منطقی بافر را شرح دهد.
- ۹- برخی مشخصات گیت‌ها نظیر fan in، fan out، حاشیه‌های نویز، تأخیر در انتشار و توان تلف شده را شرح دهد.
- ۱۰- با استفاده از data sheet و data book مشخصات و پایه‌های گیت‌های پایه و ترکیبی را شناسایی کند.
- ۱۱- با استفاده از نرم افزار مولتی سیم گیت‌های منطقی پایه و ترکیبی را شبیه سازی کند.
- ۱۲- به سؤال‌های الگوی پرسش پاسخ دهد.
- ۱۳- کلیه هدف‌های رفتاری در حیطه عاطفی که در فصل اول آمده است را در این فصل نیز اجرا کند.

2
0
0
1
0
D
I
G
I
T
A
L
2

Voltage Level	سطح ولتاژ	NOT OR = NOR	« یا » نفی شده	Fan out	تعداد گیت‌های قابل اتصال به خروجی
Positive Logic	منطق مثبت	Exclusive OR = XOR	یای انحصاری	Marginal Noise	نویز حاشیه‌ای
Negative Logic	منطق منفی	Exclusive NOR = XNOR	نور انحصاری	Propagation Delay	تأخیر در انتشار
Normaly Closed = NC	در حالت عادی بسته	Buffer	بافر	Power Dissipation	تلفات توان
Normaly Open = NO	در حالت عادی باز	Fan in	تعداد گیت‌های قابل اتصال به ورودی	Data Book	کتاب اطلاعات
NOT AND = NAND	« و » نفی شده	Data Sheet		Data Sheet	برگه اطلاعات

واژه‌های بنیادی فصل دوم

پیش گفتار

دروازه‌های منطقی پایه و ترکیبی به صورت مدارهای الکترونیکی یک پارچه یا با استفاده از رله‌ها، کلیدها و ... ساخته می‌شوند.

از مزایای دروازه‌های ترکیبی این است که در آنها به جای دو یا چند دروازه منطقی پایه فقط از یک دروازه استفاده می‌شود.

۲-۱- ترازهای ولتاژ (Voltage levels):

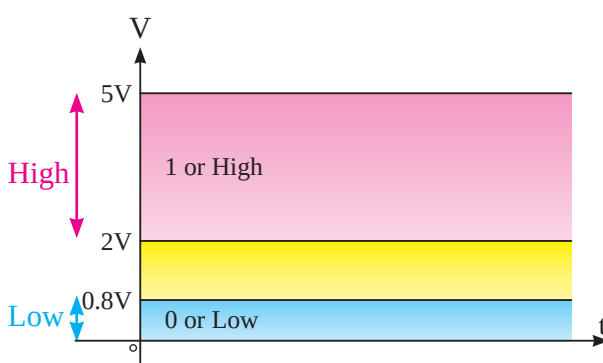
مدارهای منطقی مدارهایی هستند که می‌توانند دو نوع ولتاژ زیر را از یکدیگر تشخیص دهند:

الف) ولتاژ بالا (High)

ب) ولتاژ پایین (Low)

معمولاً مقدار واقعی ولتاژ چندان مهم نیست و در یک محدوده مشخصی از ولتاژ ممکن است این دو حالت اتفاق بیفتد بنابراین، این ولتاژها فقط به صورت بالا (High) یا پایین (Low) و یا به اختصار H و L بیان می‌شوند ولتاژهای H و L را ترازهای ولتاژ (Voltage levels) نیز می‌گویند.

به عنوان مثال ممکن است ولتاژ بالا را بین ۲ ولت تا ۵ ولت و ولتاژ پایین را بین صفر ولت تا ۰/۸ ولت در نظر بگیرند. مقدار ولتاژها را در این دو فاصله با دو حرف H و L که مخفف High و Low است می‌شناسند (شکل ۲-۱).



شکل ۲-۱- ترازهای ولتاژ

معمولاً به جای استفاده از حروف H و L اکثراً از نمادهای ۱ و ۰ برای توصیف حالت ورودی‌ها و خروجی‌های مدارهای منطقی استفاده می‌کنند. ورودی‌ها و خروجی‌ها با دو حالت زیر تعریف می‌شوند.

الف) منطق مثبت (Positive logic)

ب) منطق منفی (Negative logic)

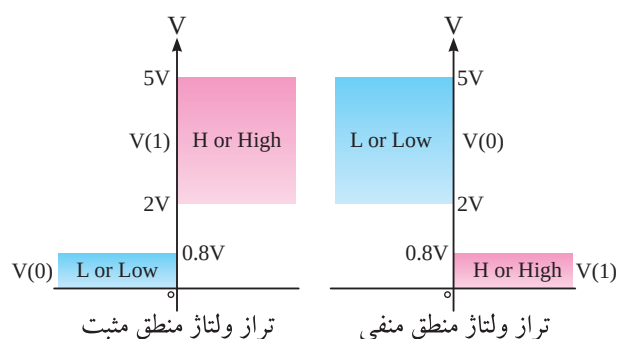
در منطق مثبت عدد «۱» نشان دهنده ولتاژ بالا (H) و صفر نشان دهنده ولتاژ پایین (L) است.

در منطق منفی عدد «۱» نشان دهنده ولتاژ پایین (L) و صفر نشان دهنده ولتاژ بالا (H) است.

تقریباً به صورت قراردادی، حرف L را در منطق مثبت به کم‌ترین مقدار مثبت و حرف H را به بیشترین مقدار مثبت اختصاص می‌دهند. در منطق منفی حرف L را به بیشترین و حرف H را به کم‌ترین مقدار ولتاژ نسبت می‌دهند.

به عنوان مثال در منطق مثبت ولتاژ ۰/۸ ولت L و ولتاژ ۵ ولت H است در صورتی که منطق منفی ولتاژ ۰/۸ ولت H و ولتاژ ۵ ولت L است.

شکل ۲-۲ ترازهای ولتاژ منطبق مثبت و منفی را نشان می‌دهد.



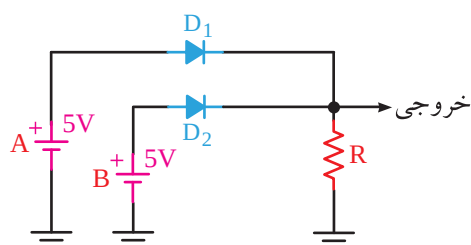
شکل ۲-۲- ترازهای مثبت و منفی

۲-۲- دروازه‌های منطقی پایه:

دروازه‌های منطقی پایه یا گیت‌ها (gates) مدارهایی هستند که تعداد یک یا بیشتر از یک ورودی و یک خروجی دارند. اگر

به همین ترتیب اگر به ورودی B ولتاژ H و به ورودی A ولتاژ L را اعمال کنیم، دیود D_2 هدایت می‌کند و دیود D_1 به حالت قطع می‌رود. خروجی مدار در حالت H قرار می‌گیرد و ولتاژ خروجی تقریباً برابر با ولتاژ ورودی می‌شود.

اگر به هر دو ورودی A و B ولتاژ H را اعمال کنیم، هر دو دیود D_1 و D_2 هدایت می‌کنند و مانند کلید بسته عمل خواهند کرد در این حالت ولتاژ خروجی تقریباً برابر ولتاژ ورودی می‌شود، (شکل ۵-۲).



شکل ۵-۲- ساختمان دیودی گیت OR در حالت هدایت D_1 و D_2

جدول ۱-۲ وضعیت دیودها را در حالت‌های مختلف نشان می‌دهد.

جدول ۱-۲- وضعیت دیودها در گیت OR

AB	D_1	D_2	V_o
LL	قطع	قطع	L
LH	قطع	هدایت	H
HL	هدایت	قطع	H
HH	هدایت	هدایت	H

ساختمان مدار یک گیت OR با دو ورودی را با استفاده از ترانزیستور در شکل ۶-۲ مشاهده می‌کنید.

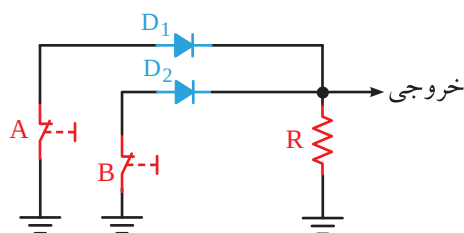
در این مدار امیترها و کلکتورهای ترانزیستورها به هم وصل شده‌اند و خروجی مدار نیز از امیتر مشترک دو ترانزیستور گرفته شده است.

اگر به هر دو ورودی A و B ولتاژ L اعمال شود هیچ‌یک از ترانزیستورها هدایت نمی‌کند و ولتاژ خروجی در حالت L قرار می‌گیرد.

سیگنال‌های ورودی در یک ترکیب مشخص در ورودی‌ها ایجاد شود، نتیجه را با توجه به شرایط ورودی و نوع گیت استفاده شده به خارج هدایت می‌کنند.

گیت‌هایی که در این قسمت مورد بررسی قرار می‌دهیم دارای دو ورودی هستند ولی می‌توان آنها را برای مدارهایی با بیشتر از دو ورودی نیز تعمیم داد.

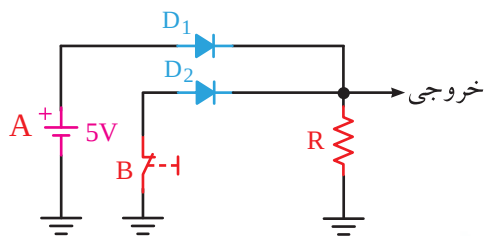
۱-۲-۲- گیت OR (یا): ساختمان مدار گیت OR با دو ورودی را با استفاده از دیود ایده‌آل در شکل ۳-۲ مشاهده می‌کنید.



شکل ۳-۲- ساختمان دیودی گیت OR در حالت قطع D_1 و D_2

در مدار شکل ۳-۲ که با استفاده از دو دیود ساخته شده است، اگر به هر دو ورودی A و B ولتاژ L را اعمال کنیم، دیودها به حالت قطع می‌روند و خروجی مدار در حالت L قرار می‌گیرد.

در شکل ۴-۲ به ورودی A ولتاژ H و به ورودی B ولتاژ L را اعمال می‌کنیم، دیود D_1 هدایت می‌کند و دیود D_2 در حالت قطع قرار می‌گیرد. خروجی مدار در حالت H قرار می‌گیرد. چون در این حالت دیود D_1 مانند یک کلید بسته عمل می‌کند و ولتاژ خروجی تقریباً برابر با ولتاژ ورودی می‌شود.



شکل ۴-۲- ساختمان دیودی گیت OR در حالت هدایت دیود D_1

جدول ۲-۲ وضعیت ترانزیستورها را در حالت‌های مختلف ورودی‌ها نشان می‌دهد.

جدول ۲-۲- وضعیت ترانزیستورها در حالت‌های مختلف ورودی

AB	Tr ₁	Tr ₂	V _O
L L	قطع	قطع	L
L H	قطع	وصل	H
H L	وصل	قطع	H
H H	وصل	وصل	H

برای هر گیت می‌توان جدول صحت یا جدول درستی تعریف کرد و مقادیر ورودی و خروجی را بر اساس صفر و یک منطقی در آن نشان داد.

جدول ۲-۳- جدول صحت گیت OR را نشان می‌دهد.

جدول ۲-۳- جدول صحت گیت OR

ورودی‌ها AB	خروجی Y
۰ ۰	۰
۰ ۱	۱
۱ ۰	۱
۱ ۱	۱

همان‌طور که از جدول درستی گیت OR پیداست، خروجی دروازه منطقی OR زمانی در وضعیت یک منطقی قرار می‌گیرد که دست کم یکی از ورودی‌های آن در وضعیت یک منطقی باشد. گیت OR را با نماد شکل ۲-۹ نشان می‌دهند.^۱



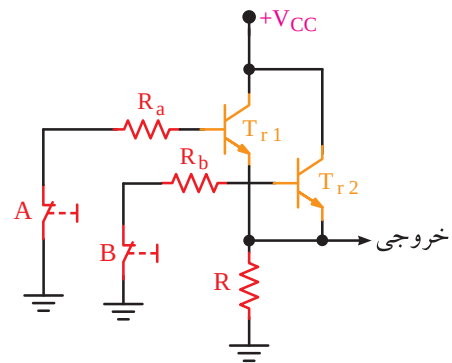
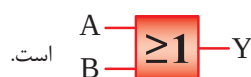
شکل ۲-۹- استاندارد بین‌المللی و امریکایی نماد دروازه منطقی OR

برای اینکه نشان دهیم متغیر A و متغیر B با یکدیگر OR شده‌اند، از رابطه زیر استفاده می‌کنیم:

$$Y = A + B$$

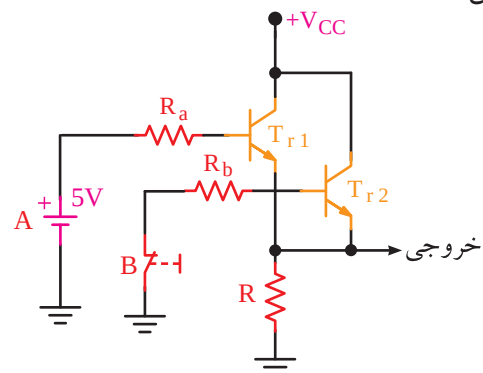
← ورودی → خروجی
↙ علامت جمع (نه علامت جمع)

۱- در استاندارد انگلیسی نماد دروازه منطقی OR به صورت



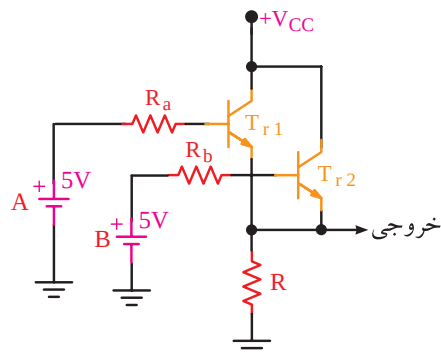
شکل ۲-۶- ساختمان ترانزیستوری گیت OR در حالت قطع هر دو ترانزیستور

اگر به یکی از ورودی‌های A یا B ولتاژ H اعمال کنیم، ترانزیستور مربوطه هدایت می‌کند و جریان از طریق همان ترانزیستور به مقاومت R می‌رسد، در نتیجه ولتاژ خروجی تقریباً برابر با ولتاژ داده شده به ورودی می‌شود (شکل ۲-۷).



شکل ۲-۷- ساختمان ترانزیستوری گیت OR در حالت وصل ترانزیستور Tr₁ و قطع ترانزیستور Tr₂

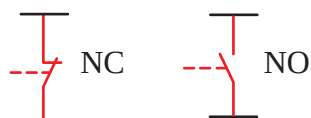
اگر به هر دو ورودی A و B ولتاژ H بدهیم، مدار مانند حالت قبل عمل می‌کند و ولتاژ خروجی تقریباً برابر با ولتاژ داده شده به ورودی‌ها خواهد شد (شکل ۲-۸).



شکل ۲-۸- ساختمان ترانزیستوری گیت OR در حالت هدایت هر دو ترانزیستور

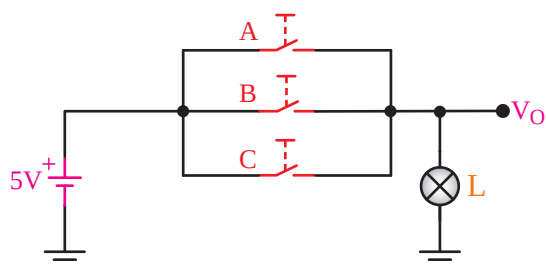
کلیدهای فشاری nc (normally closed) در حالت عادی بسته و no (normally open) در حالت عادی باز، از جمله کلیدهایی هستند که در مدار معادل کلیدی گیت‌های منطقی استفاده دارند.

شکل ۱۱-۲ این کلیدها را نشان می‌دهد.

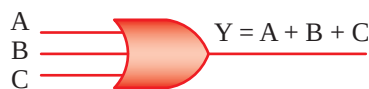


شکل ۱۱-۲- نماد کلیدهای nc و no

یک دروازه OR می‌تواند بیش از دو ورودی داشته باشد؛ برای مثال، در شکل ۱۲-۲ یک دروازه با سه ورودی، همراه با مدار معادل کلیدی آن نشان داده شده است:

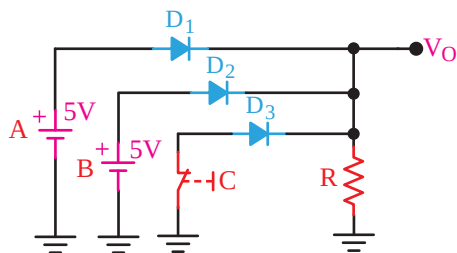


الف) مدار معادل کلیدی دروازه OR با سه ورودی



ب) نماد دروازه OR با سه ورودی

شکل ۱۲-۲- مدار معادل کلید دروازه OR با سه ورودی و نماد آن
مدار دیودی گیت OR با سه ورودی را در شکل ۱۳-۲ مشاهده می‌کنید. در این شکل دیودهای D_1 و D_2 در حالت هدایت و دیود D_3 در حالت قطع است، خروجی در وضعیت H قرار دارد.



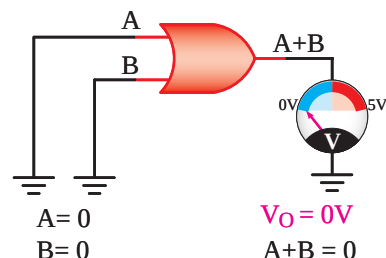
شکل ۱۳-۲- مدار دیودی گیت OR با سه ورودی

۱- در استاندارد انگلیسی نماد دروازه منطقی OR با سه ورودی به صورت

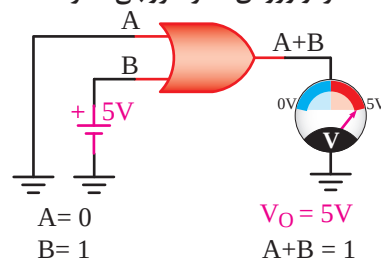
$$Y = A + B + C \quad \text{است.} \quad \begin{matrix} A \\ B \\ C \end{matrix} \geq 1$$

حاصل $A + B$ یا $(A \text{ OR } B)$ یا Y (خروجی دروازه OR) زمانی یک است که A یا B یا هر دو در وضعیت یک منطقی قرار گیرند. چنانچه خروجی صفر باشد، A و B هر دو در وضعیت صفر منطقی هستند.

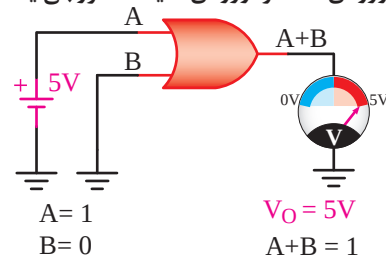
شکل ۱۰-۲ حالات مختلف عملکرد دروازه OR را با استفاده از نمادهای آن نشان می‌دهد.



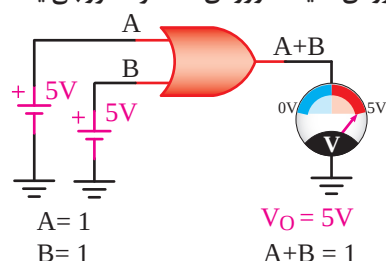
هر دو ورودی صفر خروجی صفر



ورودی A صفر، ورودی B یک، خروجی یک



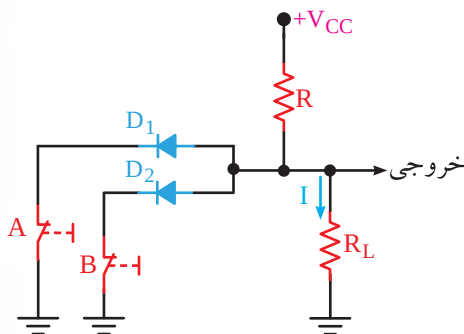
ورودی A یک، ورودی B صفر، خروجی یک



هر دو ورودی یک خروجی یک

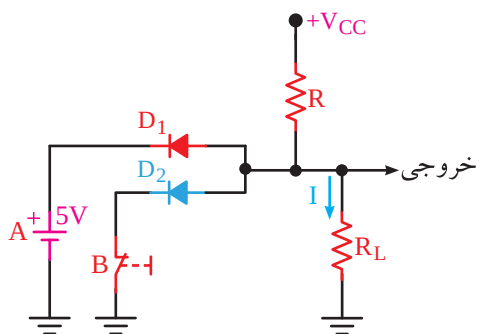
شکل ۱۰-۲- عملکرد دروازه‌های OR با توجه به حالت‌های مختلف ورودی

شکل ۲-۱۴ دروازه منطقی AND را با دو دیود نشان می‌دهد.



شکل ۲-۱۴- ساختمان دیودی گیت AND در حالت اتصال کوتاه D_1 و D_2

در این شکل خروجی در حالت L قرار می‌گیرد و هیچ جریانی از مقاومت R_L عبور نمی‌کند. اگر یکی از دیودها در وضعیت وصل باشد و دیگری در حالت قطع، باز هم خروجی در وضعیت L قرار دارد و جریانی از مقاومت R_L عبور نمی‌کند. شکل ۲-۱۵ گیت AND در حالتی که D_2 هدایت و D_1 قطع است را نشان می‌دهد.



شکل ۲-۱۵- گیت دیودی AND در حالت اتصال کوتاه D_2 و قطع D_1

اگر هر دو دیود D_1 و D_2 در حالت قطع باشند، یعنی ورودی‌ها وضعیت H را دارند، در نتیجه خروجی در حالت H قرار می‌گیرد و جریان I از مقاومت R_L عبور می‌کند. شکل ۲-۱۶ این حالت را نشان می‌دهد.



تمرین کلاسی ۱-۲: مدار دیودی

گیت OR با سه ورودی در حالتی که هر سه دیود در وضعیت قطع باشند را رسم کنید. خروجی در این وضعیت چه حالتی دارد؟



تمرین کلاسی ۲-۲: مدار دیودی

گیت OR با سه ورودی در حالتی که هر سه دیود در وضعیت وصل باشند را رسم کنید. خروجی در این وضعیت چه حالتی دارد؟

جدول ۲-۴ جدول صحت یک دروازه OR با سه ورودی را نشان می‌دهد.

جدول ۲-۴- جدول صحت دروازه منطقی OR با سه ورودی

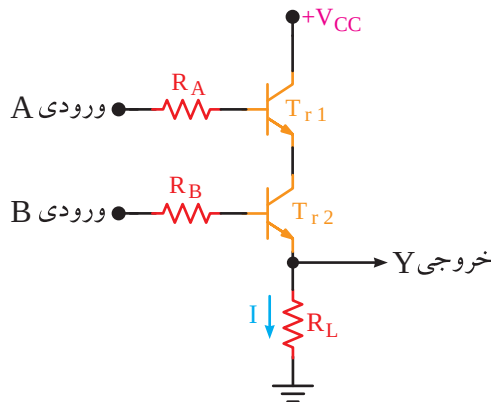
A	B	C	Y
۰	۰	۰	۰
۰	۰	۱	۱
۰	۱	۰	۱
۰	۱	۱	۱
۱	۰	۰	۱
۱	۰	۱	۱
۱	۱	۰	۱
۱	۱	۱	۱

۲-۲-۲- دروازه منطقی AND (و): ساختمان مدار

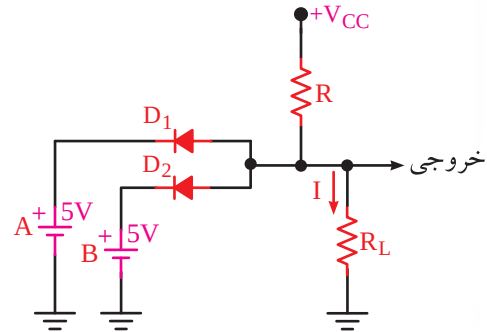
دروازه منطقی AND با دو ورودی را با استفاده از دو دیود می‌توان نشان داد.

زمانی ولتاژ خروجی بیشترین مقدار (حالت H) را دارد که دیودها قطع باشند. در صورتی که دیودها در حالت اتصال کوتاه قرار گیرند (هدایت کنند)، ولتاژ خروجی حداقل (حالت L) می‌شود. چرا؟ شرح دهید.

صفر منطقی خواهد بود.



شکل ۲-۱۷- ساختمان ترانزیستوری گیت AND



شکل ۲-۱۶- گیت دیودی AND در حالت قطع هر دو دیود

جدول ۲-۵ جدول صحت گیت AND را در حالت دیودی نشان می‌دهد.

جدول ۵-۲- جدول صحت گیت دیودی AND

AB	D_1	D_2	V_o
L L	هدایت	هدایت	L
L H	هدایت	قطع	L
H L	قطع	هدایت	L
H H	قطع	قطع	H



جهت هنجاریان علاقه‌مند:

ساختمان ترانزیستوری گیت AND در چهار حالت:

ورودی $L = A$ ، ورودی $L = B$

ورودی $L = A$ ، ورودی $H = B$

ورودی $H = A$ ، ورودی $L = B$

ورودی $H = A$ ، ورودی $H = B$

رسم کنید و به کلاس ارائه نماید و طرز کار هر ترانزیستور را در تمام حالت‌ها شرح دهید.

جدول ۲-۶ جدول صحت گیت ترانزیستوری AND را نشان می‌دهد.

جدول ۶-۲- جدول صحت گیت ترانزیستوری AND

ورودی A	ورودی B	Tr_1	Tr_2	خروجی Y
L	L	قطع	قطع	L
L	H	قطع	وصل	L
H	L	وصل	قطع	L
H	H	وصل	وصل	H

برای گیت AND نیز می‌توان جدول صحت یا جدول درستی را براساس مقادیر صفر و یک منطقی تعریف کرد. جدول ۲-۷ جدول صحت گیت AND را مطابق مقادیر منطقی نشان می‌دهد.

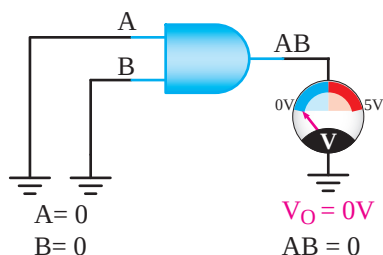


جهت هنجاریان علاقه‌مند: توجه داشته باشید که مقدار ولتاژ خروجی در حالت H بستگی به مقدار مقاومت‌های R_L و R دارد. چرا؟ شرح دهید.

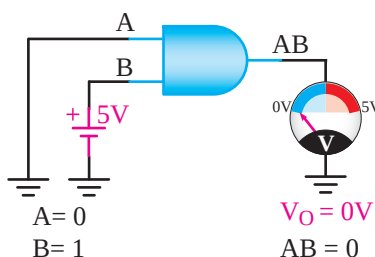
ساختمان مدار یک گیت AND با دو ورودی را با استفاده از ترانزیستور در شکل ۲-۱۷ مشاهده می‌کنید. در این مدار دو ترانزیستور به صورت سری در مسیر ولتاژ $+V_{CC}$ و زمین قرار گرفته است. به علت قراردادن ترانزیستورها در وضعیت سری فقط در حالتی که ولتاژ H به هر دو ورودی A و B اعمال کنیم جریان برقرار خواهد شد و در نتیجه مقدار خروجی مدار در حالت H یا ۱ منطقی است. در غیر این حالت ولتاژ خروجی مدار برابر حالت L یا

حاصل AB ($A \text{ AND } B$) یا Y (خروجی دروازه‌ای AND) زمانی که A و B هر دو یک باشند برابر با یک و چنانچه یکی یا هر دو ورودی صفر باشند، برابر با صفر است.

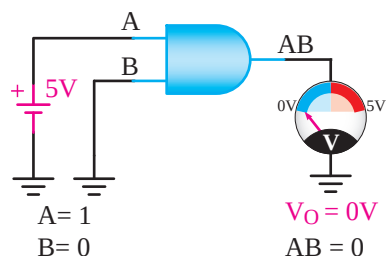
شکل ۱۹-۲ عملکرد دروازه AND را در حالات مختلف نشان می‌دهد.



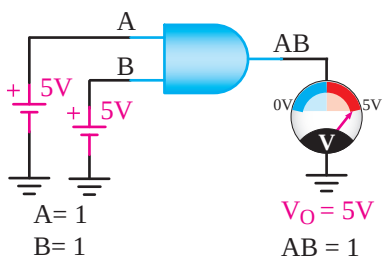
هر دو ورودی صفر، خروجی صفر



ورودی A صفر، ورودی B یک، خروجی صفر



ورودی A یک، ورودی B صفر، خروجی صفر



هر دو ورودی یک، خروجی یک

شکل ۱۹-۲ عملکرد دروازه منطقی AND

جدول ۷-۲- جدول صحت گیت AND

AB	Y
۰ ۰	۰
۰ ۱	۰
۱ ۰	۰
۱ ۱	۱

ورودی‌های A و B را متغیرهای ورودی می‌نامیم. همان‌طور که ذکر شد، هر متغیر در مدارهای دیجیتالی فقط می‌تواند دو مقدار تعریف شده صفر و یک را به خود اختصاص دهد. در صورتی که در جبر معمولی این محدودیت وجود ندارد.

دروازه AND را با نماد^۱ شکل ۱۸-۲ نشان می‌دهند.



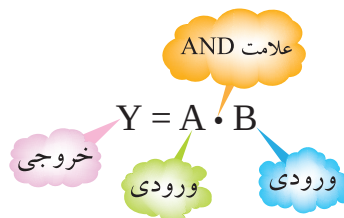
شکل استاندارد بین‌المللی و امریکایی

شکل ۱۸-۲ نماد دروازه AND



نکته مهم: در فرایند تألیف این کتاب نمادهای استفاده شده استاندارد بین‌المللی دارند.

برای نشان دادن این موضوع که متغیر A و متغیر B با یک دیگر AND شده‌اند از رابطه زیر استفاده می‌کنیم.

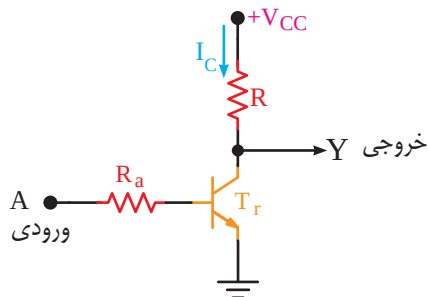


برای ساده نویسی می‌توان علامت نقطه بین متغیرها را حذف کرد و رابطه را به صورت زیر نوشت.

$$Y = AB$$

۱- در استاندارد انگلیسی برای گیت AND از نماد استفاده می‌شود.

۳-۲-۲- گیت NOT (نه): مدار معادل گیت NOT منطقی را در فصل اول مشاهده کردید. برای یادآوری مجدداً آن را در شکل ۲-۲۱ نشان می‌دهیم.



شکل ۲-۲۱- ساختمان ترانزیستور گیت NOT

در ترانزیستور فوق اگر ولتاژ ورودی صفر باشد، ولتاژ بیس صفر می‌شود و ترانزیستور در حالت قطع قرار می‌گیرد. در این حالت به علت صفر شدن I_c ، جریانی از مقاومت R عبور نمی‌کند و ولتاژ روی کلکتور ترانزیستور نسبت به زمین برابر با V_{cc} می‌شود. یعنی خروجی مدار در حالت H قرار می‌گیرد. اکنون اگر ولتاژ H را به ورودی مدار بدهیم، ترانزیستور به حالت اشباع می‌رود و خروجی را در حالت L می‌برد.

جدول های ۲-۹ جدول صحت یک گیت NOT را نشان می‌دهد.

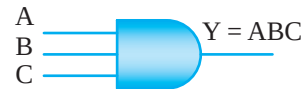
جدول ۲-۹- جدول صحت گیت NOT

ورودی A	Tr	خروجی Y
L	قطع	H
H	وصل	L

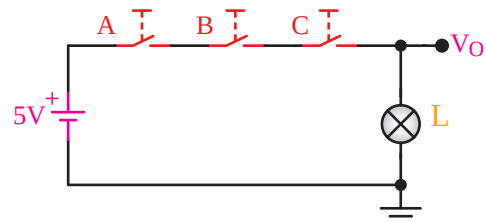
A	Y
۰	۱
۱	۰

همانطور که مشاهده می‌شود، خروجی عکس ورودی است یعنی وقتی ورودی صفر است خروجی برابر با یک و هنگامی که ورودی یک است خروجی صفر می‌شود.

یک دروازه AND می‌تواند بیش از دو ورودی داشته باشد؛ برای مثال، در شکل ۲-۲۰ یک دروازه با سه ورودی، همراه با مدار معادل کلیدی آن نشان داده شده است.



الف) نماد دروازه منطقی AND



ب) مدار معادل کلیدی دروازه منطقی AND

شکل ۲-۲۰- نماد AND با سه ورودی و مدار معادل کلیدی آن جدول صحت مدار گیت AND با سه ورودی در جدول ۲-۸ نشان داده شده است.

جدول ۲-۸- جدول صحت مدار گیت AND با سه ورودی

A	B	C	Y
۰	۰	۰	۰
۰	۰	۱	۰
۰	۱	۰	۰
۰	۱	۱	۰
۱	۰	۰	۰
۱	۰	۱	۰
۱	۱	۰	۰
۱	۱	۱	۱



تمرین کلاسی ۲-۳:

مدار گیت AND با ۴ ورودی را ترسیم و تحلیل کنید، جدول صحت آن را بکشید.

۱- نماد انگلیسی دروازه AND با سه ورودی به صورت $Y = ABC$ است.

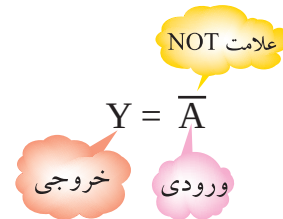
شکل ۲-۲۲- نماد دروازه منطقی NOT را نشان می‌دهد.^۱



استاندارد بین‌المللی و آمریکایی^۲

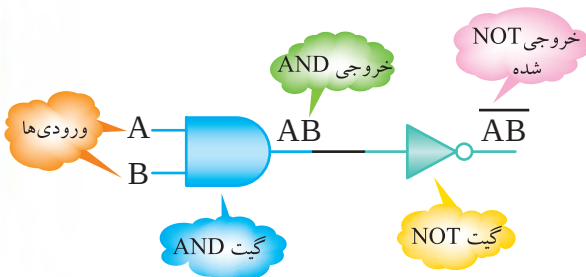
شکل ۲-۲۲- نماد دروازه‌های منطقی NOT

برای نشان دادن این که خروجی برابر با NOT ورودی است، از رابطه زیر استفاده می‌کنیم.



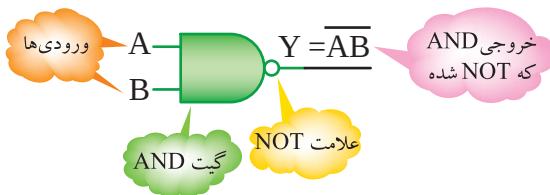
$\bar{A}$ را به صورت «A بار» یا «A، نات» می‌خوانیم.

است) NOT می‌گردد. شکل ۲-۲۳ عملکرد دروازه NAND را نشان می‌دهد.



شکل ۲-۲۳- عملکرد دروازه NAND

همان‌طور که در دروازه‌های منطقی دیگر مشاهده کردید نماد انگلیسی نیز برای دروازه‌های منطقی وجود دارد^۳ برای ساده شدن ترسیم دروازه‌های منطقی NAND، می‌توانیم به جای شکل ۲-۲۳ از نمادهای شکل ۲-۲۴ استفاده کنیم.^۴



شکل ۲-۲۴- نماد دروازه منطقی NAND

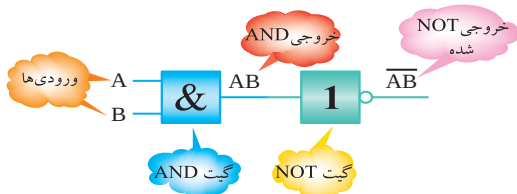
۲-۳- دروازه‌های منطقی ترکیبی

با ترکیب برخی از دروازه‌های اساسی با یکدیگر دروازه‌های منطقی جدیدی ساخته می‌شوند که در ساخت مدارهای الکترونیکی دیجیتال و کامپیوتری می‌توانند بسیار مفید باشند. دروازه‌های منطقی ترکیبی نیز به صورت مدارهای الکترونیکی یک پارچه یا با استفاده از رله‌ها و کلیدها ساخته می‌شوند. از مزایای دروازه‌های ترکیبی این است که به جای دو یا چند دروازه اساسی می‌توانیم فقط از یک دروازه استفاده کنیم. در ادامه به تشریح دروازه‌های ترکیبی می‌پردازیم.

۲-۳-۱- دروازه منطقی NAND (Not AND): دروازه

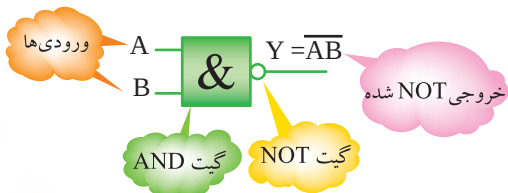
منطقی NAND از ترکیب دروازه AND و NOT بوجود می‌آید. به عبارت دیگر، ابتدا ورودی‌های این دو دروازه با یک دیگر AND می‌شوند و حاصل آن (که صفر یا یک

۳- نماد انگلیسی عملکرد گیت NAND به صورت



است.

۴- در استاندارد انگلیسی گیت NAND به صورت



است.

۱- لازم به ذکر است که در اصل، علامت دایره در نماد دروازه منطقی NOT بیانگر عمل NOT می‌باشد. این علامت را در قسمت‌های بعد نیز در ورودی یا خروجی دروازه‌های منطقی مختلف خواهید دید. بنابراین هرگاه یک سیگنال از علامت دایره عبور کند معکوس خواهد شد. در بعضی کتب، به جای علامت دایره به معنی NOT از یک مثلث مطابق شکل — نیز استفاده می‌کنند.

۲- نماد استاندارد انگلیسی دروازه منطقی NOT به صورت





جهت هنرجویان علاقه مند:

آیا می‌توانید نماد استاندارد انگلیسی گیت NAND با سه ورودی را رسم کنید؟

جدول صحت دروازه منطقی NAND با سه ورودی به صورت جدول ۲-۱۲ است.

جدول ۲-۱۲- جدول صحت گیت NAND با سه ورودی

A	B	C	$\overline{Y=ABC}$
۰	۰	۰	۱
۰	۰	۱	۱
۰	۱	۰	۱
۰	۱	۱	۱
۱	۰	۰	۱
۱	۰	۱	۱
۱	۱	۰	۱
۱	۱	۱	۰



نکته مهم: در گیت NAND زمانی خروجی صفر می‌شود که همه ورودی‌ها یک باشند.

همان‌گونه که ملاحظه می‌کنید، حاصل $\overline{ABC}$ می‌تواند صفر یا یک باشد. این موضوع نشان می‌دهد که ابتدا سه متغیر A، B و C با یکدیگر AND شده‌اند و حاصل آن یعنی خروجی دروازه AND، NOT شده است.



تمرین کلاسی ۴-۲: نماد

گیت NAND را با چهار ورودی رسم کنید و جدول صحت آن را تنظیم نمایید.

جدول ۲-۱۰ جدول صحت دروازه منطقی NAND را نشان می‌دهد.

جدول ۲-۱۰- جدول صحت دروازه منطقی NAND و AND

A	B	AB	$\overline{AB}$
۰	۰	۰	۱
۰	۱	۰	۱
۱	۰	۰	۱
۱	۱	۱	۰

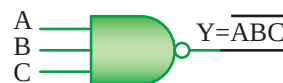
جدول صحت ۲-۱۰ را می‌توانیم به صورت خلاصه‌تر مطابق جدول ۲-۱۱ بنویسیم.

جدول ۲-۱۱- جدول خلاصه شده دروازه NAND

A	B	Y
۰	۰	۱
۰	۱	۱
۱	۰	۱
۱	۱	۰

همان‌طور که از جدول ۲-۱۱ پیداست، خروجی دروازه NAND زمانی در وضعیت یک منطقی قرار می‌گیرد که دست کم یکی از ورودی‌های آن در وضعیت صفر منطقی باشد.

دروازه منطقی NAND نیز مانند دروازه منطقی AND می‌تواند بیش از دو ورودی داشته باشد. شکل ۲-۲۵ نماد یک دروازه منطقی NAND را با سه ورودی نشان می‌دهد.

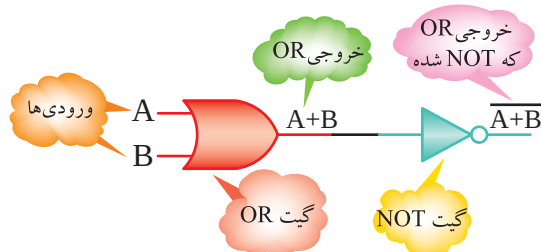


استاندارد بین‌المللی و امریکایی

شکل ۲-۲۵- نماد گیت NAND با سه ورودی

۲-۳-۲- دروازه منطقی NOR (NOT OR):

دروازه منطقی NOR از ترکیب دروازه‌های OR و NOT بوجود می‌آید. به عبارت دیگر، ابتدا ورودی‌های این دروازه منطقی با یک دیگر OR می‌شوند و حاصل آن (که صفر یا یک است) را NOT می‌کنند. در شکل ۲-۲۷ عملکرد دروازه NOR نشان داده شده است.^۱



شکل ۲-۲۷- عملکرد دروازه منطقی NOR

برای ساده شدن ترسیم دروازه منطقی NOR می‌توان به جای شکل ۲-۲۷ از نماد شکل ۲-۲۸ استفاده کرد.^۲



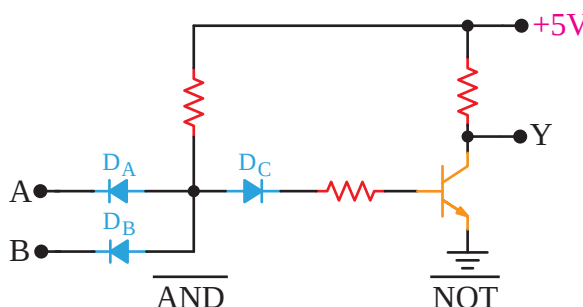
استاندارد بین المللی و امریکایی

شکل ۲-۲۸- نماد گیت NOR

جدول ۲-۱۳ جدول صحت دروازه منطقی OR و NOR را نشان می‌دهد.

ساختمان دروازه منطقی NAND: دروازه منطقی

NAND در بعضی از فناوری‌های ساخت مدارهای مجتمع، از (ICها) دروازه پایه محسوب می‌شود، به طوری که سایر دروازه‌های منطقی با استفاده از این نوع دروازه منطقی ساخته می‌شوند. در شکل ۲-۲۶ مدار الکترونیکی یک نمونه دروازه منطقی NAND را مشاهده می‌کنید.



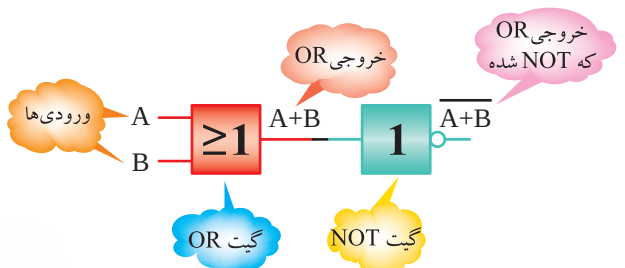
شکل ۲-۲۶- مدار الکترونیکی ساده دروازه منطقی NAND

همانطور که در شکل ۲-۲۶ مشاهده می‌کنید مدار الکترونیکی دروازه منطقی NAND ترکیبی از مدار الکترونیکی دروازه منطقی AND و مدار الکترونیکی دروازه منطقی NOT است که با هم عملکرد NAND را بوجود می‌آورند. علت قراردادن دیود D_C در مدار، جلوگیری از تاثیر ولتاژهای ناخواسته در خروجی است که به آن حاشیه نویز می‌گویند. در انتهای همین فصل در این باره توضیح خواهیم داد.



ساختمان داخلی دروازه‌های منطقی که در الکترونیک و کامپیوتر کاربرد دارند، شامل قطعات و مدارهای الکترونیکی است. در طراحی ساختمان یک دروازه منطقی به منظور افزایش سرعت عملکرد مدار، تا حد امکان از حداقل قطعات استفاده می‌شود.

۱- در استاندارد انگلیسی عملکرد گیت NOR به صورت



است.

۲- نماد NOR در استاندارد انگلیسی $Y = \overline{A+B}$

جدول ۲-۱۳- جدول صحت گیت‌های OR و NOR

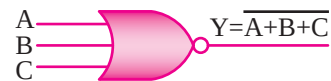
A	B	A + B	$\overline{A + B}$
۰	۰	۰	۱
۰	۱	۱	۰
۱	۰	۱	۰
۱	۱	۱	۰

جدول صحت ۲-۱۳ را می‌توانیم به صورت خلاصه‌تر مطابق جدول ۲-۱۴ بنویسیم.

جدول ۲-۱۴- جدول خلاصه شده دروازه منطقی NOR

A	B	$Y = \overline{A + B}$
۰	۰	۱
۰	۱	۰
۱	۰	۰
۱	۱	۰

همان‌طور که از جدول صحت ۲-۱۴ پیداست، خروجی دروازه NOR زمانی در وضعیت یک منطقی قرار می‌گیرد که همه ورودی‌های آن در وضعیت صفر منطقی باشند. دروازه NOR نیز مانند سایر دروازه‌های منطقی می‌تواند بیش از دو ورودی داشته باشد. شکل ۲-۲۹ یک دروازه NOR با سه ورودی را نشان می‌دهد.



شکل ۲-۲۹- نماد گیت NOR با سه ورودی

جدول ۲-۱۵- جدول صحت گیت NOR با سه ورودی را نشان می‌دهد.

جدول ۲-۱۵- جدول صحت گیت NOR با سه ورودی

A	B	C	Y
۰	۰	۰	۱
۰	۰	۱	۰
۰	۱	۰	۰
۰	۱	۱	۰
۱	۰	۰	۰
۱	۰	۱	۰
۱	۱	۰	۰
۱	۱	۱	۰



نکته مهم: توجه داشته باشید زمانی خروجی گیت NOR یک می‌شود که همه ورودی‌ها صفر باشند.

حاصل $\overline{A+B+C}$ می‌تواند صفر یا یک باشد. این عبارت نشان می‌دهد که ابتدا سه متغیر A، B و C با یکدیگر OR می‌شوند و حاصل آن (حاصل OR که صفر یا یک است) NOT می‌گردد. دروازه NOR با بیش از سه ورودی نیز ساخته شده است.



تمرین کلاسی ۲-۵: نماد گیت NOR را با ۴ ورودی رسم کنید و جدول صحت آن را تنظیم نمایید.

ساختمان ورودی گیت NOR شکل ۲-۳۰ مدار الکترونیکی بسیار ساده‌ای از دروازه منطقی NOR را نشان می‌دهد.

۱- در استاندارد انگلیسی نماد NOR با سه ورودی به صورت



برای بررسی عملکرد دروازه منطقی OR انحصاری می‌توان از مدار کلیدی استفاده کرد.

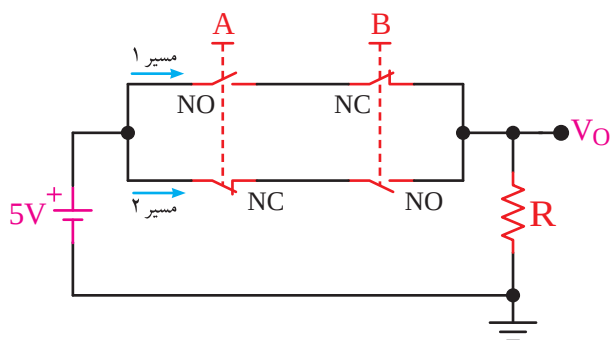
یادآوری مهم: به نکته زیر توجه کنید و آن را

به خاطر بسپارید.

شستی‌های در حالت عادی باز: این کلیدها در شرایط عادی و حالت آزاد، باز هستند و در صورتی که تغییر حالت پیدا کنند یا به آنها فشار وارد شود، به صورت حالت بسته در می‌آیند. شستی‌های در حالت عادی باز یا normally open می‌نامند و آنها را با NO نمایش می‌دهند.

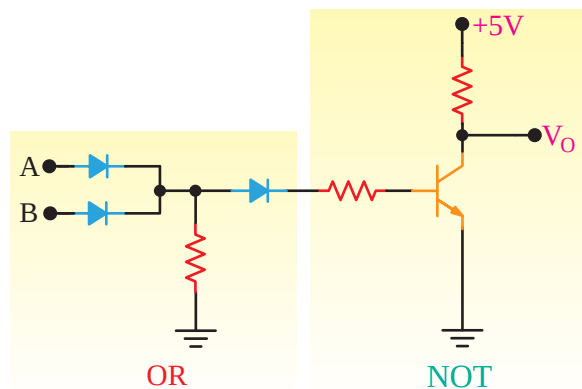
شستی‌های در حالت عادی بسته: این شستی‌ها در حالت عادی بسته هستند و اگر به آنها فشار وارد شود باز می‌شوند. این شستی‌ها را Normally closed یا NC می‌نامند. در ادامه از این کلیدها با اصطلاح NO و NC نام خواهیم برد.

مدار کلیدی گیت XOR را در شکل ۲-۳۱ مشاهده می‌کنید.



شکل ۲-۳۱- مدار معادل کلیدی دروازه OR انحصاری

شستی‌های A و B، شستی‌های دوتایی دوبله NO و NC هستند که با فشار دادن آنها، یکی از کنتاکت‌های آن بسته می‌شود و کنتاکت دیگر آن باز می‌گردد. از این نوع شستی‌ها برای راه‌اندازی مدارهای فرمان سیستم‌های قدرت مانند موتورهای الکتریکی استفاده می‌شود.



شکل ۲-۳۰- مدار الکترونیکی ساده گیت NOR

شکل ۲-۳۰ نشان می‌دهد که مدار الکترونیکی دروازه منطقی NOR ترکیبی از مدار الکترونیکی دروازه منطقی OR و مدار الکترونیکی دروازه منطقی NOT که با هم عملکرد NOR را به وجود می‌آورند.



جهت هنجار جریان علاقه‌مند: آیا می‌توانید مدار الکترونیکی دیگری برای دروازه‌های منطقی NAND و NOR رسم کنید و آن را تحلیل نمایید. نتیجه تحقیق خود را به کلاس ارائه کنید.

۲-۳-۳- دروازه OR انحصاری XOR

(Exclusive OR): این دروازه فقط دارای دو ورودی است و خروجی آن زمانی یک است که دو ورودی در سطوح منطقی متفاوت باشند (ورودی‌ها یکسان نباشد). جدول صحت ۱۶-۲ مربوط به دروازه OR انحصاری است.

جدول ۱۶-۲- جدول صحت دروازه OR انحصاری

A	B	Y
۰	۰	۰
۰	۱	۱
۱	۰	۱
۱	۱	۰

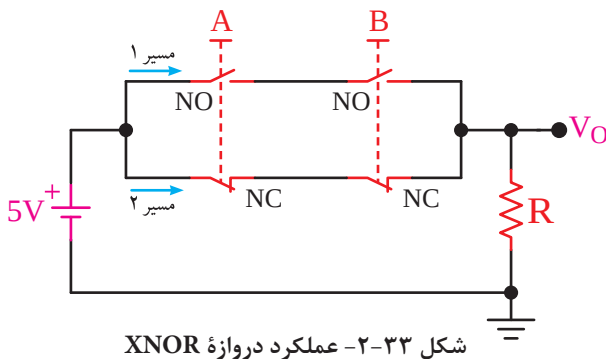
۴-۳-۲- دروازه NOR انحصاری

(Exclusive NOR-XNOR): این دروازه نیز مانند XOR فقط دو ورودی دارد و خروجی آن زمانی یک است که هر دو ورودی آن در یک سطح منطقی باشند (هر دو ورودی یک یا صفر باشند). جدول صحت ۱۷-۲ مربوط به دروازه NOR انحصاری است.

جدول ۱۷-۲- جدول صحت XNOR

A	B	Y
۰	۰	۱
۰	۱	۰
۱	۰	۰
۱	۱	۱

مدار کلیدی شکل ۳۳-۲ عملکرد دروازه منطقی X-NOR را نشان می‌دهد.



همانطور که از شکل ۳۳-۲ پیداست، اگر هیچ نیرویی به شستی A و B وارد نگردد، ($A=0$ و $B=0$) مسیر جریان در مدار بسته است، و $V_O = 5V$ می‌شود و اگر هر دو شستی را فشار دهیم ($A=1$ و $B=1$) باز هم مسیر جریان مدار بسته است، و $V_O = 5V$ می‌شود. حال اگر فقط یکی از شستی‌ها را فشار دهیم ($A=1$ و $B=0$ یا $A=0$ و $B=1$) مسیر جریان در مدار باز می‌شود و $V_O=0V$ می‌گردد.

برای این که نشان دهیم متغیر A با متغیر B، NOR انحصاری (XNOR) شده است از رابطه زیر استفاده می‌کنیم.

فرض می‌کنیم وضعیت صفر منطقی به گونه‌ای باشد که هیچ نوع فشاری به شستی وارد نشود (شستی‌ها NO و NC حالت طبیعی خود را داشته باشد) و وضعیت یک منطقی حالتی باشد که به شستی فشار وارد می‌کنیم. اکنون فرض کنید به هیچ کدام از شستی‌ها نیرو وارد نکنیم ($A=0$ و $B=0$). در این صورت، هر دو مسیر عبور جریان قطع و $V_O = 0V$ است.

حال اگر به هر دو شستی نیرو وارد کنیم ($A=1$ و $B=1$)، وضعیت حالات اتصال NO و NC شستی‌های دوبل عوض می‌شود و باز هم هر دو مسیر عبور جریان قطع می‌شود، در این حالت $V_O = 0V$ خواهد شد. چنانچه فقط به یکی از شستی‌ها نیرو وارد کنیم ($A=0$ و $B=1$ یا $A=1$ و $B=0$)، یکی از مسیرها بسته می‌شود و V_O را به ۵ ولت می‌رساند.

بنابراین، خروجی این دروازه زمانی در وضعیت یک منطقی قرار می‌گیرد که دو ورودی آن از نظر سطح منطقی به یک صورت نباشند (عکس یک دیگر باشند). برای این که نشان دهیم متغیر A با متغیر B، OR انحصاری شده است، از رابطه زیر استفاده می‌کنیم:

علامت OR انحصاری

$$Y = A \oplus B$$

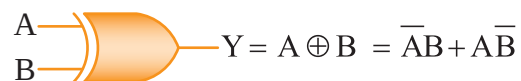
خروجی

ورودی

$$Y = \overline{A}B + A\overline{B}$$

یا

دروازه OR انحصاری را به صورت شکل ۳۲-۲ نمایش می‌دهند.



شکل ۳۲-۲- نماد گیت XOR در استاندارد آمریکایی و بین‌المللی

۱- نماد انگلیسی دروازه منطقی XOR به صورت $Y = A \oplus B$ است.

وجود دارد که میزان جریان دهی خروجی را افزایش می‌دهد.

با استفاده از مدار بافر، مقدار fan out افزایش می‌یابد، یعنی می‌توان تعداد گیت‌های بیشتری را به خروجی گیت اصلی وصل نمود. در این حالت تغذیه خروجی آسیب نمی‌بیند و مدار بارگذاری نمی‌شود. در ادامه فصل در ارتباط با fan out توضیح بیشتری ارائه خواهد شد.

جدول ۱۸-۲ جدول صحت گیت بافر را نشان می‌دهد.

جدول ۱۸-۲- جدول صحت گیت بافر

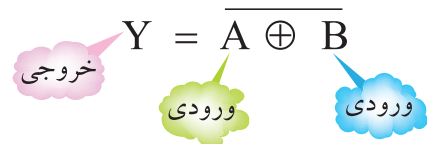
A	Y
۰	۰
۱	۱



تمرین کلاسی ۶-۲: جریان

خروجی یک گیت AND حدود ۲۰ میلی‌آمپر است و می‌تواند یک LED را تغذیه کند، در صورتی که بخواهیم تعداد LEDها را افزایش دهیم، چه تغییری در مدار باید ایجاد کنیم؟

جدول ۱۹-۲ گیت‌های منطقی پایه و ترکیبی را همراه با نماد گرافیکی (استاندارد بین‌المللی)، تابع منطقی و جدول صحت آنها را نشان می‌دهد.

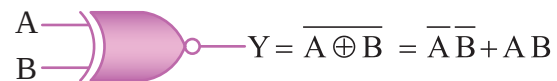


$$Y = \overline{A}B + A\overline{B}$$

یا

دروازه منطقی NOR انحصاری (XNOR) را به صورت شکل ۳۴-۲ نمایش می‌دهند.

رابطه منطقی XNOR را به صورت: $Y = A \oplus B$ نیز نشان می‌دهند.

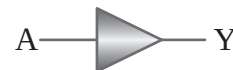


استاندارد بین‌المللی و آمریکایی

شکل ۳۴-۲- نماد دروازه XNOR

چون دروازه‌های منطقی XOR و XNOR از ترکیب دروازه‌های منطقی AND، OR و NOT است بنابراین ساختمان ترانزیستوری آنها نیز ترکیبی از ساختمان گیت‌های اصلی است. به دلیل پیچیدگی مدار از آوردن آنها در این قسمت صرف‌نظر کرده‌ایم.

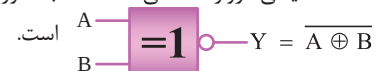
۵-۳-۲- دروازه بافر Buffer: این دروازه منطقی مانند گیت NOT یک ورودی و یک خروجی دارد. شکل ۳۵-۲ گیت بافر را نشان می‌دهد.



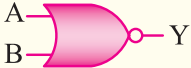
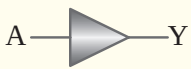
شکل ۳۵-۲- گیت بافر

رابطه منطقی این گیت به صورت $Y = A$ است. گیت بافر معمولاً به عنوان جداکننده بین دو طبقه استفاده می‌شود و از بارگذاری روی خروجی جلوگیری می‌نماید. در مدارهای دیجیتال گیت بافر وقتی در خروجی گیت اصلی قرار می‌گیرد، تراز ولتاژ ورودی را عیناً به خروجی مدار انتقال می‌دهد. در داخل گیت بافر مدار تقویت کننده جریان

۱- نماد انگلیسی دروازه منطقی XNOR به صورت

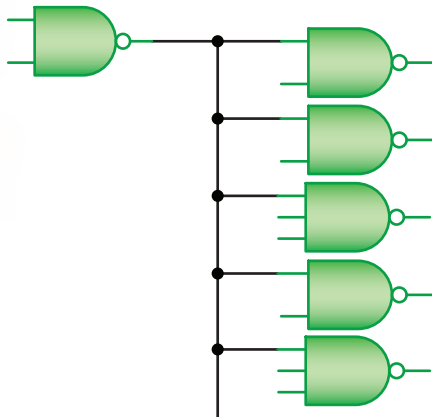


جدول ۱۹-۲- گیت‌های پایه و ترکیبی همراه با نماد، تابع منطقی و جدول درستی

نام دروازه	نماد (سمبل گرافیکی)	تابع منطقی	جدول درستی															
AND		$Y = A B$	<table><tr><th>A</th><th>B</th><th>Y</th></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>1</td></tr></table>	A	B	Y	0	0	0	0	1	0	1	0	0	1	1	1
A	B	Y																
0	0	0																
0	1	0																
1	0	0																
1	1	1																
OR		$Y = A + B$	<table><tr><th>A</th><th>B</th><th>Y</th></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>1</td></tr></table>	A	B	Y	0	0	0	0	1	1	1	0	1	1	1	1
A	B	Y																
0	0	0																
0	1	1																
1	0	1																
1	1	1																
NOT		$Y = \bar{A}$	<table><tr><th>A</th><th>Y</th></tr><tr><td>0</td><td>1</td></tr><tr><td>1</td><td>0</td></tr></table>	A	Y	0	1	1	0									
A	Y																	
0	1																	
1	0																	
NAND		$Y = \overline{A B} = (A B)'$	<table><tr><th>A</th><th>B</th><th>Y</th></tr><tr><td>0</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>0</td></tr></table>	A	B	Y	0	0	1	0	1	1	1	0	1	1	1	0
A	B	Y																
0	0	1																
0	1	1																
1	0	1																
1	1	0																
NOR		$Y = \overline{A + B} = (A + B)'$	<table><tr><th>A</th><th>B</th><th>Y</th></tr><tr><td>0</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>0</td></tr></table>	A	B	Y	0	0	1	0	1	0	1	0	0	1	1	0
A	B	Y																
0	0	1																
0	1	0																
1	0	0																
1	1	0																
XOR		$Y = A \oplus B = \bar{A}B + A\bar{B}$	<table><tr><th>A</th><th>B</th><th>Y</th></tr><tr><td>0</td><td>0</td><td>0</td></tr><tr><td>0</td><td>1</td><td>1</td></tr><tr><td>1</td><td>0</td><td>1</td></tr><tr><td>1</td><td>1</td><td>0</td></tr></table>	A	B	Y	0	0	0	0	1	1	1	0	1	1	1	0
A	B	Y																
0	0	0																
0	1	1																
1	0	1																
1	1	0																
XNOR		$Y = \overline{A \oplus B} = \bar{A}\bar{B} + AB$	<table><tr><th>A</th><th>B</th><th>Y</th></tr><tr><td>0</td><td>0</td><td>1</td></tr><tr><td>0</td><td>1</td><td>0</td></tr><tr><td>1</td><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td><td>1</td></tr></table>	A	B	Y	0	0	1	0	1	0	1	0	0	1	1	1
A	B	Y																
0	0	1																
0	1	0																
1	0	0																
1	1	1																
Buffer		$Y = A$	<table><tr><th>A</th><th>Y</th></tr><tr><td>0</td><td>0</td></tr><tr><td>1</td><td>1</td></tr></table>	A	Y	0	0	1	1									
A	Y																	
0	0																	
1	1																	

برابر با ۵ نشان می‌دهد.

fan-out را گنجایش خروجی یک گیت مشخص نیز می‌نامند به عبارت دیگر بدون ایجاد اختلال در کار معمولی این گیت قابل متصل شدن به تعداد گیت‌های تعریف شده در fan-out است.



شکل ۳۷-۲- گیت NAND با fan-out برابر ۵

۲-۴-۳- حاشیه نویز Marginal noise: حاشیه نویز در یک گیت منطقی، تأثیر دامنه نویز در ورودی مدار منطقی است. به عبارت دیگر میزان امنیتی است که با ظاهر شدن نویز (هر نوع ولتاژ ناخواسته) در ورودی یک مدار منطقی، بتوانیم اطلاعات را بدون خطا انتقال دهیم و دریافت کنیم. به عبارت دیگر اگر دامنه ولتاژ ناخواسته بیشتر از حاشیه نویز تعریف شده باشد، موجب تغییر وضعیت مدار شده و خروجی نادرست را نتیجه می‌دهد. مثلاً اگر حاشیه نویز تعریف شده برابر ۰/۸ ولت باشد در این حالت، سیگنال نویز نباید به مقداری بیشتر از ۰/۸ ولت برسد. در غیر این صورت موجب بروز خطایی در مدار خواهد شد.

تقریباً در همه جا، سیگنال‌های الکترونیکی نامطلوبی وجود دارند که قادر به القاء ولتاژها درسیم‌های رابط بین مدارهای منطقی هستند شکل ۳۸-۲ حاشیه نویز را در محدوده ولتاژ ورودی و محدوده ولتاژ خروجی نشان می‌دهد. حاشیه نویز سطح بالا بین سطح بالای ولتاژ ورودی و سطح بالای ولتاژ خروجی قرار دارد و به همین ترتیب حاشیه نویز سطح



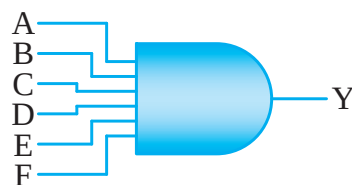
تمرین کلاسی ۷-۲: برای رابطه

دروازه‌های منطقی XOR و XNOR با استفاده از دروازه‌های منطقی پایه، مداری طراحی کنید.

۲-۴-۲- مشخصات ویژه دروازه‌های منطقی

مشخصات خانواده‌ای سی‌های دیجیتال معمولاً از طریق تحلیل مدار گیت‌های پایه‌ای در هر خانواده با هم مقایسه می‌شوند. مهمترین پارامترهای مورد ارزیابی و مقایسه در این خانواده‌ها مقادیر fan-in ، fan-out ، حاشیه نویز، تأخیر در انتشار و توان تلف شده است. اکنون به بررسی مختصری درباره این مشخصه‌ها می‌پردازیم.

۲-۴-۱- fan-in : حداکثر تعداد ورودی که یک گیت منطقی می‌تواند قبول کند را fan-in آن گیت می‌گویند. مثلاً اگر یک گیت محدود به ۶ ورودی باشد، گوییم fan-in این گیت برابر ۶ است. شکل ۳۶-۲ گیت AND را با ۶ ورودی نمایش می‌دهد.

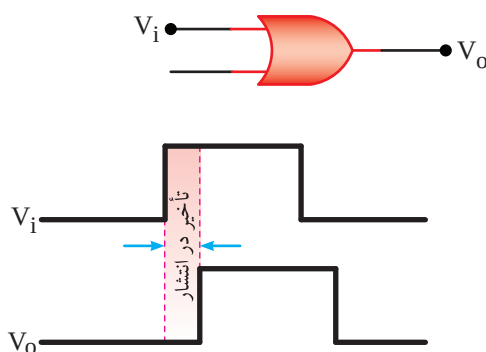


شکل ۳۶-۲- گیت AND با ۶ ورودی

۲-۴-۲- fan-out : حداکثر تعداد گیت‌هایی که می‌تواند از طریق خروجی یک گیت تغذیه شود را fan-out آن گیت گوییم. مثلاً اگر یک گیت دارای fan-out برابر ۵ باشد خروجی این گیت می‌تواند به ۵ ورودی گیت‌های مختلف یا یکسان وصل شود و آنها را تغذیه کند، به عبارت دیگر با اتصال ۵ گیت به خروجی گیت مورد نظر، ولتاژ خروجی برای حالات منطقی صفر و یک حفظ می‌شود.

شکل ۳۷-۲ یک نمونه کاربرد گیت NAND را با fan-out

می‌کند. زمان تأخیر انتشار بسیار کوتاه و در حدود چند نانو ثانیه (nsec) است. هر چه تعداد گیت‌ها کمتر باشد تأخیر در انتشار کمتر است. شکل ۲-۴۰ تأخیر در انتشار را در یک دروازه منطقی نشان می‌دهد.



شکل ۲-۴۰ تأخیر در انتشار دروازه منطقی OR

۲-۴-۵ توان تلف شده Power dissipation:

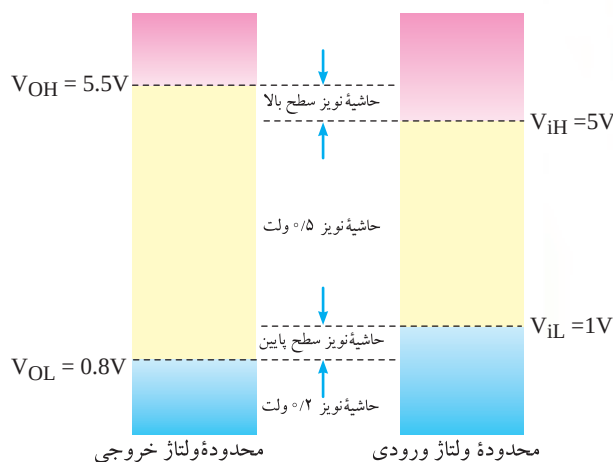
مقدار توانی که در هر گیت به صورت حرارت تلف می‌شود را توان تلف شده آن گیت می‌گویند و مقدار توان تلف شده بر حسب میلی‌وات اندازه‌گیری می‌شود.

۲-۵ استفاده از data book

معمولاً در ساخت دروازه‌های منطقی که عملاً به صورت آی‌سی (IC) در اختیار ما قرار می‌گیرند، از ترانزیستورهای معمولی یا ترانزیستورهای MOSFET^۱ استفاده می‌شود.

اگر در یک آی‌سی از فناوری ترانزیستورهای معمولی استفاده شود، نام آن با حروف SN۷۴ آغاز می‌شود شماره‌هایی که بعد از عدد ۷۴ می‌آید نوع دروازه منطقی یا مدارهای منطقی دیگر را مشخص می‌کند. با مراجعه به کتاب‌های اطلاعات آی‌سی (Transistor Transistor Logic) - (TTL Data Book) می‌توان به نوع آی‌سی پی‌برد. به این نوع آی‌سی‌ها، سری TTL می‌گویند.

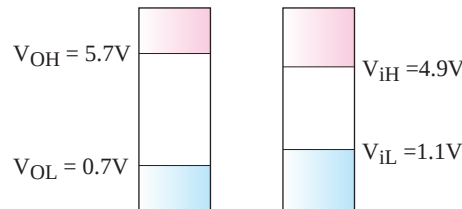
پایین در حد فاصل سطح پایین ولتاژ ورودی و سطح پایین ولتاژ خروجی قرار می‌گیرد.



شکل ۲-۳۸ حاشیه نویز

مثال ۲-۱: حاشیه نویز سطح بالا و سطح پایین را در

شکل ۲-۳۹ بدست آورید.



شکل ۲-۳۹ مربوط به مثال

حل:

$$\begin{aligned} \text{حاشیه نویز سطح بالا} &= 5.7 - 4.9 = 0.8 \\ \text{حاشیه نویز سطح پایین} &= 1.1 - 0.7 = 0.4 \end{aligned}$$

۲-۴-۴ تأخیر در انتشار Propagation delay: تأخیر

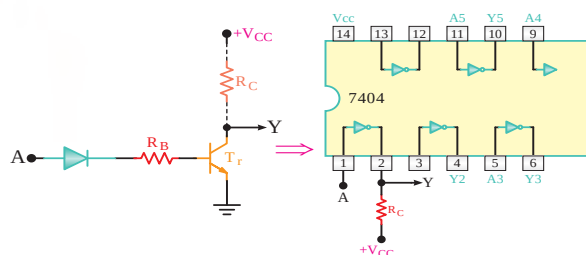
در انتشار عبارت است از زمانی که خروجی یک دروازه منطقی لازم دارد تا تغییر ورودی را از یک حالت به حالت دیگر ظاهر نماید، به عبارت دیگر هر چه تأخیر کمتر باشد سرعت انتقال اطلاعات بیشتر می‌شود.

بنابراین تأخیر در انتشار، یکی از پارامترهای مهمی است که سرعت عملکرد یک سیستم منطقی را مشخص

۱- در مورد ترانزیستورهای Mosfet به طور اجمالی در کتاب الکترونیک عمومی ۲ بحث شده است.

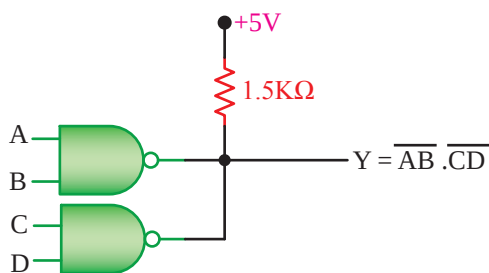
ساختمان داخلی گیت NOT را می‌توانید در شکل ۲-۴۳ مشاهده کنید.

R_C که از خارج به آی سی متصل می‌شود را مقاومت pull up می‌گویند. Pull up به معنی بالا کشیدن است و در اینجا به معنی کامل کردن مدار داخلی به کار می‌رود.



شکل ۲-۴۳ - ساختمان داخلی یک گیت نوع کلکتور باز

هنگام تعویض یک دروازه منطقی معیوب با یک دروازه منطقی سالم باید به نوع دروازه (معمولی یا کلکتور باز) توجه کنید. زیرا شکل ظاهری و نماد هر دو نوع آی سی مشابه است. معمولاً در کتاب‌های مرجع برای هر شماره آی سی، نوع معمولی یا کلکتور باز بودن را مشخص می‌کنند. در اغلب این کتاب‌ها فرض را بر این می‌گیرند که همه آی سی‌ها معمولی‌اند و فقط آی سی‌های کلکتور باز را مشخص می‌کنند. یکی از مزایای آی سی‌های کلکتور باز این است که اگر خروجی آنها را به یکدیگر وصل کنیم، مانند دروازه منطقی AND عمل می‌کنند. (شکل ۲-۴۴)



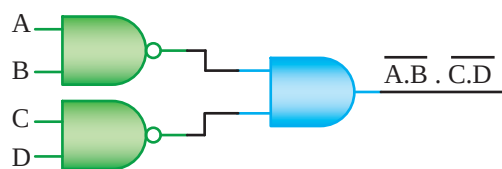
شکل ۲-۴۴ - دروازه منطقی AND کلکتور باز

اگر در ساخت آی سی مدارهای منطقی از فناوری ترانزیستور MOSFET استفاده شده باشد نام آی سی با حروف CD۴۰ شروع می‌شود. شماره‌هایی که بعد از عدد ۴۰ قرار می‌گیرند، نوع دروازه منطقی یا مشخصه‌های دیگر آن را مشخص می‌کند. به این نوع آی سی‌ها سری CMOS می‌گویند.

ولتاژ تغذیه آی سی‌های سری TTL از ۴/۷۵ ولت تا ۵/۲۵ ولت و ولتاژ تغذیه آی سی‌های سری CMOS از ۳ ولت تا ۱۵ ولت است. ولتاژ سطح منطقی یک در این نوع آی سی‌ها، حدود ولتاژ تغذیه آن است.

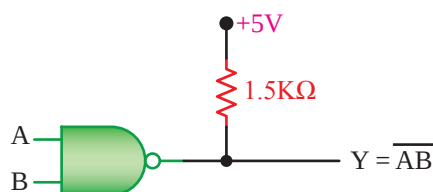
خروجی آی سی‌های سری TTL در دو نوع معمولی (Totem pole) و کلکتور باز (Open Collector) ساخته می‌شود.

در نوع معمولی مدار را به همان صورتی که طرح کرده‌ایم می‌توانیم بسازیم برای مثال برای ساختن مدار شکل ۲-۴۱ در عمل سه دروازه منطقی استفاده شده‌است.



شکل ۲-۴۱ - مدار دروازه منطقی - معمولی (Totem Pole)

در آی سی‌های نوع کلکتور باز خروجی دروازه‌های منطقی را با یک مقاومت حدود ۱ KΩ به V_{CC} متصل می‌کنیم. شکل ۲-۴۲ نحوه اتصال این مقاومت را نشان می‌دهد.



شکل ۲-۴۲ - مدار دروازه منطقی کلکتور باز

به این نوع AND، AND سیمی می‌گویند. توجه داشته باشید که دروازه‌های معمولی را به هیچ عنوان نباید به یک‌دیگر متصل کنید.

همه دروازه‌های منطقی که در ماشین حساب‌ها و دستگاه‌های مشابه آن به کار می‌روند، الکترونیکی هستند و از سرعت قطع و وصل بسیار بالایی برخوردارند. در صنعت، گاهی به دروازه‌های منطقی نیاز داریم که بتوانند ولتاژهای بالا (مثلاً ۲۲۰ ولت برق شهر) را در خروجی خود با سرعت بسیار بالا قطع و وصل کنند.

در این گونه موارد، دروازه‌های منطقی که با استفاده از رله‌های الکترومغناطیسی یا قطعات الکترونیک صنعتی ساخته می‌شوند را به کار می‌برند.

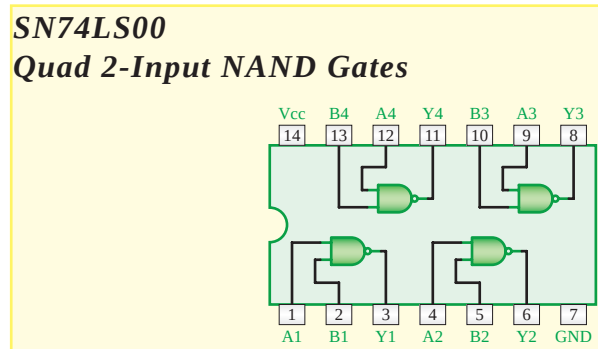
جدول ۲-۲۰- جدول مربوط به دروازه منطقی NAND

Symbol	Parameter	Min	Typ	Max	Unit
V _{CC}	Supply Voltage	4.75	5.0	5.25	V
T _A	Operating Ambient Temperature Range	0	25	70	°C
I _{OH}	Output Current - High			- 0.4	mA
I _{OL}	Output Current - Low			8.0	mA

۱-۵-۲- برگه اطلاعات IC (Data sheet):

دروازه‌های منطقی پایه را معمولاً به صورت آی‌سی (IC) می‌سازند و غالباً در هر آی‌سی ۲ تا ۶ دروازه منطقی قرار می‌گیرند. اطلاعات مربوط به ICها را معمولاً در کتاب اطلاعات Data book به صورت برگه‌های اطلاعاتی Data sheet قرار می‌دهند.

شکل ۴۵-۲ قسمتی از برگه اطلاعات آی‌سی شماره SN۷۴LS۰۰ که مربوط به دروازه منطقی NAND است را نشان می‌دهد. اطلاعات برگه‌ای از یک Data book است.



شکل ۴۵-۲- آی‌سی SN۷۴LS۰۰ مربوط به دروازه منطقی NAND

جدول ۲-۲۱- جدول فارسی مربوط به دروازه منطقی NAND

واحد	بیشترین	نوع	کمترین	مشخصه	علامت
V	۵/۲۵	۰/۵	۴/۷۵	ولتاژ تغذیه	V _{CC}
°C	۷۰	۲۵	۰	حد محدوده دمایی عملکرد	T _A
mA	- ۰/۴			جریان بالای خروجی	I _{OH}
mA	۰/۸			جریان پایین خروجی	I _{OL}

همان‌طور که در شکل ۴۵-۲ مشاهده می‌کنید این آی‌سی دارای ۱۴ پایه است که پایه ۱۴ مربوط به تغذیه

در شکل ۴۶-۲ نمای ظاهری این آی‌سی‌ها را در دو نوع پلاستیکی مشاهده می‌کنید.

حروفی که همراه با شماره تراشه (IC) می‌آید دسته‌بندی می‌شود که در این قسمت به تشریح تعدادی از این دسته‌بندی‌ها می‌پردازیم.

الف) تراشه‌های TTL استاندارد (Std TTL): در دسترس‌ترین، ارزان‌ترین و در عین حال متنوع‌ترین نوع آی‌سی‌هاست. این آی‌سی‌ها دارای تأخیر انتشار حدود 10 nsec و توان مصرفی هر دروازه حدود 10 mw می‌باشد.



نکته مهم: اطلاعات مربوط

به دسته‌بندی تراشه‌ها صرفاً جهت آشنایی آمده است و فراگیر باید بتواند با مراجعه به منابع از اطلاعات استفاده کند. لذا نیازی به خاطر سپردن این اطلاعات نیست و در صورت پرسش در آزمون باید اطلاعات Data sheet در اختیار هنرجو قرار گیرد.

ب) تراشه‌های TTL شاتکی کم‌مصرف پیشرفته (ALS TTL): شبیه سری LS است ولی در فرایندهای ساخت آن از فناوری پیشرفته‌تری استفاده شده است. ضریب تقویت بالا، تأخیر انتشار حدود 4 nsec و توان مصرفی هر دروازه حدود 1 mw از ویژگی‌های این نوع آی‌سی است.

پ) تراشه‌های TTL شاتکی پیشرفته (ASTTL): برای سرعت‌های بسیار بالا ساخته شده است که این افزایش سرعت میزان جریان مصرفی آن را زیاد کرده است. تأخیر انتشار در این نوع آی‌سی‌ها حدود $1/5\text{ nsec}$ و توان مصرفی هر دروازه حدود 22 mw است.

ت) تراشه‌های TTL شاتکی سریع (F TTL): از نظر سرعت و توان مصرفی مانند سری AS است.

ث) تراشه‌های TTL توان بالا (H TTL): به علت جریان مصرفی بسیار بالا از رده خارج شده است.



مدار مجتمع با پایه‌های کوچک
با پسوند D
شماره‌بده ۷۵۱A
SOIC D Suffix Case 751A

SOIC: Small Outline Integrated Circuit



پلاستیکی
با پسوند N
شماره‌بده ۶۴۶
Plastic N Suffix Case 646

شکل ۴۶ - ۲- نمای ظاهری آی‌سی $74LS00$

جدول دیگری نیز معمولاً در برگه‌های اطلاعات Data sheet مربوط به دروازه منطقی وجود دارد که مربوط به مشخصات تعداد پایه‌های آی‌سی و آرایش است، جدول ۲۲-۲ قسمتی از جدول اطلاعات آی‌سی است.

جدول ۲۲-۲- مشخصات تعداد پایه‌های آی‌سی و نحوه آرایش آن

ORDERING INFORMATION

Device	Package
SN74LS00N	Pin Dip 14
SN74LS00D	14Pin

بسته‌بندی	قطعه
۱۴ پایه دو ردیفه	SN۷۴LS۰۰N
۱۴ پایه	SN۷۴LS۰۰D

در هر صفحه از اطلاعات مربوط به یک آی‌سی مشخصات دیگری نیز نوشته می‌شود که بر حسب نیاز مورد استفاده قرار می‌گیرد. بررسی این صفحات را در صورت نیاز خودتان انجام دهید.

۲-۵-۲- آشنایی با سری خانواده TTL: اطلاعات کامل و جزئیات مدارهای خانواده‌های TTL در مراجع متعدد آمده است.

(ج) تراشه‌های TTL شاتکی توان پایین (L TTL): به علت سرعت پایین از رده خارج شده است. شده با سرعت بالا و مصرف پایین است.

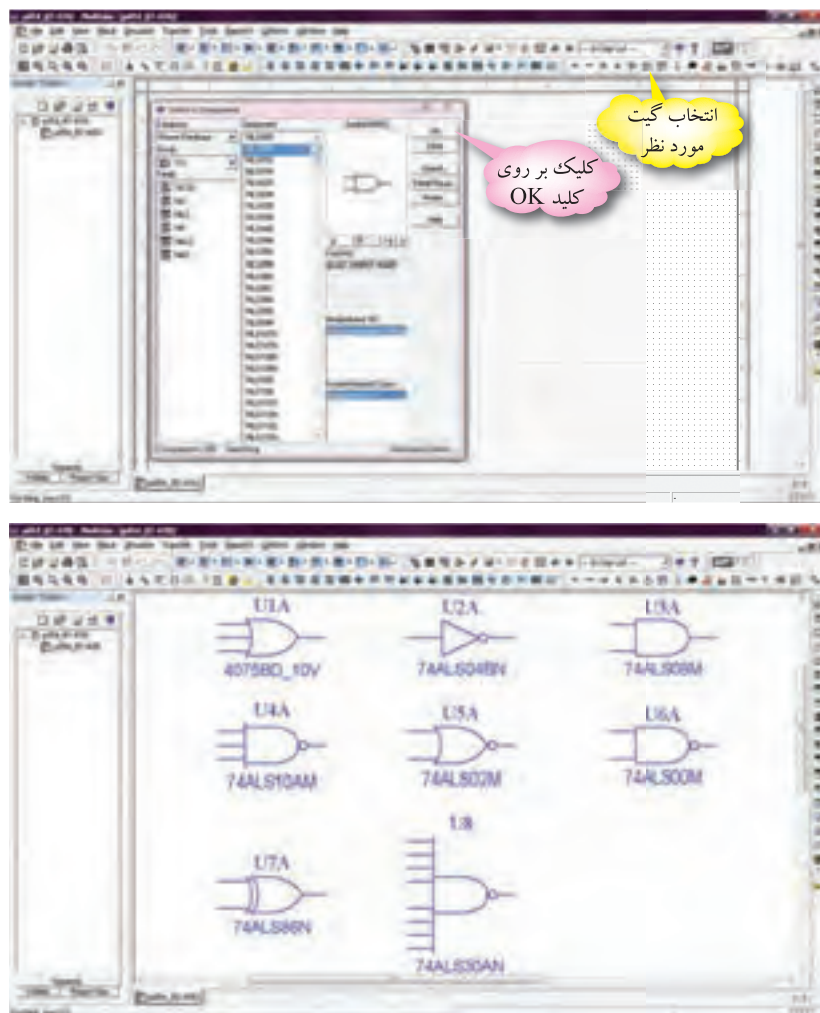
(چ) تراشه‌های TTL شاتکی کم مصرف (LS TTL): نسبت به سری استاندارد سرعت بیشتری دارد و توان مصرفی آن $\frac{1}{5}$ برابر نوع استاندارد و شبیه سری ALS است.



توجه: اطلاعات مربوط به سری خانواده TTL فقط جهت آشنایی است و در آزمون‌ها سؤالی در این رابطه داده نمی‌شود.

۲-۶- استفاده از نرم افزار

با استفاده از نرم‌افزار مولتی سیم می‌توانید دروازه‌های منطقی را بر روی میز کار نرم افزار بیاورید و در مدارهای مختلفی که در فصل بعدی آموزش می‌بینید از آن‌ها استفاده کنید. در شکل ۲-۴۷ طریقه استفاده از کلیدهای مربوط به دروازه‌های منطقی را مشاهده می‌کنید.

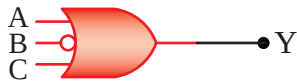


شکل ۲-۴۷- نمونه‌ای از دروازه‌های منطقی در نرم افزار

(الف)



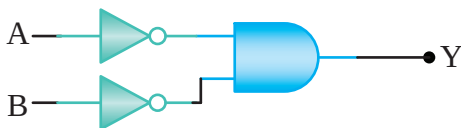
(ب)



(پ)



۱۲- با استفاده از جدول صحت نشان دهید که مدار زیر مانند یک گیت NOR عمل می‌کند.



۱۳- جدول صحت را برای گیت‌های زیر که هر یک دارای سه ورودی هستند، بنویسید.

NAND - AND - OR - NOR

۱۴- چگونه خروجی یک گیت NAND با سه ورودی همواره صفر منطقی است؟

۱۵- تحت چه شرایطی یک گیت NOR دارای خروجی ۱ است؟ شرح دهید.

۱۶- اطلاعات مربوط به تراشه SN74LS00 که در زیر آمده است را از جدول استخراج و در جدولی توضیح دهید.



تمرین کلاسی ۸ - ۲: انواع

دروازه‌های منطقی را در نرم‌افزار مولتی‌سیم شناسایی کنید و نتیجه فعالیت خود را به کلاس ارائه کنید.

۲-۷- الگوی پرسش

۱- مفاهیم زیر را تعریف کنید.

ولتاژ بالا - ولتاژ پایین - منطق مثبت - منطق منفی

۲- مدار دیودی گیت AND را رسم کنید و طرز کار آن را شرح دهید.

۳- یک دروازه AND با چهار ورودی را رسم کنید و جدول صحت آن را بنویسید.

۴- مدار ترانزیستوری گیت OR را رسم و طرز کار آن را شرح دهید.

۵- یک گیت NOT را در مسیر یکی از ورودی‌های گیت OR قرار می‌دهیم. تابع خروجی آن را بنویسید.

۶- در طراحی ساختمان یک دروازه منطقی چه عاملی بر سرعت عملکرد آن تأثیر دارد؟

۷- جدول صحت دروازه X-OR را با سه ورودی بنویسید.

۸- مشخصات ویژه دروازه‌های منطقی را به طور خلاصه توضیح دهید.

۹- fan-in یک دروازه منطقی برابر با ۴ است این دروازه منطقی چه ویژگی خاصی دارد؟

۱۰- در صورتی که حاشیه نویز یک گیت منطقی ۰/۳۶ ولت باشد و یک سیگنال ناخواسته با ولتاژ ۰/۴ ولت به ورودی آن وارد شود، آیا خللی در کارگیت به وجود می‌آورد؟ چرا؟

۱۱- جدول صحت و خروجی تابع هر یک از شکل‌های زیر را بنویسید.

SN74LS00

DC CHARACTERISTICS OVER OPERATING TEMPERATURE RANGE (Unless otherwise specified)

Symbol	Parameter	Limits			Unit	Test Conditions
		Min	Typ	Max		
V_{IH}	Input HIGH Voltage	2.0			V	Guaranteed Input HIGH Voltage for All Inputs
V_{IL}	Input LOW Voltage			0.8	V	Guaranteed Input LOW Voltage for All Inputs
V_{IK}	Input Clamp Diode Voltage		-0.65	-1.5	V	$V_{CC} = \text{MIN}$, $I_{IN} = -18 \text{ mA}$
V_{OH}	Output HIGH Voltage	2.7	3.5		V	$V_{CC} = \text{MIN}$, $I_{OH} = \text{MAX}$, $V_{IN} = V_{IH}$ or V_{IL} per Truth Table
V_{OL}	Output LOW Voltage		0.25	0.4	V	$I_{OL} = 4.0 \text{ mA}$
			0.35	0.5	V	$I_{OL} = 8.0 \text{ mA}$
I_{IH}	Input HIGH Current			20	μA	$V_{CC} = \text{MAX}$, $V_{IN} = 2.7 \text{ V}$
				0.1	mA	$V_{CC} = \text{MAX}$, $V_{IN} = 7.0 \text{ V}$
I_{IL}	Input LOW Current			-0.4	mA	$V_{CC} = \text{MAX}$, $V_{IN} = 0.4 \text{ V}$
I_{OS}	Short Circuit Current (Note 1)	-20		-100	mA	$V_{CC} = \text{MAX}$
I_{CC}	Power Supply Current Total, Output HIGH Total, Output LOW			1.6	mA	$V_{CC} = \text{MAX}$
				4.4		

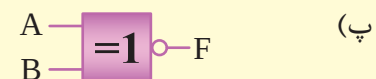
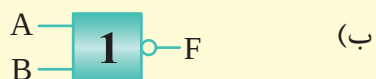
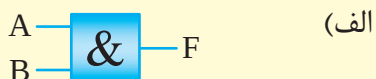
Note 1: Not more than one output should be shorted at a time, nor for more than 1 second.

شکل سؤال ۱۶



جهت هنجاریان علاقه‌مند:

۱۸- جدول صحت، رابطه و نام دروازه‌های منطقی
هر یک از نمادهای زیر را بنویسید.



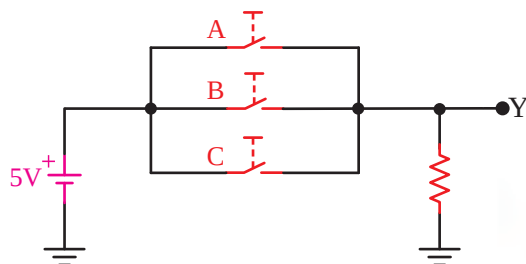
برای پاسخ به این سؤال از زیر نویس‌های این فصل
استفاده کنید.



توجه: شماره آی سی‌ها جهت

آشنایی با مدار داخلی آنهاست و نیاز به حفظ
کردن آنها و شماره پایه‌ها نیست. در صورت
استفاده باید به برگه‌های اطلاعاتی هر یک در
book مراجعه شود و در آزمون‌ها با ارائه نقشه
می‌توان مشخصات فنی را مورد سؤال قرار داد.

۱۷- شکل زیر عملکرد چه نوع دروازه منطقی را نشان
می‌دهد رابطه و جدول صحت آن را بنویسید.



۱۹- نمادهای دیگر هر یک از موارد سؤال ۱۸ را رسم کنید

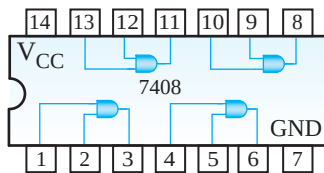
۲۰- هنگام تعویض یک دروازه منطقی معیوب با یک دروازه منطقی سالم چه نکته‌ای را مورد توجه باید قرار داد؟

۲۱- آیا در هنگام ساخت مدار می‌توان ترکیبی از دروازه‌های CMOS و TTL را به کار برد؟

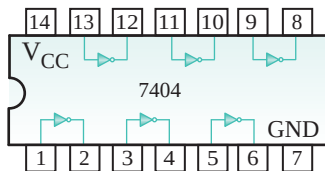
۲۲- اگر تعداد دروازه‌های موجود در یک تراشه بیش از تعداد مورد نیاز باشد، آیا موجب بروز مشکل می‌شود؟

۲-۸- معرفی مشخصات پایه‌های آی‌سی‌های گیت‌های منطقی

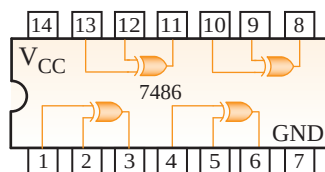
شکل ۲-۴۸ نقشه تعدادی از آی‌سی‌های پرکاربرد را در دیجیتال نشان می‌دهد. در این شکل شماره پایه‌های آی‌سی، تعداد گیت‌ها و ارتباط گیت‌ها با پایه‌ها مشخص شده است. در آی‌سی‌های شکل ۲-۴۸ پایه ۱۴ تغذیه آی‌سی و پایه ۷ زمین آی‌سی است.



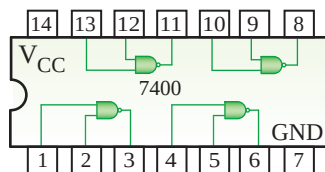
ب) آی‌سی ۷۴۰۸ گیت AND



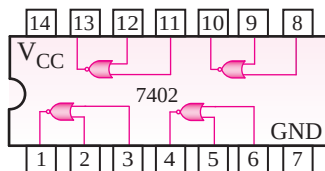
پ) آی‌سی ۷۴۰۴ گیت NOT



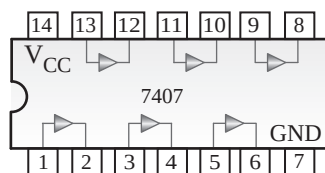
ت) آی‌سی ۷۴۸۶ گیت XOR



ث) آی‌سی ۷۴۰۰ گیت NAND



ج) آی‌سی ۷۴۰۲ گیت NOR

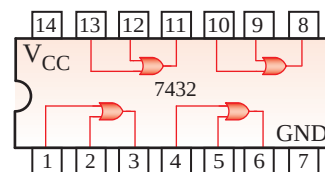


چ) آی‌سی ۷۴۰۷ گیت بافر

شکل ۲-۴۸- نقشه آی‌سی‌های پر کاربرد



شکل ظاهری آی‌سی



الف) آی‌سی ۷۴۳۲ گیت OR

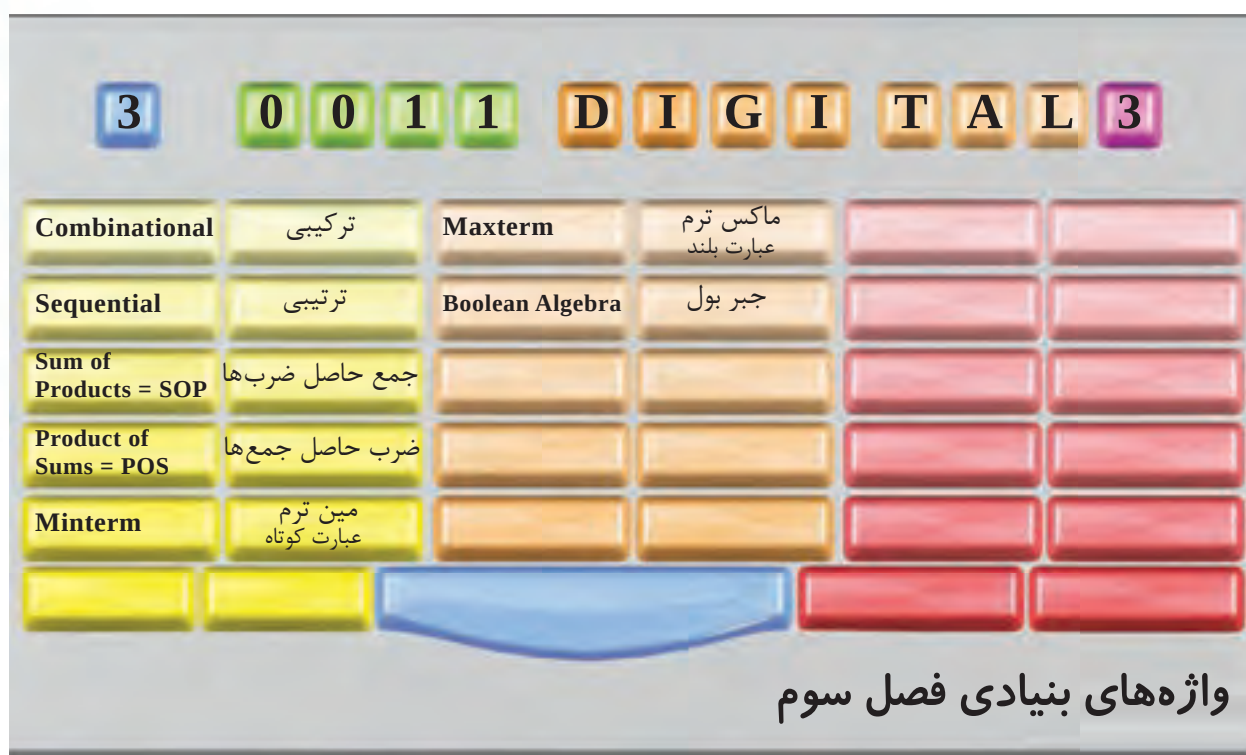
جبر بول

هدف کلی: شناخت جبر بول و اتحادهای اساسی آن، توابع بولی به شکل مجموع حاصل ضربها و حاصل ضرب جمعها، پیاده‌سازی توابع منطقی توسط دروازه‌های منطقی پایه و نقشه کارنو

کل زمان اختصاص داده شده به فصل: ۲۰ ساعت آموزشی

هدف‌های رفتاری: در پایان این فصل از فراگیرنده انتظار می‌رود که :

- ۱- توابع بولی را شرح دهد.
- ۲- عبارت بولی یک تابع منطقی را بنویسد.
- ۳- اتحادهای اساسی جبر بول را شرح دهد.
- ۴- توابع بولی را به کمک اتحادهای اساسی ساده کند.
- ۵- توابع بولی ساده شده را با دروازه‌های منطقی ترسیم (پیاده‌سازی) کند.
- ۶- عبارت بولی را به شکل نرمال (عادی) بنویسد.
- ۷- عبارت بولی را به شکل حاصل ضرب توضیح دهد.
- ۸- عبارت بولی را به شکل مجموع توضیح دهد.
- ۹- عبارت بولی را به شکل استاندارد مجموع حاصل ضربها شرح دهد.
- ۱۰- عبارت بولی به شکل استاندارد و حاصل ضرب جمعها را توضیح دهد.
- ۱۱- عبارت منطقی را به شکل استاندارد مین ترم بنویسد.
- ۱۲- عبارت بولی را با استفاده از نقشه کارنو ساده کند.
- ۱۳- توابع منطقی را با گیت‌های منطقی پیاده‌سازی کند.
- ۱۴- تعداد ورودی‌های دروازه‌های منطقی را افزایش دهد.
- ۱۵- دروازه‌های منطقی مختلف را فقط با NAND و NOR بسازد.
- ۱۶- جدول صحت را از ورودی داده‌های مساله استخراج کند.
- ۱۷- تابع منطقی را به شکل مجموع حاصل ضربها بنویسد (حداکثر چهار ورودی).
- ۱۸- مراحل طراحی مدارهای ترکیبی ساده را شرح دهد.
- ۱۹- مدارهای ساده ترکیبی را تشریح کند.
- ۲۰- یک نمونه مدار ترکیبی ساده را طراحی کند.
- ۲۱- با استفاده از نرم افزار مولتی سیم توابع بولی را با کمک گیت‌ها شبیه‌سازی کند.
- ۲۲- به سؤال‌های الگوی پرسش پاسخ دهد.
- ۲۳- کلیه هدف‌های رفتاری در حیطه عاطفی که در فصل اول آمده‌است را باید در این فصل مورد توجه قرار دهد.



پیش‌گفتار

سپس به روابط منطقی و عملیات جبری می‌پردازیم. این عملیات برای ساده‌کردن و به دست آوردن فرم استاندارد و ساده شده مدار مورد استفاده قرار می‌گیرد. در جبر بول یک مدل ریاضی قابل استفاده مدلی است که بتواند:

۱- روابط بین خروجی‌ها و ورودی‌ها را به صورت ساده‌ترین رابطه ریاضی بیان کند.

۲- از نظر اجرای آزمایشگاهی و عمل قابل اجرا باشد.

۳- قادر به بیان عمل منطقی مدار باشد.

۳-۱-۱ قوانین حاکم بر جبر بول یا اتحادهای

اساسی

اتحادهای اساسی در ساده‌سازی توابع منطقی کاربرد دارند. در ادامه به بررسی این قوانین و اتحادها می‌پردازیم. برای اثبات این قوانین (قاعده‌ها)، از مدارهای کلیدی استفاده می‌کنیم. شرایط روشن شدن لامپ در شکل ۳-۱ را به عنوان خروجی مدار در نظر

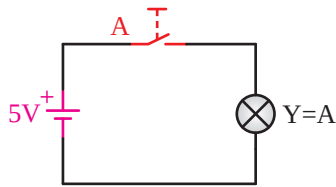
جبر بول دستگاه ریاضی مناسبی برای تجزیه و تحلیل مدارهای دیجیتالی است. در این فصل با اتحادهای اساسی جبر بول، چگونگی به دست آوردن تابع منطقی یک مدار مشخص، شکل‌های نرمال، ساده‌کردن توابع منطقی آشنا می‌شویم.

۳-۱-۲ جبر بول (Boolean algebra)

در این فصل یک مدل ریاضی را مورد بررسی قرار می‌دهیم که نحوه کار یک مدار دیجیتال را بیان می‌کند. چنین مدلی را جبر بول می‌نامیم.

این جبر روش‌های مفید و ساده‌ای را برای تجزیه و تحلیل و ترکیب مدارهای دیجیتالی، از جمله مدارهای ترکیبی (Combinational) و مدارهای ترتیبی (Sequential) ارائه می‌دهد.

برای درک بهتر جبر بول و استفاده مؤثر از آن، ابتدا روش‌های کلی مربوط به این جبر را بیان می‌کنیم،



شکل ۳-۲ مدار معادل اثر صفر در عمل جمع منطقی (OR)

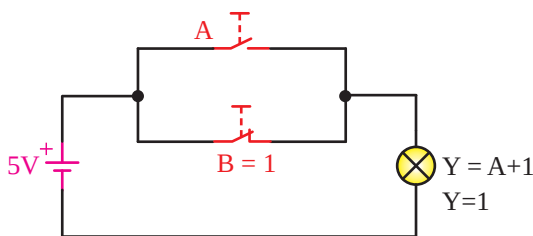
مدار معادل شکل ۳-۱ در شکل ۳-۲ آمده است. پس می‌توانیم نتیجه بگیریم که اگر صفر منطقی با هر عبارت منطقی جمع شود حاصل همان عبارت خواهد بود.

$$A + 0 = A$$



تمرین کلاسی ۳-۱: $(A+B)$ را با صفر منطقی جمع کنید، حاصل آن را به دست آورید، مدار اصلی و معادل آن را ترسیم کنید.

ب) جمع با یک منطقی: اگر ۱ با هر عبارت منطقی جمع شود حاصل برابر با «۱» خواهد شد. شکل ۳-۳ الف یک نمونه مدار ساده جمع شدن «۱» با عبارت منطقی را نشان می‌دهد. در این مدار کلید A با کلید B موازی شده است. کلید B یک کلید همیشه بسته (یک منطقی) است. در حالتی که کلید A می‌تواند تغییر وضعیت دهد. با توجه به توضیح داده شده در مورد عضو خنثی (صفر)، در این مدار رفتار کلید A هیچ تأثیری در خروجی ندارد و خروجی همواره «۱» خواهد بود. به عبارت دیگر لامپ همیشه روشن است.

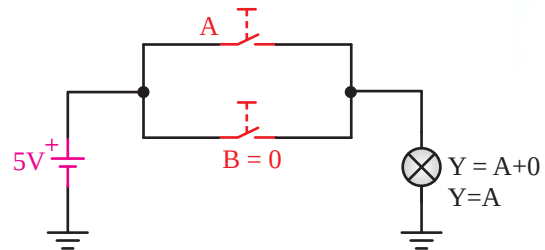


شکل ۳-۳ الف مدار اصلی جمع با یک منطقی

می‌گیریم و آن را با Y نشان می‌دهیم.

الف) عضو خنثی: در عمل OR (جمع منطقی)^۱، صفر منطقی عضو خنثی است. یعنی اگر هر عبارتی با صفر جمع شود، حاصل همان عبارت منطقی (تابع منطقی) خواهد بود. به شکل ۳-۱ که یک نمونه مدار ساده جمع با عضو خنثی است توجه کنید.

در این شکل کلید A دو وضعیت بسته (۱) و باز (۰) را می‌تواند اختیار کند.



شکل ۳-۱ یک نمونه مدار اصلی جمع با عضو خنثی

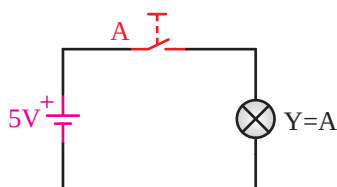


توجه: در این قسمت، کلید در حالت بسته را «یک» و کلید در حالت باز را «صفر» فرض کرده‌ایم.

کلید B یک کلید همیشه باز است و در این مدار همواره حالت باز یا صفر را به خود می‌گیرد و نمی‌تواند تغییر وضعیت دهد. این کلید به صورت موازی با کلید A قرار دارد. در این شرایط خروجی مدار یعنی لامپ Y تابع تغییرات کلید A خواهد بود. یعنی اگر کلید A بسته شود لامپ روشن و اگر باز شود لامپ خاموش خواهد شد.

با برداشتن کلید B هیچ تغییری در مدار رخ نمی‌دهد و خروجی Y همواره تابع A خواهد بود. بنابراین بودن یا نبودن کلید B هیچ تأثیری در عملکرد خروجی مدار ندارد. شکل ۳-۲ این وضعیت را نشان می‌دهد.

۱- از این پس در این کتاب عمل OR را با عنوان «جمع منطقی» یا «جمع» نیز بیان خواهیم کرد.



شکل ۳-۴. مدار معادل جمع منطقی (OR) هر عبارت با خودش



شکل ۳-۳. مدار معادل اثر یک در عمل جمع منطقی (OR)

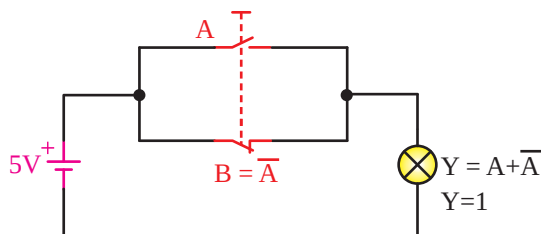
از مدارهای شکل ۳-۴ می‌توان نتیجه گرفت که:

$$A + A = A$$

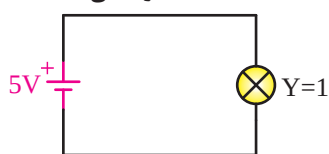


تمرین کلاسی ۳-۳: عبارت منطقی $B + C$ را با خودش جمع منطقی کنید. حاصل آن را به دست آورید، مدار اصلی و مدار معادل آن را ترسیم کنید.

ت) جمع یک عبارت منطقی با معکوس آن: هرگاه هر عبارت منطقی با معکوس خودش (NOT) جمع منطقی (OR) شود، حاصل یک می‌شود، در مدار شکل ۳-۵ الف عبارت A را با عبارت B که معکوس A است جمع کرده‌ایم. همان طور که از حالت‌های کلید A و B مشاهده می‌کنید در کلیه شرایط لامپ روشن می‌ماند. مدار معادل شکل ۳-۵ الف را در شکل ۳-۵ ب ملاحظه می‌کنید.



الف) مدار اصلی



ب) مدار معادل

شکل ۳-۵. جمع منطقی (OR) هر عبارت با معکوس خودش

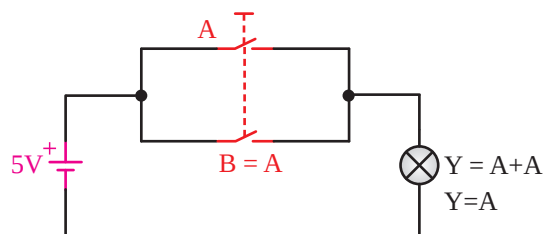
در شکل ۳-۳ ب مدار معادل شکل ۳-۳ الف را مشاهده می‌کنید. در این مدار کلید A هیچ تأثیری ندارد و خروجی همواره «یک» است، پس می‌توانیم روی خروجی بنویسیم

$$A + 1 = 1$$



تمرین کلاسی ۳-۲: عبارت $B + C$ را با یک منطقی جمع کنید، حاصل آن را به دست آورید و مدار اصلی و مدار معادل آن را ترسیم کنید.

پ) جمع یک عبارت منطقی با خودش: هرگاه هر عبارت منطقی با خودش جمع منطقی (OR) شود، حاصل همان عبارت است، در شکل ۳-۴ الف یک نمونه مدار مربوط به جمع هر عبارت با خودش را ملاحظه می‌کنید. برای تحلیل این مدار به توضیحات داده شده در مورد عضو خنثی توجه نمایید. در شکل ۳-۴ ب مدار معادل جمع هر عبارت با خودش را مشاهده می‌کنید.



شکل ۳-۴. مدار اصلی جمع منطقی هر عبارت با خودش

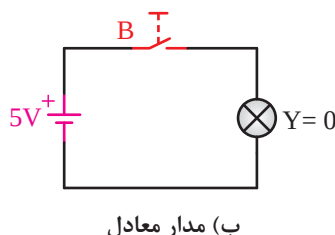
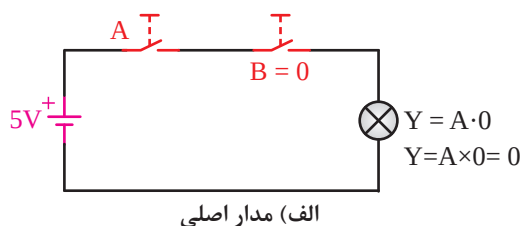
از مدارهای شکل ۳-۶ می‌توان نتیجه گرفت که «یک» منطقی در ضرب منطقی (AND) بی‌تأثیر است، یعنی:

$$A \cdot 1 = A$$



تمرین کلاسی ۳-۵: عبارت $(A+B)$ را در «۱» منطقی ضرب کنید و حاصل را به‌دست آورید. مدار اصلی و مدار معادل آن را ترسیم کنید.

ج) ضرب عبارت منطقی در صفر: هرگاه هر عبارت منطقی در «صفر» منطقی ضرب منطقی (AND) شود حاصل صفر خواهد شد، در شکل ۳-۷ الف کلید A دو حالت بسته و باز را اختیار می‌کند و کلید B یک حالت دارد و آن حالت خاموش یا صفر منطقی است. شکل ۳-۷ ب مدار معادل شکل ۳-۷ الف را نشان می‌دهد.



شکل ۳-۷ تأثیر صفر منطقی در عمل ضرب منطقی (AND)

از مدارهای شکل ۳-۷ به این نتیجه می‌رسیم که هرگاه صفر منطقی در عبارتی ضرب منطقی (AND) شود، حاصل صفر خواهد شد. بنابراین:

$$A \cdot 0 = 0$$

از مدارهای شکل ۳-۵ نتیجه زیر حاصل می‌شود.

$$A + \bar{A} = 1$$

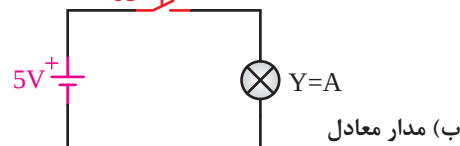
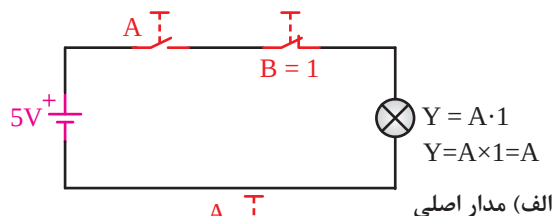


نکته: همان‌طور که در شکل‌های ۳-۱ تا ۳-۵ مشاهده کردید، عمل جمع منطقی دقیقاً مشابه گیت OR منطقی است.



تمرین کلاسی ۳-۴: عبارت منطقی $C+D$ را با $\bar{C}$ جمع منطقی کنید و حاصل آن را به‌دست آورید. مدار اصلی و مدار معادل آن را ترسیم کنید.

ث) ضرب منطقی^۱ عبارت منطقی در یک: هرگاه هر عبارت منطقی در «یک» ضرب منطقی (AND) شود، حاصل همان عبارت است (در عمل ضرب منطقی «یک» عضو خنثی محسوب می‌شود). در شکل ۳-۶ الف کلید A در حالت صفر قرار دارد و کلید B فقط در یک حالت قرار دارد و نمی‌تواند تغییر کند. بنابراین عامل اثرگذار روی مدار فقط کلید A است. شکل ۳-۶ ب مدار معادل شکل ۳-۶ الف را نشان می‌دهد.

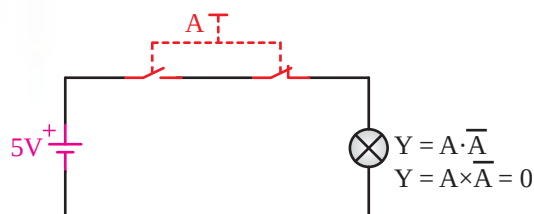


شکل ۳-۶ تأثیر یک منطقی در عمل ضرب منطقی (AND)

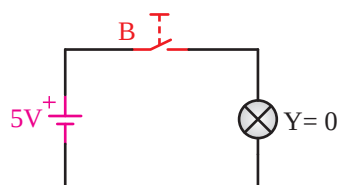
۱- از این پس در این کتاب عمل AND را با عنوان «ضرب منطقی» یا «ضرب» نیز بیان خواهیم کرد.

ح) ضرب عبارت منطقی در معکوس آن: هرگاه هر عبارت منطقی در معکوس خودش ضرب منطقی (AND) شود، حاصل صفر خواهد شد. در شکل ۳-۹ الف مدار اصلی و در شکل ۳-۹ ب مدار معادل آن را ملاحظه می‌کنید.

کلید B یک کلید یک حالت معادل صفر است.



الف) مدار اصلی



ب) مدار معادل

شکل ۳-۹ تأثیر ضرب منطقی (AND) بین هر عبارت منطقی و معکوس آن

از مدارهای شکل ۳-۹ می‌توان به نتیجه زیر رسید.

$$A \cdot \bar{A} = 0$$



تمرین کلاسی ۳-۸: عبارت $A+B$ را در $(\bar{A} + \bar{B})$ ضرب کنید و حاصل را به دست آورید. مدار اصلی آن را ترسیم کنید.

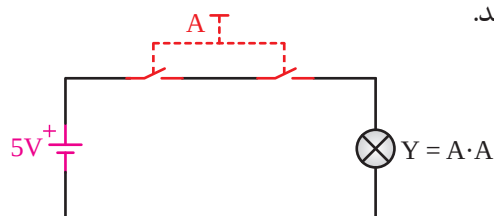
خ) توزیع پذیری AND در OR: هرگاه یک عبارت منطقی در پرانتزی ضرب منطقی (AND) شود، در تک تک عبارت‌های داخل پرانتز ضرب منطقی می‌شود، در شکل ۳-۱۰ الف ضرب منطقی تابع $(B+C)$ را در تابع A ملاحظه می‌کنید. در شکل ۳-۱۰ ب مدار



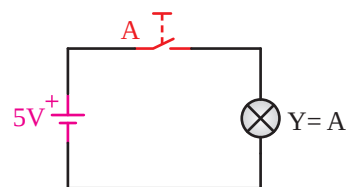
تمرین کلاسی ۳-۶: عبارت $(C+D)$ را در «صفر» منطقی ضرب کنید، حاصل عبارت را به دست آورید. مدار اصلی و مدار معادل آن را ترسیم کنید.

سؤال: آیا در عمل ضرب ریاضی نیز نتایج موارد ث و ج صادق است؟ توضیح دهید.

چ) ضرب یک عبارت منطقی در خودش: هرگاه هر عبارت منطقی در خودش ضرب منطقی (AND) شود حاصل همان عبارت خواهد بود. در شکل ۳-۸ الف مدار اصلی و در شکل ۳-۸ ب مدار معادل آن را مشاهده می‌کنید.



الف) مدار اصلی



ب) مدار معادل

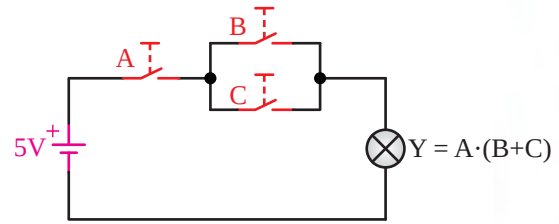
شکل ۳-۸ تأثیر عمل ضرب منطقی (AND) هر عبارت در خودش از مدارهای شکل ۳-۸ نتیجه زیر حاصل می‌شود.

$$A \cdot A = A$$

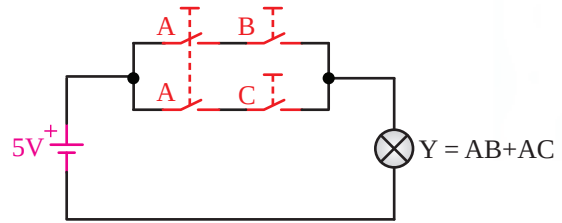


تمرین کلاسی ۳-۷: عبارت $(A+B)$ را در خودش ضرب منطقی کنید. حاصل عبارت را به دست آورید. مدار اصلی و مدار معادل آن را ترسیم کنید.

معادل شکل ۱۰-۳ الف آمده است.



الف) مدار اصلی



ب) مدار معادل

شکل ۱۰-۳ ضرب یک عبارت منطقی در عبارت منطقی داخل پرانتز از مدارهای شکل ۱۰-۳ می‌توان به نتیجه زیر رسید.

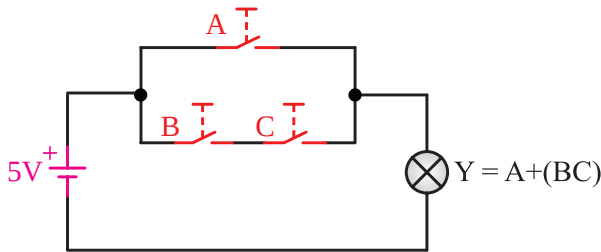
$$A \cdot (B + C) = AB + AC$$

این عمل را توزیع‌پذیری AND در OR می‌نامند. به عبارت دیگر در رابطه سمت راست اگر از عبارت A فاکتور گرفته شود، خواهیم داشت:

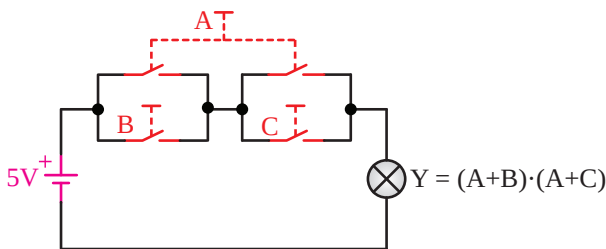
$$\underline{AB} + \underline{AC} = A (B + C)$$

یعنی پس از فاکتورگیری عبارت سمت چپ داخل کادر به دست می‌آید. عمل فاکتورگیری در ساده سازی توابع منطقی کاربرد زیادی دارد که در مباحث بعدی به آن بیشتر خواهیم پرداخت.

د) جمع منطقی یک عبارت با پرانتز: هرگاه یک عبارت منطقی با پرانتزی جمع منطقی (OR) شود با تک تک عبارت‌های داخل پرانتز جمع منطقی (OR) می‌شود. شکل ۱۱-۳ الف حاصل جمع BC را با A نشان می‌دهد. در شکل ۱۱-۳ ب مدار معادل شکل ۱۱-۳ الف را ملاحظه می‌کنید.



الف) مدار اصلی



ب) مدار معادل

شکل ۱۱-۳ حاصل جمع منطقی (OR) در پرانتز

از مدارهای شکل ۱۱-۳ نتیجه زیر حاصل می‌شود.

$$A + BC = (A + B) (A + C)$$



تمرین کلاسی ۱۰-۳: تابع $AB + (CD)$ را با استفاده از قانون جمع منطقی عبارت با پرانتز جمع منطقی کنید، حاصل را به دست آورید. مدار اصلی و مدار معادل آن را ترسیم کنید.

جدول ۱-۳ قوانین جبر بول را نشان می‌دهد:



تمرین کلاسی ۹-۳: تابع B را در تابع $(A + C + D)$ ضرب منطقی کنید، حاصل را به دست آورید. مدار اصلی و مدار معادل آن را ترسیم کنید.

جدول ۳-۱- قوانین جبر بول

$A+0=A$	تأثیر عضو خنثی «صفر» در جمع منطقی
$A+1$	تأثیر «یک» منطقی در جمع منطقی
$A+A=A$	جمع منطقی یک تابع با خودش
$A+\bar{A}=1$	جمع منطقی یک تابع با معکوس خودش
$A \cdot 1=A$	تأثیر عضو خنثی «یک» در ضرب منطقی
$A \cdot 0=0$	تأثیر «صفر» منطقی در عمل ضرب منطقی
$A \cdot A=A$	ضرب یک تابع در خودش
$A \cdot \bar{A}=0$	ضرب یک تابع در معکوس خودش
$A \cdot (B+C) = AB+AC$	ضرب یک تابع در پرانتز
$A+(BC) = (A+B) \cdot (A+C)$	جمع یک تابع با پرانتز

۳-۲- قوانین دمورگان (Demorgan)

۳-۲-۱- طبق قانون اول دمورگان اگر پرانتزی که عمل جمع منطقی (OR) در آن صورت می‌گیرد را NOT کنیم، عمل جمع منطقی (OR) به ضرب منطقی (AND) تبدیل می‌شود و علامت NOT روی تک تک عناصر عبارت قرار می‌گیرد.

$$\overline{(A+B)} = \bar{A} \cdot \bar{B}$$

مثال ۳-۱: با استفاده از قانون اول دمورگان معادل عبارت $C+D+E$ را بنویسید.
حل: $\overline{(C+D+E)} = \bar{C} \cdot \bar{D} \cdot \bar{E}$



تمرین کلاسی ۳-۱۱: معادل عبارت $\overline{A+B+C+D}$ را بنویسید.

۳-۲-۲- قانون دوم دمورگان نشان می‌دهد، اگر NOT روی یک عبارتی که عمل ضرب منطقی دارد، قرار بگیرد، ضرب منطقی به جمع منطقی تبدیل می‌شود و علامت NOT روی تک تک عناصر مربوط به آن عبارت قرار می‌گیرد.

$$\overline{A \cdot B} = \bar{A} + \bar{B}$$

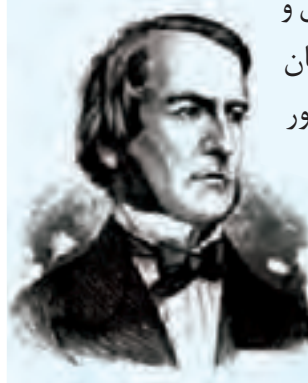
از قوانین دمورگان در ساده‌سازی عبارت‌های منطقی استفاده می‌شود.

مثال ۳-۲: با استفاده از قانون دوم دمورگان معادل عبارت $C \cdot D \cdot E$ را بنویسید.
حل: $\overline{C \cdot D \cdot E} = \bar{C} + \bar{D} + \bar{E}$

مثال ۳-۳: با استفاده از قوانین دمورگان معادل عبارت $\overline{(A+B)(C+D)}$ را بنویسید.
حل:

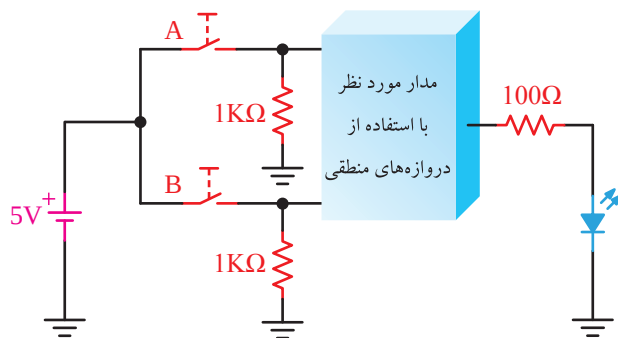
$$\overline{(A+B)(C+D)} = \overline{(A \cdot B)(C+D)} = \bar{A} \cdot \bar{B} \cdot (\bar{C} + \bar{D}) = \bar{A} \bar{B} \bar{C} + \bar{A} \bar{B} \bar{D}$$

جورج بول ۱۸۶۴-۱۸۱۵



جورج بول از پدری کفاش و مادری خدمتکار در انگلستان به دنیا آمد. به منظور حمایت از خانواده به دلیل مشکلات مالی، خیلی زود تحصیلات ابتدایی را به اتمام رساند. در سال‌های جوانی از طریق

معلمی امرار معاش می‌کرد و در سال ۱۸۳۴ مدرسه‌ای را بنیان گذاشت. به تنهایی مطالعات ریاضیات پیشرفته را دنبال کرد و به واسطه انتشار مقالاتی در این زمینه به شهرت جهانی دست یافت. اولین مدال طلای ریاضیات را از انجمن سلطنتی لندن در سال ۱۸۴۴ دریافت کرد و به‌عنوان اولین پرفسور ریاضیات در کالج کوئین منصوب شد. او هم‌چنین لقب پدر منطق نمادین و بنیانگذار ریاضیات محض را از آن خود ساخت.



شکل ۳-۱۲ مدار الکتریکی مربوط به مثال ۳-۴

حل:

مرحله (۱) تنظیم جدول اولیه
به جای مطرح کردن بندهای الف تا ث می‌توانیم
صورت مثال را به شکل جدول ۳-۲ بیان کنیم.



نکته: در ضمن، به یاد داشته باشید که اگر خروجی مدار در وضعیت یک منطقی قرار گیرد، دیود نوردهنده روشن و اگر در وضعیت صفر منطقی قرار گیرد، دیود خاموش می‌شود.

جدول ۳-۲ جدول مربوط به مثال ۳-۴

وضعیت کلید A	وضعیت کلید B	وضعیت دیود نور دهنده
باز	باز	روشن
باز	بسته	روشن
بسته	باز	خاموش
بسته	بسته	روشن

مرحله (۲) تنظیم جدول صحت

اگر روشن بودن دیود نوردهنده (LED) را یک منطقی و خاموش بودن آن را صفر در نظر بگیریم و همچنین باز بودن کلید را صفر منطقی و بسته بودن آن را یک منطقی منظور کنیم، جدول ۳-۳ به صورت زیر درمی‌آید.



تمرین کلاسی ۳-۱۲: با استفاده از قانون دوم دمورگان معادل عبارت $\overline{ABCD}$ را بنویسید.

آگوستوس دمورگان

(۱۸۷۱-۱۸۰۶)



دانشمندی
انگلیسی‌الصل، متولد
هندوستان و نویسنده
مقاله مشهور
«نظریه احتمالات» در
دائرةالمعارف متروپولیتن
(۱۸۴۵) است. در این مقاله او به تحلیل تئوری
تحلیلی و لاپلاس پرداخته است.
شهرت وی عمدتاً به دلیل قوانین دمورگان در
احتمالات است.

مثال ۳-۴: می‌خواهیم یک مدار را مطابق شکل ۳-۱۲ با استفاده از دروازه‌های منطقی طراحی کنیم که دارای مشخصات زیر باشد:
الف) دو کلید ورودی و یک مقاومت خروجی متصل به یک دیود نوردهنده (LED) داشته باشد.
ب) اگر هر دو کلید A و B باز باشند ($A=0$ و $B=0$) دیود نوردهنده (LED) روشن شود.
پ) اگر کلید A باز و کلید B بسته باشد ($A=0$ و $B=1$)، دیود نوردهنده (LED) روشن شود.
ت) اگر کلید A بسته و کلید B باز باشد ($A=1$ و $B=0$) دیود نوردهنده (LED) خاموش باشد.
ث) اگر هر دو کلید A و B بسته باشند ($A=1$ و $B=1$) دیود نوردهنده (LED) روشن شود.

جدول ۳-۳- جدول صحت مربوط به مثال ۳-۴

ورودی‌ها		خروجی
A	B	Y
۰	۰	۱
۰	۱	۱
۱	۰	۰
۱	۱	۱

نکته: توجه کنید که هیچ‌گاه هر سه جمله به‌طور هم‌زمان نمی‌توانند برابر یک شوند، بلکه در هر لحظه به ازای یک عبارت ورودی فقط و فقط یک خروجی خواهیم داشت. چرا؟ توضیح دهید.

مجدداً به‌صورت مثال ۳-۴ و بندهای الف تا ث توجه کنید.

زمانی که $A=0$ و $B=0$ (هر دو کلید باز) است، دیود نور دهنده (LED) باید روشن شود ($Y=1$). پس این مطلب را به‌صورت $\bar{A}.\bar{B}$ می‌نویسیم، بنابراین اگر $A=0$ باشد، $\bar{A}=1$ و اگر $B=0$ باشد، $\bar{B}=1$ می‌شود. لذا $\bar{A}\bar{B}=1$ است. اگر «یک» منطقی در «یک» منطقی ضرب شود حاصل مساوی یک می‌شود.

زمانی که $A=0$ و $B=1$ (کلید A باز و B بسته) است دیود نور دهنده (LED) باید روشن شود ($Y=1$). پس باید این را به‌صورت $\bar{A}B$ نوشت، یعنی اگر $A=0$ باشد، $\bar{A}=1$ می‌شود. بنابراین، $(\bar{A}B=1)$ است.

زمانی که $A=1$ و $B=1$ (هر دو کلید بسته باشند) دیود نوردهنده (LED) باید روشن شود ($Y=1$). پس باید مطلب را به‌صورت AB بنویسیم.

چون دیود نوردهنده (LED) باید در سه حالت روشن شود و در هر لحظه فقط یکی از حالت‌ها اتفاق می‌افتد. طبق جدول صحت، که دارای سه حالت روشن و یک حالت خاموش است، باید این سه حالت یعنی حالت‌هایی را که باید $Y=1$ شود با یکدیگر OR کنیم، بدین ترتیب هنگامی که یکی از ورودی‌های OR یک شود، خروجی آن نیز یک می‌شود.

با حل این مثال توانستیم مثال ۳-۴ را به‌صورت یک رابطه جبری بیان کنیم. در این عبارت جبری، هر متغیر فقط دو مقدار (صفر یا یک منطقی) را به خود اختصاص می‌دهد. ریاضیات حاکم بر این نوع روابط

مرحله (۳) تعیین عبارت‌های خروجی مربوط به هر ردیف جدول صحت

جدول صحت ۳-۳ را می‌توان به‌صورت یک عبارت جبری نوشت. هر جایی که در جدول خروجی یک عبارت مربوط به وضعیت ورودی‌ها را می‌نویسیم. در ستون مربوط به ورودی‌ها، هر جا که ورودی صفر است معکوس ورودی را می‌نویسیم و هر جا که ورودی یک است خود ورودی را قرار می‌دهیم. جدول ۳-۴ صحت عبارت‌های منطقی مثال ۳-۴ را نشان می‌دهد.

جدول ۳-۴- جدول صحت مثال ۳-۴

ورودی‌ها		خروجی	
A	B	Y	
$\bar{A}$	$\bar{B}$	1	$\bar{A}.\bar{B}=1$
$\bar{A}$	B	1	$\bar{A}.B=1$
A	$\bar{B}$	0	
A	B	1	$A.B=1$

$$Y = \bar{A}.\bar{B} + \bar{A}.B + A.B$$

مرحله (۴) به‌دست آوردن رابطه خروجی از حاصل جمع عبارت‌های خروجی جدول که حاصل آن یک است، عبارت خروجی اصلی یا Y به‌دست می‌آید.

مرحله (۵) تشریح مراحل

$$Y = \bar{A}.\bar{B} + \bar{A}.B + A.B$$

مفهوم عبارت (۱) این است که زمانی $Y=1$ می‌شود که $\bar{A}\bar{B}=1$ یا $\bar{A}B=1$ یا $AB=1$ شود در غیر این صورت، $Y=0$ خواهد بود.

همان جبر بول است.

در نهایت برای این که مدار را به صورت کامل درآوریم، باید در مسیر ورودی‌های مدار یک کلید قرار دهیم و توسط یک مقاومت مناسب مسیر کلید را به زمین اتصال دهیم.

در خروجی مدار با فرض شرایط مطلوب یک مقاومت ۱۰۰ اهم را با یک LED سری کرده‌ایم و آن را به زمین اتصال داده‌ایم.

شکل ۳-۱۴ مدار کامل را نشان می‌دهد.

مرحله (۶) ساده کردن تابع خروجی

طبق قوانینی که در جبر بول آموختیم، رابطه خروجی مدار را مورد بررسی قرار می‌دهیم و ساده می‌کنیم.

$$Y = \overline{A}\overline{B} + \overline{A}B + AB$$

با توجه به توزیع پذیری می‌توانیم از متغیر مشترک در جمله‌ها فاکتورگیری کنیم.

$$Y = \overline{A}(\overline{B} + B) + AB$$

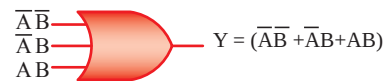
از $\overline{A}$ جمله اول و دوم فاکتور می‌گیریم و در پرانتز به عبارت $\overline{B} + B$ می‌رسیم، طبق یکی از قوانین جبر بول حاصل $\overline{B} + B = 1$ می‌شود بنابراین این تابع را ساده می‌کنیم.

$$Y = \overline{A}(1) + AB$$

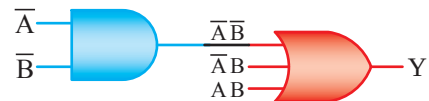
مرحله (۶) طراحی مدار با استفاده از گیت‌های منطقی طراحی مدار موردنظر را مطابق شکل ۳-۱۳ مرحله به مرحله بررسی می‌کنیم. چون تابع اصلی به صورت زیر است:

$$Y = \overline{A}\overline{B} + \overline{A}B + AB$$

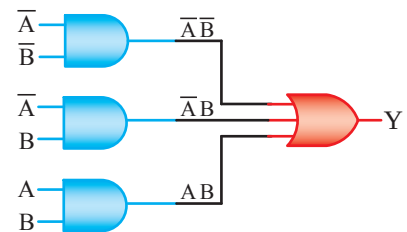
مدار اصلی، مشابه شکل ۳-۱۳ الف خواهد شد زیرا سه تابع $\overline{A}\overline{B}$ و $\overline{A}B$ و AB باید با هم جمع شوند.



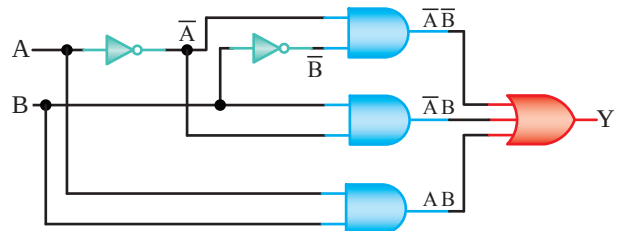
الف) اختصاص یک گیت OR به تابع اصلی



ب) اجرای تابع $\overline{A}\overline{B}$ با گیت AND

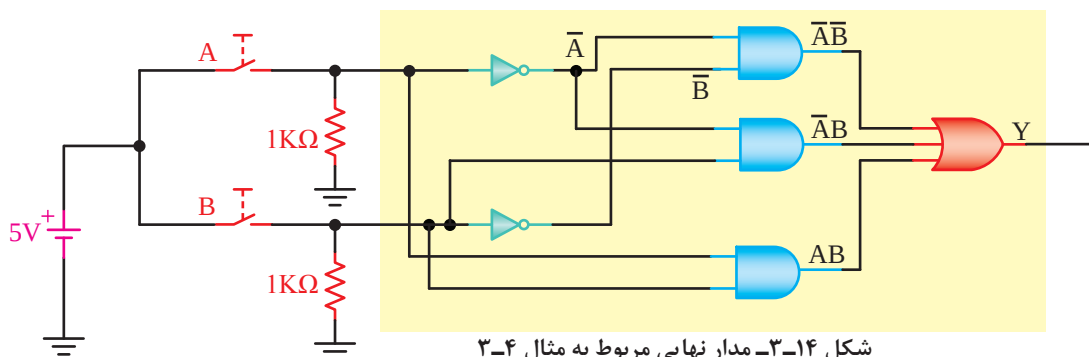


پ) اجرای سایر توابع توسط گیت‌های مربوط به آنها



ت) استفاده از گیت NOT برای نفي متغيرها

شکل ۳-۱۳ - مراحل طراحی مدار مثال ۳-۴



شکل ۳-۱۴ - مدار نهایی مربوط به مثال ۳-۴

با مقایسه شکل‌های ۳-۱۴ و ۳-۱۵ به ویژگی‌های قوانین جبر بول پی‌می‌بریم. در شکل ۳-۱۴ باید از ۶ دروازه منطقی برای طراحی مدار استفاده کنیم در صورتی که در مدار شکل ۳-۱۵ فقط دو دروازه منطقی به کار رفته است.

به عبارت دیگر به جای ۶ گیت پیچیده فقط از دو گیت منطقی ساده استفاده کرده‌ایم که این امر باعث کاهش توان مصرفی مدار و صرفه‌جویی در تعداد گیت‌ها می‌شود.

مثال ۳-۵: عبارت‌های جبر بول جدول صحت ۳-۵ را بنویسید.

جدول ۳-۵- جدول مربوط به مثال ۳-۵

A	B	Y
۰	۰	۱
۰	۱	۱
۱	۰	۰
۱	۱	۰

پاسخ: مرحله ۱ نوشتن توابع هر دوردیف جدول که خروجی آن یک است.

جدول ۳-۶- پاسخ مثال ۳-۵

A	B	Y
0	0	1
0	1	1
1	0	0
1	1	0

همان‌طور که از جدول صحت پیداست، خروجی Y زمانی در وضعیت یک منطقی قرار می‌گیرد که $\bar{A}\bar{B}=1$ یا $\bar{A}B=1$ شود.

مرحله ۲ نوشتن تابع خروجی رابطه Y (خروجی مدار) از حاصل جمع سطرهایی که خروجی آن «یک» است به دست می‌آید. پس می‌توان

تمرین کلاسی ۳-۱۳: $\bar{B} + B = 1$ کدام قانون است آن را تعریف کنید.

قانون دیگر جبر بول می‌گویید که اگر عبارتی در «یک» منطقی ضرب (AND) شود حاصل خود عبارت خواهد شد. از این قانون نیز برای ساده سازی استفاده می‌کنیم.

$$Y = (\bar{A})(1) + AB$$

و چون $\bar{A} \times 1 = \bar{A}$ است پس می‌توان نوشت:

$$Y = \bar{A} + AB$$

طبق قانون دیگری در جبر بول داریم که اگر تابعی با یک تابع حاصل ضرب جمع شود. تابع در هر یک از توابع مربوط به حاصل ضرب جمع می‌شود پس می‌توانیم بنویسیم:

$$Y = \bar{A} + AB = (\bar{A} + A).(\bar{A} + B)$$

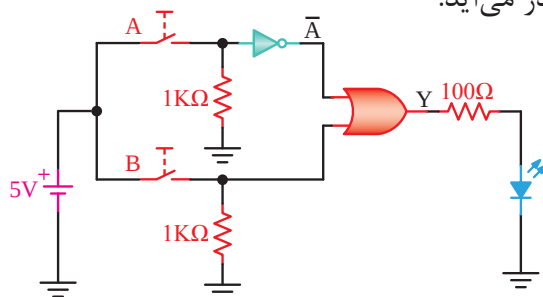
براساس قانون $\bar{A} + A = 1$ پرانتز اول یک خواهد شد. لذا تابع به صورت زیر درمی‌آید:

$$Y = 1.(\bar{A} + B)$$

طبق قانون حاصل ضرب با عضو خنثی (یک) در یک تابع داریم:

$$Y = \bar{A} + B$$

همان‌طور که ملاحظه می‌شود، حاصل به دست آمده برای رابطه خروجی بسیار ساده است، حال اگر برای این رابطه مداری طراحی کنیم مدار به صورت شکل ۳-۱۵ در می‌آید.



شکل ۳-۱۵- مدار مربوط به ساده سازی مدار مثال ۳-۴

رابطه خروجی را به صورت زیر نوشت:

$$Y = \overline{A}\overline{B} + \overline{A}B$$



تمرین کلاسی ۳-۱۵: رابطه مثال ۳-۷ را با کدام دروازه منطقی می توان طراحی کرد؟



نکته: به ستون های ورودی توجه کنید ردیف اول صفر باینری، ردیف دوم یک باینری، ردیف سوم دو باینری و ردیف چهارم سه باینری را نشان می دهد. از این الگو برای تمامی جدول ها استفاده کنید.



تمرین کلاسی ۳-۱۴: براساس رابطه خروجی مثال ۳-۵ مداری طراحی کنید: سپس رابطه خروجی را ساده کنید و مدار دیگری بر اساس رابطه ساده شده عبارت خروجی رسم کنید، این دو مدار را با هم مقایسه کنید.

مثال ۳-۶: درباره عبارت جبر بول زیر اظهار نظر کنید.

$$Y = \overline{A}\overline{B} + \overline{A}B$$

پاسخ: رابطه فوق سیستمی را نشان می دهد که دارای دو متغیر ورودی (A و B) و یک متغیر خروجی (Y) است. متغیر خروجی زمانی در وضعیت یک منطقی قرار می گیرد که $B=0$ و $A=1$ باشد یا $A=1$ و $B=1$ شود. در غیر این صورت، خروجی آن در وضعیت صفر منطقی قرار می گیرد.

مثال ۳-۷: جدول صحت رابطه $Y = \overline{A}\overline{B} + \overline{A}B$ را رسم کنید.

پاسخ: چون این سیستم دارای دو متغیر است، پس چهار حالت مختلف وجود دارد و خروجی زمانی که $B=0$ و $A=1$ یا $B=1$ و $A=0$ است، در وضعیت یک منطقی قرار می گیرد. بنابراین می توانیم براساس حالات فوق جدول صحت ۳-۷ را بنویسیم.

جدول ۳-۷ جدول مربوط به مثال ۳-۷

A	B	Y
0	0	0
0	1	1
1	0	1
1	1	0

در سایر حالت ها خروجی در وضعیت صفر منطقی قرار می گیرد.

برای ساده کردن رابطه خروجی مثال ۳-۸ مراحل زیر را انجام می دهیم:

ابتدا هر یک از جمله ها را شماره گذاری می کنیم.

$$Y = \overline{A}\overline{B}\overline{C} + \overline{A}\overline{B}C + \overline{A}B\overline{C} + \overline{A}BC + A\overline{B}\overline{C}$$

۱ ۲ ۳ ۴ ۵

از جمله های ۱ و ۳ از $\overline{B}\overline{C}$ آن ها و از جمله های ۴ و ۵ از AC آن ها فاکتورگیری می کنیم، هم چنین می توان در جمله های ۲ و ۵ از BC آن ها فاکتور بگیریم.

$$Y = \underbrace{\overline{B}\overline{C}(\overline{A} + A)}_{\text{۱ و ۳}} + \underbrace{AC(\overline{B} + B)}_{\text{۴ و ۵}} + \underbrace{BC(\overline{A} + A)}_{\text{۲ و ۵}}$$



نکته: یک جمله می تواند چند بار در فاکتورگیری شرکت داشته باشد. زیرا هر تابع که با خودش جمع شود خود تابع خواهد بود، بنابراین تکرار توابع تأثیری در نتایج ندارد.

داخل تمام پرانتزها طبق جبربول برابر یک می شود و نتیجه ضرب (AND) آنها در عبارت قبل از پرانتز مساوی با خود عبارت خواهد شد.

$$Y = \overline{B}\overline{C} + AC + BC$$

بار دیگر نیز می توانیم مدار را ساده تر کنیم در رابطه جدید مجدداً هر یک از جمله ها را شماره گذاری می کنیم.

$$Y = \overline{B}\overline{C} + AC + BC$$

۱ ۲ ۳

جمله های ۱ و ۳ با هم رابطه دروازه منطقی XNOR را دارد.

در نتیجه داریم:

$$Y = AC + (\overline{B} \oplus \overline{C})$$

یادآوری: رابطه گیت XNOR برای ورودی B و C به صورت مقابل است:

$$Y = \overline{B \oplus C} = \overline{B}\overline{C} + BC$$

زمانی در وضعیت یک منطقی قرار می گیرد که $A=0$ و $C=0$ و $B=0$ یا $A=1$ و $C=1$ و $B=1$ باشد. جدول صحت فوق را مجدداً رسم می کنیم و رابطه مربوط به هر ردیف که خروجی آن یک است را می نویسیم.

جدول ۳-۹- جدول پاسخ مثال ۳-۸

A	B	C	Y	
0	0	0	1	$\overline{A}\cdot\overline{B}\cdot\overline{C}$
0	0	1	0	
0	1	0	0	
0	1	1	1	$\overline{A}\cdot B\cdot C$
1	0	0	1	$A\cdot\overline{B}\cdot\overline{C}$
1	0	1	1	$A\cdot\overline{B}\cdot C$
1	1	0	0	
1	1	1	1	$A\cdot B\cdot C$

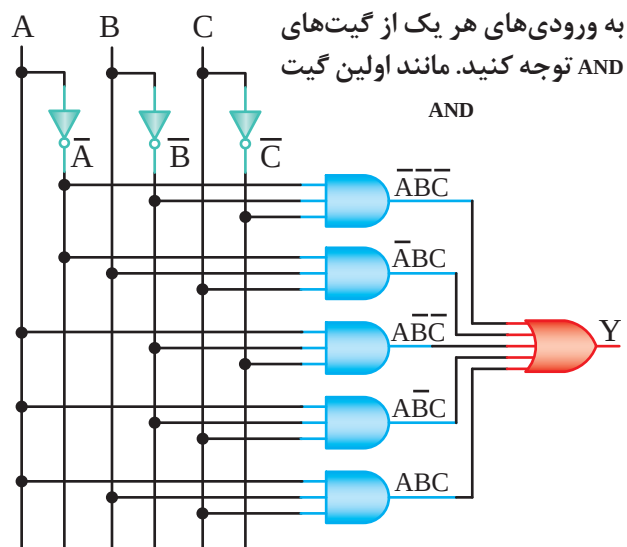
مرحله ۲ با توجه به رابطه خروجی هایی که تعداد آنها یک است تابع خروجی را به صورت حاصل جمع می نویسیم.

$$Y = \overline{A}\overline{B}\overline{C} + \overline{A}\overline{B}C + \overline{A}B\overline{C} + \overline{A}BC + ABC$$

مرحله ۳ طراحی مدار

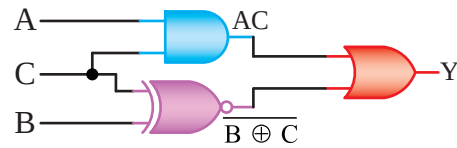
چون خروجی در پنج حالت یک شده است، پس رابطه آن شامل پنج عبارت می شود. مداری که تابع بالا را اجرا می کند در شکل ۳-۱۶ دیده می شود.

به ورودی های هر یک از گیت های AND توجه کنید. مانند اولین گیت



شکل ۳-۱۶- مدار منطقی مربوط به مثال ۳-۸

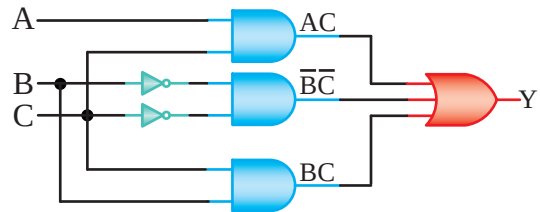
در شکل ۳-۱۷ مدار این رابطه را مشاهده می کنید.



شکل ۳-۱۷ مدار ساده شده مثال ۳-۸

با مقایسه مدارها در شکل ۳-۱۶ و ۳-۱۷ در می یابیم که در مدار شکل ۳-۱۶ از ۹ دروازه منطقی استفاده شده در صورتی که در مدار شکل ۳-۱۷ سه دروازه منطقی به کار رفته است.

اگر مدار رابطه $Y = \overline{B}C + AC + BC$ را قبل از ساده شدن طراحی کنیم، مدار شکل ۳-۱۸ را خواهیم داشت، در این مدار به جای ۹ دروازه منطقی از ۶ دروازه منطقی استفاده شده است.



شکل ۳-۱۸ مدار مثال ۳-۸



تمرین کلاسی ۳-۱۶: آیا می توانید رابطه خروجی

مدار ۳-۱۸ را بنویسید؟



تمرین کلاسی ۳-۱۷: چگونه از رابطه جدول اصلی

به رابطه شکل ۳-۱۸ رسیده ایم؟ با توجه به مراحل اجرای درس، شرح دهید.

۳-۳- ساده سازی توابع جبر بول

۳-۳-۱- اصول ساده سازی توابع جبر بول: ساده سازی

توابع جبر بول، براساس فاکتورگیری از متغیرهای مشترک توابع و حذف تدریجی متغیرهاست. در این قسمت برای درک بهتر مفاهیم توابع جبر بول با توجه به روابط و مدل ریاضی آن مورد بررسی قرار می دهیم.

به مثال ۳-۹ توجه کنید.

مثال ۳-۹: تابع $Y = \overline{A}\overline{B} + \overline{A}B$ را ساده کنید.

چون $\overline{B}$ در هر دو جمله ظاهر شده است، از $\overline{B}$ فاکتور می گیریم (طبق قانون توزیع پذیری بول)

$$Y = \overline{A}\overline{B} + \overline{A}B = \overline{B}(A + \overline{A})$$

از طرفی طبق قانون جمع یک عبارت با معکوس خودش:

$$A + \overline{A} = 1$$

$$Y = \overline{B}.1$$

طبق قانون ضرب یک تابع در یک منطقی می توانیم بنویسیم:

$$Y = \overline{B}$$

مثال ۳-۱۰: تابع $Y = \overline{A}B + \overline{A}B + AB$ را ساده کنید.

$$Y = \overline{A}B + \overline{A}B + AB = \overline{A}B + B(\overline{A} + A) = B + \overline{A}B$$

از طرفی براساس قانون جمع یک عبارت با معکوس خودش و ضرب یک تابع در یک منطقی

$$Y = (B + A)(B + \overline{B}) = (B + A)(1) = A + B$$

مثال ۳-۱۱: تابع

$Y = \overline{A}\overline{B}C + \overline{A}B\overline{C} + A\overline{B}C + ABC + \overline{A}BC$ را ساده کنید.

$$Y = \overline{A}\overline{B}C + \overline{A}B\overline{C} + \overline{A}BC + ABC + A\overline{B}C$$

جمله اول	جمله دوم	جمله سوم	جمله چهارم	جمله پنجم
-------------	-------------	-------------	---------------	--------------

تابع را شماره گذاری می کنیم.

از عوامل مشترک فاکتورگیری می کنیم.

$$Y = \overline{A}B(\overline{C} + C) + \overline{A}B(\overline{C} + C) + A\overline{B}C$$

از جمله اول و دوم	از جمله سوم و چهارم
----------------------	------------------------

عبارت‌های داخل پرانتز طبق قانون جمع یک عبارت با معکوس خودش یک می‌شود.

$$Y = \overline{A}\overline{B} + AB + A\overline{B}C$$

$$Y = \overline{A}\overline{B} + \underline{(AB + A\overline{B})}(AB + C)$$

طبق قانون جمع منطقی
یک عبارت با پرانتز

$$= \overline{A}\overline{B} + \left[A(\overline{B} + B) \right] (AB + C)$$

$$Y = \overline{A}\overline{B} + A(AB + C) = \overline{A}\overline{B} + \underline{AAB} + AC$$

طبق قانون ضرب یک
عبارت در خودش
طبق قانون توزیع پذیری
OR در AND

$$= \overline{A}\overline{B} + AB + AC$$

مثال ۳-۱۲: تابع

$$Y = \overline{A}\overline{B}C + \overline{A}B\overline{C} + \overline{A}B\overline{C} + \overline{A}B\overline{C} + \overline{A}B\overline{C} + \overline{A}B\overline{C}$$

را ساده کنید.

$$Y = \overline{A}\overline{B}C + \overline{A}B\overline{C} + \overline{A}B\overline{C} + \overline{A}B\overline{C} + \overline{A}B\overline{C} + \overline{A}B\overline{C}$$

ابتدا تابع را شماره گذاری می‌کنیم.

از عوامل مشترک فاکتورگیری می‌کنیم.

$$Y = \overline{B}C(\overline{A} + A) + \overline{A}\overline{B}(\overline{C} + C) + A\overline{B}(C + \overline{C})$$

از جمله‌های ۴ و ۶ از جمله‌های ۳ و ۵ از جمله‌های ۱ و ۲

مقادیر $A + \overline{A}$ و $C + \overline{C}$ را برابر یک در نظر می‌گیریم و رابطه را ساده می‌کنیم.

$$Y = \overline{B}C + \overline{A}\overline{B} + A\overline{B}$$

مجدداً تابع را شماره گذاری می‌کنیم.

$$Y = \overline{B}C + \overline{A}\overline{B} + A\overline{B}$$

از جملات ۲ و ۳ فاکتورگیری می‌کنیم.

$$Y = \overline{B}C + \overline{B}(\overline{A} + A) = \overline{B}C + \overline{B}$$

از جمله ۲ و ۳

مطابق قانون توزیع پذیری AND در OR خواهیم داشت:

$$Y = (B + \overline{B})(\overline{B} + C)$$

مقدار $B + \overline{B} = 1$ است پس می‌توانیم بنویسیم:

$$Y = \overline{B} + C$$

با توجه به مثال‌های ۳-۹ تا ۳-۱۲ در می‌یابیم که ساده‌سازی توابع به صورت فاکتورگیری‌های متعدد و حذف متغیرها صورت می‌پذیرد.

البته در بسیاری از موارد ممکن است فقط قسمتی از تابع ساده شود یا تابع اصلاً ساده نشود.

مثال ۳-۱۳: تابع $Y = \overline{A}\overline{B}C + \overline{A}B\overline{C} + A\overline{B}C$ را ساده کنید.

$$Y = \overline{A}\overline{B}C + \overline{A}B\overline{C} + A\overline{B}C$$

ابتدا جملات را شماره گذاری می‌کنیم. از عوامل مشترک فاکتورگیری می‌کنیم و عبارات مساوی یک را حذف می‌کنیم.

$$Y = \overline{B}C(\overline{A} + A) + A\overline{B}C = \overline{B}C + A\overline{B}C$$

$$Y = \overline{B}C + A\overline{B}C$$

مثال ۳-۱۴: تابع $Y = \overline{A}\overline{B}C + \overline{A}B\overline{C} + A\overline{B}C$ را ساده کنید.

این تابع ساده نمی‌شود؛ زیرا از هیچ کدام از جمله‌های آن نمی‌توانیم فاکتور بگیریم.

۲-۳-۳- فرم استاندارد توابع بول: یک تابع بول را در صورتی فرم استاندارد بول می‌گویند که در هر جمله آن همه متغیرها از جمله خود متغیر یا NOT آن ظاهر شده باشد.

برای مثال، تابع

$$Y = \overline{A}BC + \overline{A}B\overline{C} + \overline{A}\overline{B}C + A\overline{B}C + A\overline{B}\overline{C}$$

یک تابع استاندارد بول است؛ زیرا در همه جملات آن هر سه متغیر A، B و C به صورت متغیر اصلی یا NOT شده ظاهر شده‌اند.

تابع $Y = \overline{A}BC + \overline{A}B\overline{C} + \overline{A}\overline{B}C + A\overline{B}C + A\overline{B}\overline{C}$ یک تابع استاندارد بول نیست؛ زیرا در جمله چهارم آن متغیر A یا NOT آن ظاهر نشده است. با استفاده از قوانین

جمله‌های اول و پنجم یکی هستند. طبق قانون جبر بول ($A+A=A$) می‌توانیم به جای $ABC+ABC$ فقط ABC را بنویسیم.

$$Y = ABC + ABC + \bar{A}\bar{B}C + \bar{A}B\bar{C} + \bar{A}BC$$



نکته: برای ساده‌سازی توابع غیر استاندارد، ابتدا باید آنها را به فرم استاندارد در آورید و سپس ساده کنید.

مثال ۱۶-۳: تابع $\bar{A}\bar{B} + \bar{A}C + BC$ را ساده کنید. ابتدا تابع را به فرم استاندارد درمی‌آوریم:

$$Y = \bar{A}\bar{B}(C + \bar{C}) + \bar{A}C(B + \bar{B}) + BC(A + \bar{A})$$

$$Y = \bar{A}\bar{B}C + \bar{A}\bar{B}\bar{C} + \bar{A}BC + \bar{A}\bar{B}C + ABC + \bar{A}BC$$

جمله‌های سوم و ششم و جمله‌های اول و چهارم تکراری است. پس طبق قانون جبر بول یکی از آنها را حذف می‌کنیم.

$$Y = \bar{A}\bar{B}C + \bar{A}\bar{B}\bar{C} + \bar{A}BC + ABC$$

$$Y = \bar{A}\bar{B}(C + \bar{C}) + BC(\bar{A} + A) = \bar{A}\bar{B} + BC$$



تمرین کلاسی ۱۸-۳: عبارت‌های زیر را با استفاده از فرم استاندارد ساده کنید.

الف) $F = AB + \bar{B}C$

ب) $F = \bar{A}\bar{B} + AC + BC$

۳-۳-۳- تعریف عبارت منطقی حاصل ضرب: متغیرها یا مکمل‌های آنها را که با عمل ضرب به هم مربوط می‌شوند، را یک جمله حاصل ضرب می‌گوییم. نمونه‌هایی از جمله حاصل ضرب به شرح زیر است:

$$Y_1 = ABC \text{ یا } Y_2 = \bar{A}BC \text{ یا } Y_3 = \bar{A}\bar{B}\bar{C}\bar{D}, \dots$$

۴-۳-۳- تعریف عبارت منطقی مجموع: متغیرها یا مکمل‌های آنها را که با عمل جمع به هم مربوط

جبر بول برای استاندارد کردن جمله چهارم کافی است به صورت زیر عمل کنیم و هر یک از عباراتی را که در تابع وجود ندارد در یک ضرب کنیم و به جای یک تابع $(\bar{A} + A)$ یا $(\bar{B} + B)$ یا $(\bar{C} + C)$ را قرار دهیم.

$$\bar{B}C = \bar{B}C(A + \bar{A}) = \bar{A}\bar{B}C + \bar{A}BC$$

در این قسمت برای استاندارد کردن تابع، عکس ساده سازی عمل کرده‌ایم. لذا در تابع اصلی به جای $\bar{B}C$ ، معادل منطقی آن یعنی $\bar{A}\bar{B}C + \bar{A}BC$ را قرار می‌دهیم.

$$Y = \bar{A}\bar{B}C + \bar{A}\bar{B}\bar{C} + ABC + \bar{A}\bar{B}C + \bar{A}BC$$

به‌طور کلی برای استانداردسازی توابع بول نکات زیر را رعایت می‌کنیم.



نکته

- ۱- در تمام جملات باید همه متغیرها یا NOT آنها وجود داشته باشد.
- ۲- در هر یک از جملات به ترتیب از متغیر با ارزش تا متغیر کم ارزش را قرار می‌دهیم.

مثال ۱۵-۳: تابع زیر را به‌صورت تابع استاندارد بول درآورید.

$$Y = A + BC$$

هریک از عباراتی را که در آن متغیر موردنظر وجود ندارد را در «یک» منطقی ضرب می‌کنیم سپس تابع را گسترش می‌دهیم.

$$Y = A.1 + BC.1 = A(B + \bar{B}) + BC(A + \bar{A})$$

$$Y = AB + A\bar{B} + ABC + \bar{A}BC$$

ضرب یک را ادامه می‌دهیم.

$$Y = AB.1 + A\bar{B}.1 + ABC + \bar{A}BC$$

$$Y = AB(C + \bar{C}) + A\bar{B}(C + \bar{C}) + ABC + \bar{A}BC$$

$$Y = \bar{A}BC + \bar{A}\bar{B}C + \bar{A}\bar{B}\bar{C} + \bar{A}BC + ABC + \bar{A}BC$$

خروجی تابع در سطرهای ۱، ۲، ۴ و ۷ یک است. رابطه خروجی را بنا به شماره سطرها چنین می‌نویسیم:

$$Y = \sum_m (m_1, m_2, m_4, m_7)$$

یا به این صورت نشان داد. $Y = \sum_m (1, 2, 4, 7)$

معنای این رابطه، یعنی خروجی تابعی از حاصل جمع سطرهای ۱، ۲، ۴ و ۷ است. علامت Σ (سیگما) به معنای حاصل جمع است.

مثال ۱۷-۳: تابع خروجی $Y = \sum_m (1, 3, 5, 6)$ را بنویسید.

حل: تابع خروجی در سطرهای ۱، ۳، ۵ و ۶ یک است.

$$Y = \overline{A}BC + A\overline{B}C + A\overline{B}\overline{C} + ABC$$

سطر ۶ سطر ۵ سطر ۳ سطر ۱



تمرین کلاسی ۱۹-۳: جدول صحت رابطه

$Y = \overline{A}BC + A\overline{B}C + ABC$ را رسم کنید و خروجی را به صورت ساده شده بنویسید.



تمرین کلاسی ۲۰-۳:

جدول صحت $Y = \sum_m (0, 1, 3, 4)$ را رسم کنید و رابطه خروجی را بنویسید.

۳-۳-۶ عبارت حاصل ضرب حاصل جمع‌ها

(Products of sums) یا ماکس ترم (maxterm):

اگر در هر عبارت حاصل ضرب مجموع‌ها به همان تعداد متغیری که در تابع وجود دارد، متغیرها یا مکمل‌های (NOT) آنها وجود داشته باشد، آن را ماکس ترم می‌گوییم. مثلاً عبارت Y یک عبارت ماکس ترم است که در آن:

$$Y = (\overline{A} + B + \overline{C})(A + \overline{B} + \overline{C})(A + \overline{B} + C)$$

معمولاً یک عبارت ماکس ترم را می‌توان به صورت زیر هم نشان داد.

می‌شوند را یک جمله مجموع می‌گوییم. نمونه‌هایی از جمله مجموع به شرح زیر است:

$$Y = A + B + \overline{C} + D + \dots$$

$$Y = \overline{A} + \overline{B} + C + \dots$$

از عبارت‌های منطقی حاصل ضرب و مجموع در مبحث مین ترم و ماکس ترم استفاده می‌کنیم که در ادامه به توضیح هریک از آنها می‌پردازیم.

۳-۳-۵ تعریف عبارت مجموع حاصل ضرب‌ها

(Sums of Products) یا مین ترم (minterm):

اگر در هر عبارت مجموع حاصل ضرب‌ها، به همان تعداد متغیری که در تابع وجود دارد، متغیرها یا مکمل‌های (NOT) آنها وجود داشته باشد، آن عبارت را مین ترم می‌گوییم. به طور مثال یکی از مین ترم‌های تابع Y با سه ورودی متغیر A ، B و C را می‌توان به شکل زیر نوشت:

$$Y = \overline{A}\overline{B}C + \overline{A}B\overline{C} + A\overline{B}\overline{C} + ABC$$

همان‌طور که ملاحظه می‌کنید در هریک از جملات تابع Y ، هر سه ورودی A ، B و C یا معکوس آنها وجود دارد. جدول ۱۰-۳ جدول صحت تابع خروجی Y با سه ورودی است.

در این جدول با توجه به تعداد ورودی‌ها هشت حالت داریم. هریک از سطرهای جدول را شماره‌گذاری می‌کنیم تا بتوانیم عبارت مین ترم را با توجه به آدرس سطرها نیز بنویسیم.

جدول ۱۰-۳ جدول صحت تابع Y با سه ورودی

شماره سطر جدول	ورودی‌ها			خروجی
	A	B	C	Y
0	0	0	0	0
1	0	0	1	1
2	0	1	0	1
3	0	1	1	0
4	1	0	0	1
5	1	0	1	0
6	1	1	0	0
7	1	1	1	1

$$\overline{A} \cdot \overline{B} \cdot C$$

$$\overline{A} \cdot B \cdot \overline{C}$$

$$A \cdot \overline{B} \cdot \overline{C}$$

$$A \cdot B \cdot C$$

همان‌طور که در رابطه خروجی مشاهده می‌کنید حاصل جمع تابع Y مجموع سطرهایی است که خروجی جواب صفر دارد.



و تابع مدار به صورت حاصل ضرب عبارت‌های حاصل جمع نوشته می‌شود و به صورت زیر در می‌آید.

$$Y = (A + \bar{B} + C)(A + \bar{B} + \bar{C})(\bar{A} + B + \bar{C})$$

مثال ۱۸-۳: رابطه خروجی $F = \Pi_M(M_0, M_1, M_3)$ را بنویسید.

حل: تابع خروجی را برای سطرهای ۰ و ۱ و ۳ به صورت ماکس ترم می‌نویسیم. خروجی در این سطرها صفر است.

$F = \Pi_M(M_0, M_1, M_3) = (A + B + C)(A + B + \bar{C})(A + \bar{B} + \bar{C})$
مجموعه عبارت حاصل ضرب‌ها و عبارت حاصل جمع‌های هر سطر برای یک جدول با سه ورودی در جدول ۱۲-۳ نشان داده شده است.

جدول ۱۲-۳: جدول حالات ورودی عبارت حاصل ضرب و حاصل جمع هر سطر

شماره سطر جدول	ورودی‌ها			عبارت حاصل ضرب	عبارت حاصل جمع
	A	B	C	حاصل ضرب	حاصل جمع
0	0	0	0	$\bar{A} \cdot \bar{B} \cdot \bar{C}$	$A + B + C$
1	0	0	1	$\bar{A} \cdot \bar{B} \cdot C$	$A + B + \bar{C}$
2	0	1	0	$\bar{A} \cdot B \cdot \bar{C}$	$A + \bar{B} + C$
3	0	1	1	$\bar{A} \cdot B \cdot C$	$A + \bar{B} + \bar{C}$
4	1	0	0	$A \cdot \bar{B} \cdot \bar{C}$	$\bar{A} + B + C$
5	1	0	1	$A \cdot \bar{B} \cdot C$	$\bar{A} + B + \bar{C}$
6	1	1	0	$A \cdot B \cdot \bar{C}$	$\bar{A} + \bar{B} + C$
7	1	1	1	$A \cdot B \cdot C$	$\bar{A} + \bar{B} + \bar{C}$

$$Y = \Pi_M(M_2, M_3, M_5)$$

یا

می‌خوانیم پی ام...

$$Y = \Pi_M(2, 3, 5)$$

معنای این رابطه، یعنی خروجی، تابعی از حاصل ضرب حاصل جمع متغیرهای سطرهای ۲، ۳ و ۵ جدول صحت سه متغیره است.

علامت Π_M معرف حاصل ضرب ماکس ترم‌ها است و سطرهای داخل پرانتز جایی است که خروجی تابع، جواب صفر دارد.

برای ایجاد حاصل جمع هر سطر معین جدول، قاعده‌ای کاملاً معکوس روش مین ترم استفاده می‌شود.

به این ترتیب که برای محاسبه حاصل جمع هر سطر مشخص جدول، کلیه متغیرهای ورودی در آن سطر به صورت حاصل جمع در جمله ظاهر می‌شوند.

اگر مقدار متغیر در آن سطر «۰» باشد، به صورت خود متغیر و اگر مقدار متغیر در آن سطر «۱» باشد، به صورت متمم متغیر ظاهر می‌شود.

به عنوان مثال جدول صحت مربوط به رابطه ماکس ترم Y را در جدول ۱۱-۳ مشاهده می‌کنید.

$$Y = \Pi_M(2, 3, 5)$$

جدول ۱۱-۳: جدول صحت خروجی ماکس ترم Y

شماره سطر جدول	ورودی‌ها			خروجی
	A	B	C	Y
0	0	0	0	1
1	0	0	1	1
2	0	1	0	0
3	0	1	1	0
4	1	0	0	1
5	1	0	1	0
6	1	1	0	1
7	1	1	1	1

$$Y = \underbrace{(A + \bar{B} + C)}_2 \underbrace{(A + \bar{B} + \bar{C})}_3 \underbrace{(\bar{A} + B + \bar{C})}_5$$

جدول ۳-۱۳- جدول صحت تمرین کلاسی ۳-۲۲

ورودی‌ها			خروجی
A	B	C	Y
۰	۰	۰	۰
۰	۰	۱	۱
۰	۱	۰	۰
۰	۱	۱	۰
۱	۰	۰	۱
۱	۰	۱	۱
۱	۱	۰	۰
۱	۱	۱	۱

با توجه به قواعدی که در بالا ذکر شده است به راحتی می‌توان برای هر جدولی از مدارهای منطقی یک تابع منطقی نوشت اگر تابع منطقی بر اساس مقادیر «۱» برای خروجی نوشته شود باید به صورت عبارت حاصل جمع حاصل ضرب‌ها نوشته شود، و اگر جمله‌ها بر اساس مقادیر «۰» خروجی نوشته شود، باید به صورت عبارت حاصل ضرب حاصل جمع‌ها باشد.



تمرین کلاسی ۳-۲۱: جدول صحت

$Y = \Pi_M(1,3,6)$ را رسم کنید و رابطه خروجی را

بنویسید.



جهت هنجاریان علاقه‌مند: رابطه خروجی

تابع به صورت $Y = \overline{ABC} + \overline{ABC} + ABC$ است. رابطه ماکس ترم این خروجی را بنویسید.



نکته:

۱- در نوشتن مین ترم هر جدول باید جواب یک خروجی بررسی شود و به جای خود متغیر، یک و به جای متمم آن صفر قرار دهیم.

در نوشتن ماکس ترم باید جواب صفر خروجی بررسی شود و به جای خود متغیر صفر و به جای متمم آن یک قرار دهیم.

۲- هرچه در مین ترم باشد در ماکس ترم آن نیست و بالعکس.

۳-۴- ساده‌سازی توابع با استفاده از نقشه کارنو

همان‌طور که قبلاً گفته شد، اساس ساده‌سازی توابع بول بر مبنای فاکتورگیری و حذف متغیرهاست. اگر در دو جمله یک تابع استاندارد بول فقط یک متغیر تغییر کند، آن متغیر را می‌توان حذف نمود: مثلاً در دو جمله $ABC + \overline{ABC}$ ، فقط متغیر C تغییر کرده است. پس این متغیر را می‌توان حذف کرد؛ زیرا داریم:

$$Y = ABC + \overline{ABC} = AB(C + \overline{C}) = AB.1 = AB$$

اساس کار نقشه کارنو نیز بر مبنای فاکتورگیری و حذف متغیرها برای ساده‌تر شدن مدار منطقی است. در حقیقت، در نقشه کارنو جملاتی را که باید از آنها فاکتور



تمرین کلاسی ۳-۲۲: جدول صحت خروجی

Y را در جدول ۳-۱۳ مشاهده می‌کنید. مین ترم و ماکس ترم خروجی را بنویسید.

گرفت، به سرعت مشخص می‌شوند و عمل فاکتورگیری تقریباً به صورت گرافیکی انجام می‌پذیرد.
مثال ۳-۱۹: تابع زیر را ساده کنید.

$$F = \bar{A}\bar{B} + \bar{A}B + AB$$

ابتدا جدول صحت تابع فوق را مانند جدول ۳-۱۴ رسم می‌کنیم.

جدول ۳-۱۴- جدول صحت مثال ۳-۱۹

A	B	F
0	0	1
0	1	1
1	0	0
1	1	1

$\bar{A}\bar{B}$

$\bar{A}B$

$A \cdot B$

این جدول صحت چهار حالت دارد (۲^۲). در هر ردیف جدول، حالت‌های ورودی و خروجی به ازای آن ورودی‌ها نشان داده شده است. این جدول را می‌توان به فرم دیگری نیز نشان داد؛ به طوری که مفهوم همین جدول صحت را دربرداشته باشد. جدول ۳-۱۵ فرم تغییر یافته جدول صحت است که در این جا به دلیل داشتن دو متغیر به صورت ۲^۲ یعنی ۴ خانه‌ای (سلول) رسم شده است.

جدول ۳-۱۵- فرم تغییر یافته جدول صحت مربوط به مثال ۳-۱۹

A	B	F
0	0	1
0	1	1
1	0	0
1	1	1

این جدول جدید به جدول کارنو یا نقشه کارنو^۱ (Karnaugh map) مشهور است. کارنو براساس ریاضیات تدوین شده توسط بول، دانشمند انگلیسی، جدول

۱- در کتاب مدارهای منطقی تالیف موریس مانو و کتاب توخیم همه جا از نقشه کارنو استفاده شده است.

یا نقشه کارنو را طراحی کرد.

نقشه کارنو دارای ویژگی‌هایی به شرح زیر است:
 الف) هر خانه آن مربوط به یک حالت ورودی یا به عبارت دیگر یک جمله از تابع استاندارد بول است.
 ب) در دو خانه مجاور در جهت افقی یا عمودی همواره دو جمله‌ای قرار می‌گیرند که فقط در یک متغیر با هم اختلاف دارند.

همان‌طور که در قسمت اول این مبحث (۳-۴) دیدیم اگر در دو جمله یک تابع استاندارد بول فقط یک متغیر تغییر کند، آن متغیر حذف می‌شود.
 مثلاً در ستون اول جدول کارنو از سمت چپ عبارت $\bar{A}\bar{B} + \bar{A}B$ را داریم. چون $\bar{A}$ بین دو عبارت مشترک است، متغیرهای B و $\bar{B}$ حذف می‌شوند و جواب $\bar{A}$ خواهد شد.

$$\bar{A}\bar{B} + \bar{A}B = \bar{A}(\bar{B} + B) = \bar{A}.1 = \bar{A}$$

در نقشه کارنو چون از هر خانه به خانه مجاور فقط یک متغیر تغییر می‌کند، فوراً می‌توان تشخیص داد که از کدام جملات (که به ازای یک شدن آنها تابع یک می‌شود) باید فاکتور گرفت.
 نقشه کارنو مثال ۳-۱۹ را در این جا دوباره رسم می‌کنیم.

قسمت یک‌ها را طبق جدول ۳-۱۶ انتخاب می‌کنیم و دور آنها حلقه رسم می‌کنیم.

جدول ۳-۱۶- نقشه کارنو مثال ۳-۱۹

A	B	0	1
0	0	1	
0	1		1
1	0		
1	1		1

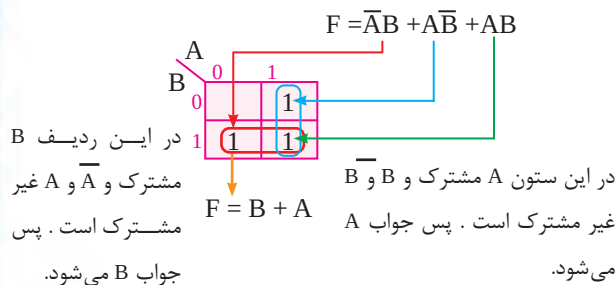
$$\bar{A}\bar{B} + \bar{A}B = \bar{A}(B + \bar{B}) = \bar{A}$$

این دو جمله که به ازای آنها تابع یک می‌شود، در دو خانه مجاور قرار گرفته‌اند؛ بنابراین، آنها فقط در یک متغیر اختلاف دارند.

$$\bar{A}\bar{B} + \bar{A}B = \bar{A}[\bar{B} + B] = \bar{A}$$

ستون اول سمت چپ جدول ۳-۱۶ را مجدداً مطالعه

جدول ۳-۱۷- نقشه کارنوی مثال ۳-۲۰

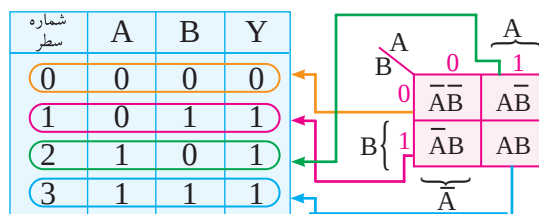


تابع خروجی از مجموع پاسخ های ردیف یک‌ها و ستون یک‌ها به دست می‌آید.

مشخصات جدول کارنو را به صورت‌های دیگری نیز نشان می‌دهند.

جدول ۳-۱۸ شماره هر خانه را با توجه به ردیف جدول صحت نشان می‌دهد.

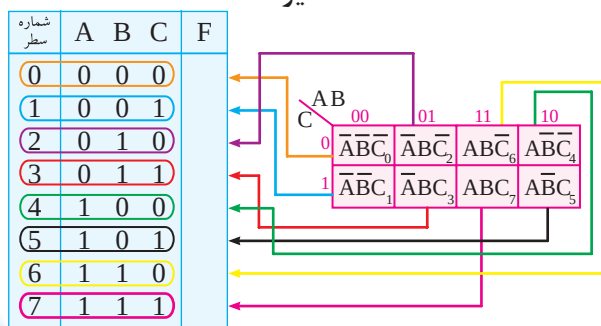
جدول ۳-۱۸- جدول صحت دو متغیره و نقشه کارنوی آن



نقشه کارنو برای توابع سه متغیر باید دارای $2^3=8$ خانه باشد. به عبارت دیگر، سه متغیر می‌توانند هشت حالت مختلف را ایجاد کنند.

جدول ۳-۱۹ جدول صحت یک تابع سه متغیره همراه با جدول کارنوی مربوط به آن با ذکر شماره سطر در جدول صحت و شماره خانه نظیر آن در جدول کارنو را نشان می‌دهد.

جدول ۳-۱۹- جدول صحت و نقشه کارنو یک تابع سه متغیره



می‌کنیم. همان‌طور که مشاهده شد در این ستون به دلیل غیرمشترک بودن $\bar{B}$ و B جواب $\bar{A}$ است.

یعنی با یک نگاه می‌فهمیم که پاسخ آن ستون چیست. در مورد ردیف پایین نیز با یک نگاه در می‌یابیم که $\bar{A}$ و A غیر مشترک است پس پاسخ این ردیف نیز B خواهد بود.

مقدار تابع خروجی از مجموع حاصل ردیف پایین و ستون سمت چپ به دست می‌آید.

$$F = \bar{A} + B$$

می‌توانیم مسئله را به شکل دیگری بیان کنیم و آن این‌که بگوییم هنگامی که از یک خانه به خانه مجاور (در حلقه محصور شده یک‌ها) می‌رویم، متغیری که تغییر می‌کند، حذف می‌شود و سایر متغیرها به جای خود باقی می‌مانند در ستون سمت چپ متغیر $\bar{A}$ در هر دو خانه ثابت مانده است.

به عبارت دیگر، وقتی از خانه $\bar{A}\bar{B}$ به خانه AB می‌رویم، مقدار A تغییر می‌کند و به همین دلیل حذف می‌شود. پس جواب نهایی مسئله در آن ستون به صورت B است.

اگر خوب توجه کنید، می‌بینید که هنگام ساده‌سازی، جمله $\bar{A}\bar{B}$ دو بار نوشته شده است یا در نقشه کارنو دور آن دو بار خط کشیده شده است؛ یعنی، تابع $F = \bar{A}\bar{B} + \bar{A}\bar{B} + AB + \bar{A}\bar{B}$ به صورت $F = \bar{A}\bar{B} + \bar{A}\bar{B} + AB + \bar{A}\bar{B}$ نوشته شده است. طبق قانون جبر بول ($A+A=A$) این کار اشکال منطقی ندارد و تغییری در جواب مسئله ایجاد نمی‌کند.

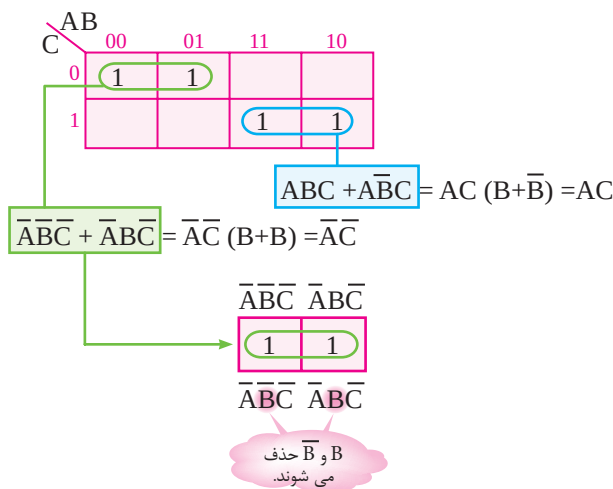
یعنی، این بار به جای $\bar{A}\bar{B}$ نوشته‌ایم: $\bar{A}\bar{B} + \bar{A}\bar{B}$ ؛ زیرا اگر $\bar{A}\bar{B} = 0$ باشد، $0+0=0$ و اگر $\bar{A}\bar{B} = 1$ باشد $1+1=1$ OR 1 است. پس حاصل $\bar{A}\bar{B} + \bar{A}\bar{B}$ با خود $\bar{A}\bar{B}$ یکی است.

مثال ۳-۲۰: تابع $F = \bar{A}\bar{B} + \bar{A}\bar{B} + AB$ را با استفاده از نقشه کارنو ساده کنید.

چون این تابع فقط دو متغیر دارد، پس جدول کارنو دارای چهار $(2^2=4)$ (تعداد متغیرها) خانه است. جدول ۳-۱۷ نقشه کارنوی این مثال را نشان می‌دهد.

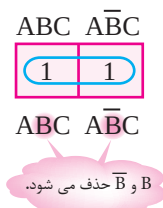
تصویری و در ذهن خود انجام می‌دهیم. بدین ترتیب، هنگامی که از یک خانه به خانه مجاور می‌رویم، متغیری را که تغییر می‌کند حذف می‌کنیم و متغیرهایی را که در حلقه محصور شده بدون تغییر می‌مانند، به صورت AND می‌نویسیم. مثلاً در جدول ۳-۲۲ در حلقه (۱) وقتی از یک خانه به خانه مجاور می‌رویم، B تغییر می‌کند و لذا حذف می‌شود. در این دو خانه $\bar{A}$ و $\bar{C}$ تغییر نکرده‌اند، بنابراین، دو متغیر یاد شده را به صورت $(\bar{A}\bar{C})$ AND نمایش می‌دهیم.

جدول ۳-۲۲- ساده‌سازی توابع سه متغیره مثال ۳-۲۱



در حلقه دوم، وقتی از یک خانه به خانه مجاور می‌رویم، فقط متغیر B تغییر می‌کند و بنابراین حذف می‌شود. متغیرهای A و C در این دو خانه تغییر نمی‌کنند؛ بنابراین، آنها را به صورت AC نشان می‌دهیم. جدول ۳-۲۳ حلقه دوم جدول کارنو مثال ۳-۲۱ را نشان می‌دهد.

جدول ۳-۲۳- حلقه دوم نقشه کارنو مثال ۳-۲۱



در بعضی از مراجع جدول کارنو را به صورت جدول ۳-۲۰ نشان می‌دهند. هر آکولاد مشخص‌کننده محدوده‌ای است که متغیر مورد نظر در آن خانه‌ها وجود دارد.

جدول ۳-۲۰- جدول کارنوی هشت خانه‌ای

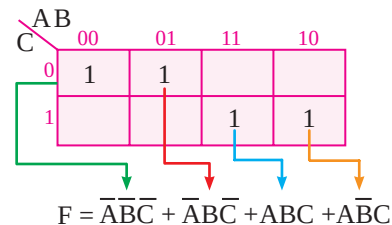
		$\bar{A}$		A	
		00	01	11	10
C	0	$\bar{A}\bar{B}\bar{C}$	$\bar{A}B\bar{C}$	$A\bar{B}\bar{C}$	$AB\bar{C}$
	1	$\bar{A}\bar{B}C$	$\bar{A}BC$	$AB\bar{C}$	ABC

اگر به نقشه کارنو خوب دقت کنید، می‌بینید که از هر خانه به خانه مجاور در جهت افقی یا عمودی فقط یک متغیر جملات تغییر می‌کند.

مثال ۳-۲۱: تابع $F = \bar{A}\bar{B}\bar{C} + \bar{A}\bar{B}C + A\bar{B}\bar{C} + ABC$ را به کمک نقشه کارنو ساده کنید.

تابع F زمانی یک است که یکی از چهار جمله داده شده یک باشد. توجه داشته باشید که هیچ گاه امکان ندارد دو جمله به طور هم زمان یک شوند. در نقشه کارنو با توجه به جدول ۳-۲۰ در خانه‌ای که یک بودن جمله آن باعث می‌شود $F=1$ شود در جدول ۳-۲۱ عدد یک را قرار می‌دهیم و تابع خروجی را مشخص می‌کنیم.

جدول ۳-۲۱- نقشه کارنوی مثال ۳-۲۱



همان‌طور که قبلاً نیز گفته شد، اساس ساده‌سازی توابع جبر بول، فاکتورگیری و حذف متغیرهاست. نقشه کارنو شیوه‌ای جدید برای ساده‌سازی ارائه نمی‌دهد بلکه جملاتی را که باید از آنها فاکتور گرفت، به نحوی مرتب (Sort) می‌کند. لذا دور جملاتی را که باید فاکتور بگیریم، خط می‌کشیم و عمل فاکتورگیری را معمولاً به صورت

بدین ترتیب، تابع ساده شده به صورت زیر در می آید.

$$F = \overline{A}\overline{C} + AC = \overline{A} \oplus \overline{C}$$

مشترکات حلقه (۱)

مشترکات حلقه (۲)



تمرین کلاسی ۳-۲۳: تابع

$$F = \overline{A}\overline{B}\overline{C} + \overline{A}\overline{B}C + \overline{A}B\overline{C} + \overline{A}BC$$

را به کمک جدول کارنو ساده کنید.



تمرین کلاسی ۳-۲۴: تابع مین ترم F را به کمک

جدول کارنو ساده کنید.

$$F = \sum_m (m_1, m_2, m_5, m_6, m_7)$$



تمرین کلاسی ۳-۲۵: عبارت خروجی تابع F

جدول کارنو ۳-۲۴ را بنویسید و در صورت ساده شدن آن را به ساده ترین شکل بنویسید.

جدول ۳-۲۴- جدول کارنوی تمرین کلاسی ۳-۲۵

C \ AB	00	01	11	10
0	1	0	0	1
1	1	0	1	1

توجه داشته باشید که با توجه به تعداد متغیرها فقط دور دو عدد (۱) یا چهار عدد (۱) یا هشت عدد (۱) می توان خط کشید و آنها را ساده کرد؛ زیرا فاکتورگیری فقط از دو یا چهار یا هشت جمله امکان پذیر است و تنها در این شرایط است که متغیرها حذف می شوند. به عبارت دیگر تعداد اعداد یک که در جدول کارنو

دسته بندی می شوند باید توانی از ۲ باشند.

برای مثال، اگر سه جمله $\overline{A}BC + ABC + A\overline{B}C$ را داشته باشیم، هریک از این جملات نسبت به جمله قبلی فقط در یک متغیر اختلاف دارد، اگر بخواهیم فاکتورگیری را انجام دهیم، به صورت زیر عمل می کنیم.

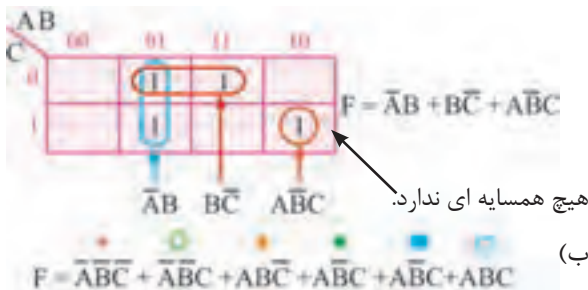
$$F = \overline{A}BC + ABC + A\overline{B}C = BC(\overline{A} + A) + A\overline{B}C \Rightarrow$$

$$F = BC + A\overline{B}C$$

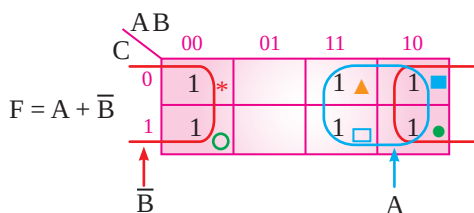
از دو جمله $BC + A\overline{B}C$ دیگر نمی توان فاکتورگیری کرد. پس هیچ گاه دور سه یا ۵ عدد یک خط نکشید. فقط دور دو عدد یک که در مجاورت یکدیگر باشند (جمله های آنها فقط در یک متغیر اختلاف داشته باشد) یا چهار عدد یک که همه در مجاورت یکدیگر قرار گرفته باشند، می توان خط کشید. در جدول های ۳-۲۵ تا ۳-۲۸ نمونه هایی از این نوع نشان داده شده است.

$$f = \overline{A}\overline{B}\overline{C} + \overline{A}B\overline{C} + \overline{A}BC + A\overline{B}C \quad (\text{الف})$$

جدول ۳-۲۵- ساده سازی توابع سه متغیره



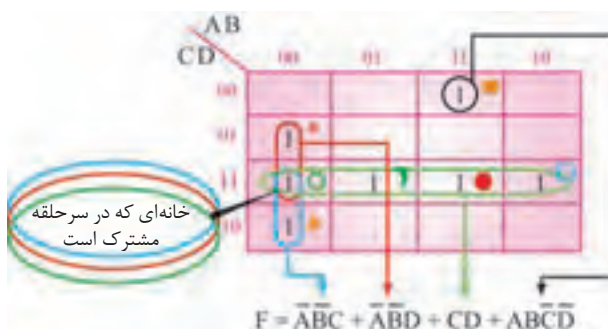
جدول ۳-۲۶- ساده سازی توابع سه متغیره



مثال ۳-۲۲: تابع زیر را به کمک نقشه کارنو ساده کنید.

$$f(A,B,C,D) = \overline{A}\overline{B}CD + \overline{A}B\overline{C}D + \overline{A}B\overline{C}\overline{D} + \overline{A}BCD + A\overline{B}CD + A\overline{B}\overline{C}D + A\overline{B}\overline{C}\overline{D} + ABCD$$

جدول ۳-۳۰: جدول کارنو مربوط به مثال ۳-۲۲



همان طور که از نتایج جدول پیداست، هر قدر تعداد یک‌های محصور شده بیش‌تر باشد، جمله استخراج شده ساده‌تر و تعداد متغیرهای آن کم‌تر است.

(الف) زیرا وقتی فقط دور یک عدد یک خط می‌کشیم، جمله دارای چهار متغیر می‌شود.

(ب) وقتی دور دو عدد یک خط می‌کشیم، جمله استخراج شده شامل سه متغیر می‌شود.

(ج) وقتی دور چهار عدد یک خط بکشیم، جمله استخراج شده شامل دو متغیر می‌شود.

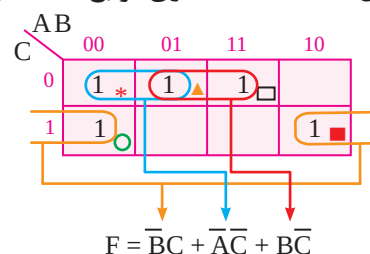
(د) در صورتی که هشت عدد یک در یک حلقه محصور شوند، جمله استخراجی فقط یک متغیر را شامل می‌شود. لذا باید سعی کنیم در صورت امکان تعداد "یک" بیشتری را در داخل حلقه محصور قرار دهیم. توجه داشته باشید که در این جدول ۱۶ خانه‌ای (مانند جداول ۸ خانه‌ای)، چهار خانه سمت راست با چهار خانه سمت چپ مجاور (همسایه) هستند و چهار خانه پایین نیز با چهار خانه بالا همسایه‌اند. در ضمن چهار خانه گوشه جدول نیز مجاور هستند.

در زیر چند مثال از توابع چهار متغیره را که به کمک نقشه کارنو ساده شده‌اند، مشاهده می‌کنید.

توجه: دو خانه سمت راست و دو خانه سمت چپ مجاورند؛ زیرا جمله‌های مندرج در این خانه‌ها فقط در دو متغیر اختلاف دارند و متغیر $\overline{B}$ در هر چهار خانه مشترک است.

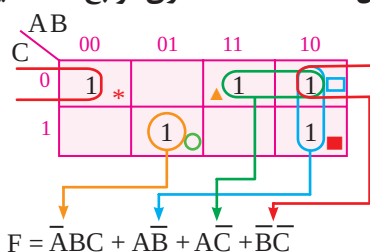
پ) $F = \overline{A}\overline{B}\overline{C} + \overline{A}\overline{B}C + \overline{A}B\overline{C} + \overline{A}BC + A\overline{B}\overline{C} + A\overline{B}C + AB\overline{C} + ABC$

جدول ۳-۲۷: ساده‌سازی توابع سه متغیره



ت) $F = \overline{A}\overline{B}\overline{C} + \overline{A}B\overline{C} + A\overline{B}\overline{C} + A\overline{B}C + A\overline{B}\overline{C}$

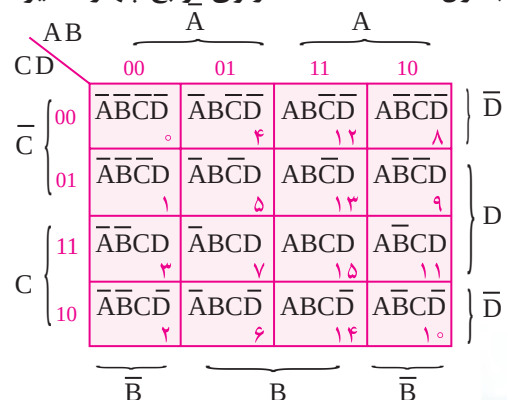
جدول ۳-۲۸: ساده‌سازی توابع سه متغیره



۳-۴-۱: ساده‌سازی توابع چهار متغیره به

کمک نقشه کارنو: برای ساده‌سازی توابع چهار متغیره با نقشه کارنو، به یک جدول ۱۶ خانه‌ای ($2^4=16$) نیاز داریم. این جدول در جدول ۳-۲۹ رسم شده است. در این جدول مشخصات متغیرها در هر خانه جدول نشان داده شده است.

جدول ۳-۲۹: نقشه کارنوی توابع چهار متغیره





مورس کارنو

متولد ۴ اکتبر ۱۹۲۴
در شهر نیویورک،
فیزیکدان آمریکایی
که نقشه کارنوی او در
جبر بول مشهور است. او

مطالعات خود را با فیزیک و ریاضیات در کالج شهر
نیویورک آغاز کرد. پس از رفتن به دانشگاه ییل در
سال ۱۹۴۹، موفق به کسب درجه دکترا در رشته
فیزیک در سال ۱۹۵۲ شد.

کارنو در آزمایشگاه‌های بل، جدول کارنو، کدگذاری
PCM و نیز کدگذاری مدارهای مغناطیسی را گسترش
داد. کارنو در سال ۱۹۷۶ به عنوان رئیس انجمن IEEE
(انجمن بین‌المللی استانداردهای مهندسی
الکترونیک) انتخاب شد.

مثال ۳-۲۵: مداری طرح کنید که دارای چهار کلید
ورودی (چهار متغیر ورودی) باشد و دیود LED که
در خروجی آن وصل شده است، مطابق جدول ۳-۳۴
متناسب با قطع و وصل کلیدهای ورودی، روشن و
خاموش شود.

مثال ۳-۲۳: تابع زیر را ساده کنید.

$$F = \bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}\bar{B}C\bar{D} + A\bar{B}\bar{C}\bar{D} + AB\bar{C}\bar{D} + \\ \bar{A}B\bar{C}\bar{D} + A\bar{B}C\bar{D} + A\bar{B}\bar{C}D + ABC\bar{D}$$

جدول ۳-۳۱- نقشه کارنوی مربوط به مثال ۳-۲۳

AB \ CD	00	01	11	10
00	1		1	
01		1	1	1
11				1
10	1		1	

$$F = \bar{A}\bar{B}D + AB\bar{D} + B\bar{C}D + \bar{A}BD$$

مثال ۳-۲۴: تابع زیر را ساده کنید.

$$F(A, B, C, D) = \bar{A}\bar{B}\bar{C}\bar{D} + \bar{A}\bar{B}C\bar{D} + \bar{A}B\bar{C}\bar{D} + \\ \bar{A}B\bar{C}D + \bar{A}B\bar{C}\bar{D} + AB\bar{C}\bar{D} + ABCD + \\ ABC\bar{D} + A\bar{B}\bar{C}\bar{D} + A\bar{B}\bar{C}D + A\bar{B}C\bar{D}$$

جدول ۳-۳۲- نقشه کارنوی مربوط به مثال ۳-۲۴

AB \ CD	00	01	11	10
00	1	1		1
01	1	1	1	1
11			1	
10	1		1	1

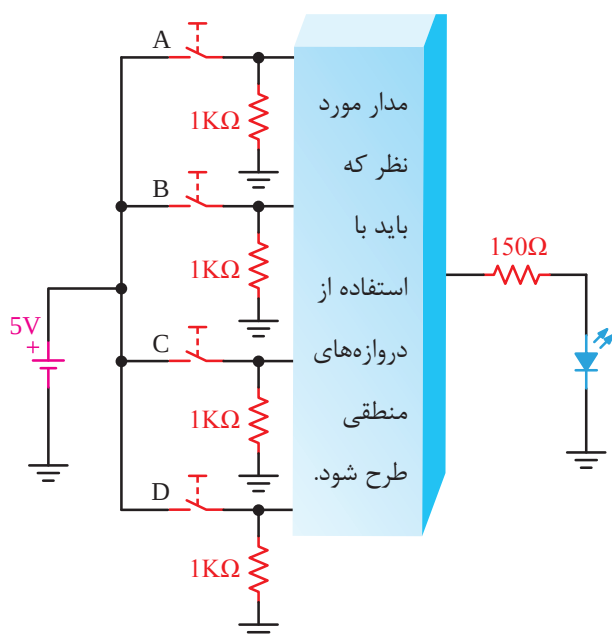
$$F = \bar{B}\bar{D} + ABC + \bar{A}\bar{C} + \bar{C}D$$

نکته: در جدول کارنو هیچ‌گاه به صورت مورب
نمی‌توان از متغیر مشترکی فاکتورگیری کرد، جدول
۳-۳۳ این حالت را نشان می‌دهد.

جدول ۳-۳۳- خانه‌های مشترک مورب

AB \ C	00	01	11	10
0	1	0	0	1
1	0	1	1	0





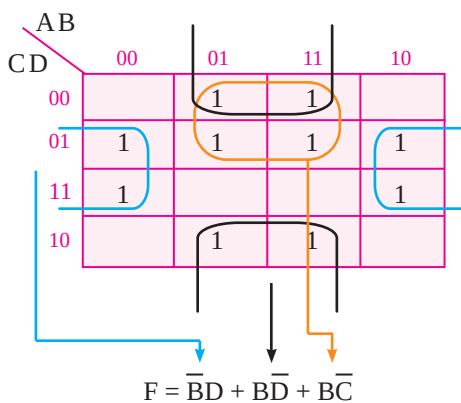
شکل ۳-۱۹- مدار الکتریکی مربوط به مثال ۳-۲۵

با توجه به جدول و در نظر گرفتن حالت فعال یا روشن شدن دیود LED، رابطه خروجی به صورت زیر در می‌آید.

$$F = \overline{A}\overline{B}\overline{C}D + \overline{A}\overline{B}C\overline{D} + \overline{A}B\overline{C}\overline{D} + \overline{A}B\overline{C}D + \overline{A}BC\overline{D} + \overline{A}BCD + A\overline{B}\overline{C}\overline{D} + A\overline{B}C\overline{D} + A\overline{B}CD + AB\overline{C}\overline{D} + ABC\overline{D}$$

جدول ۳-۳۵ را رسم می‌کنیم و تابع ساده شده خروجی آن را به دست می‌آوریم.

جدول ۳-۳۵- نقشه کارنوی مربوط به مثال ۳-۲۵



با توجه به تابع خروجی F می‌توانیم مدار مورد نظر را ترسیم کنیم.

جدول ۳-۳۴- جدول صحت مربوط به مثال ۳-۲۵

A	B	C	D	F	LED
0	0	0	0	0	LED off
0	0	0	1	1	LED on
0	0	1	0	0	LED off
0	0	1	1	1	LED on
0	1	0	0	1	LED on
0	1	0	1	1	LED on
0	1	1	0	1	LED on
0	1	1	1	0	LED off
1	0	0	0	0	LED off
1	0	0	1	1	LED on
1	0	1	0	0	LED off
1	0	1	1	1	LED on
1	1	0	0	1	LED on
1	1	0	1	1	LED on
1	1	1	0	1	LED on
1	1	1	1	0	LED off

برای مثال، اگر هر چهار کلید باز باشند، دیود LED خاموش شود یا اگر تنها کلید D بسته و سایر کلیدها باز باشند، دیود LED روشن شود. سایر حالات روشن و خاموش تابع F را در جدول ملاحظه می‌کنید.

برای طراحی چنین مداری، می‌توان از رابطه خروجی استفاده کرد و عمل فاکتورگیری بین متغیرها را انجام داد، تا به عبارت ساده‌ای رسید. یا از نقشه کارنو و دسته‌بندی یک‌های نقشه به ساده کردن مدار پرداخت. در این مثال از نقشه کارنو استفاده شده است. شما می‌توانید با فاکتورگیری بین متغیرهای رابطه خروجی نیز به این مرحله برسید. این فاکتورگیری را برای مثال ۳-۲۵ تجربه کنید.

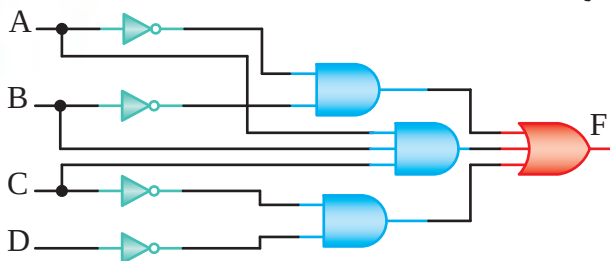
شکل ۳-۱۹ مدار الکتریکی مثال ۳-۲۵ را به صورت بلوکی نشان می‌دهد.

۳- برای نقشه کارنوی ۳-۳۶ رابطه خروجی را نوشته و پس از ساده‌سازی مدار آن را طراحی کنید.

۴- تابع F را با استفاده از جدول کارنو ساده نمایید و مدار آن را رسم کنید.

$$F(A,B,C) = \sum_m (0,1,3,6)$$

۵- نقشه کارنو و رابطه خروجی مدار شکل ۳-۲۱ را بنویسید.



شکل ۳-۲۱- مربوط به سؤال ۵

۶- تابع را با استفاده از جدول کارنو به ساده‌ترین شکل بنویسید.

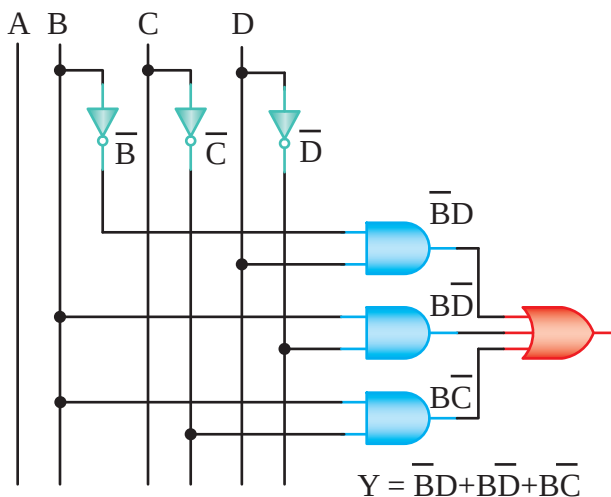
$$F(A,B,C,D) = \sum_m (1,3,6,10,11,13)$$

۳-۶- افزایش ظرفیت ورودی‌های دروازه‌های منطقی

هرچند که در عمل دروازه‌های منطقی تا هشت ورودی نیز ساخته می‌شوند ولی گاهی به بیش از هشت ورودی نیاز داریم یا به دروازه‌های منطقی با ورودی حتی کمتر از هشت نیازمندیم ولی در دسترس نیستند در هر یک از این شرایط، می‌توان با استفاده از دروازه‌های منطقی موجود یک دروازه منطقی با تعداد ورودی‌های دلخواه ساخت. در این قسمت به شرح روش افزایش تعداد ورودی‌های بعضی از دروازه‌های منطقی می‌پردازیم.

۳-۶-۱- افزایش تعداد ورودی‌های دروازه

منطقی AND: فرض کنید یک سری دروازه‌های منطقی AND با دو ورودی در دسترس داریم و در عمل، به یک دروازه AND با سه ورودی نیازمندیم. مدار شکل ۳-۲۲ این نیاز را برآورده می‌کند.



شکل ۳-۲۰- مدار منطقی مربوط به مثال ۳-۲۵

در شکل ۳-۲۰ مدار منطقی که براساس ساده‌سازی از روی جدول کارنو ۳-۳۵ به دست آمده است را مشاهده می‌کنید. همان‌طور که ملاحظه می‌کنید کلید A هیچ‌گونه تأثیری در رفتار خروجی مدار ندارد، در این مورد توضیح دهید.

۳-۵- الگوی پرشش

۱- آیا مدار دیگری برای مثال ۳-۲۵ می‌توان طراحی کرد؟ در صورت مثبت بودن جواب آن را طراحی کنید.

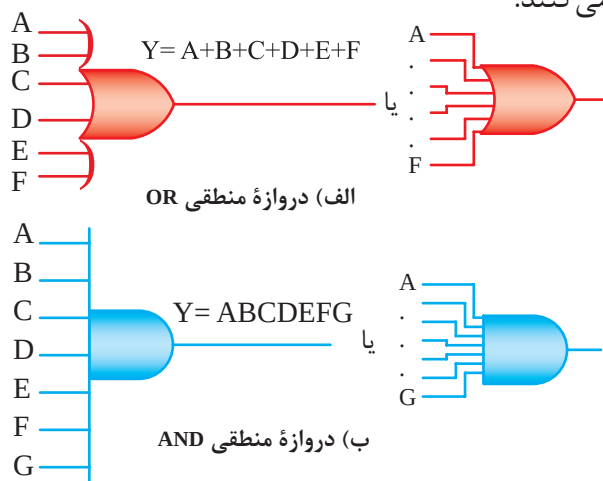
۲- با توجه به جدول صحت ۳-۳۶ نقشه کارنوی مربوطه را رسم کنید.

جدول ۳-۳۶- مربوط به سؤال ۲

A	B	C	F	LED
0	0	0	0	
0	0	1	1	
0	1	0	0	
0	1	1	1	
1	0	0	1	
1	0	1	0	
1	1	0	1	
1	1	1	1	

به همین روش می‌توان دروازه منطقی OR با هر تعداد ورودی ایجاد کرد.

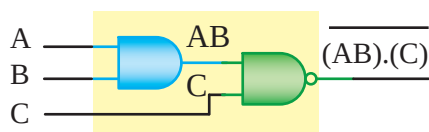
اگر تعداد ورودی‌های یک دروازه منطقی زیاد شوند، معمولاً نماد آن دروازه منطقی را در مقایسه با دروازه منطقی معمولی بزرگ‌تر رسم نمی‌کنند بلکه آن را به اندازه استاندارد به صورت شکل ۳-۲۶ الف و ب رسم می‌کنند.



شکل ۳-۲۶ نمادهای دروازه‌های منطقی AND و OR با ورودی‌های زیاد

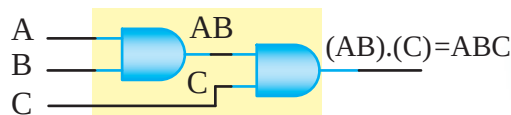
۳-۶-۳ افزایش تعداد ورودی‌های دروازه منطقی

NAND: با استفاده از دروازه‌های منطقی AND و NAND می‌توان یک دروازه منطقی NAND را با هر تعداد ورودی ساخت. شکل ۳-۲۷ یک دروازه منطقی NAND با سه ورودی را با استفاده از یک دروازه منطقی AND و یک دروازه منطقی NAND نشان می‌دهد.



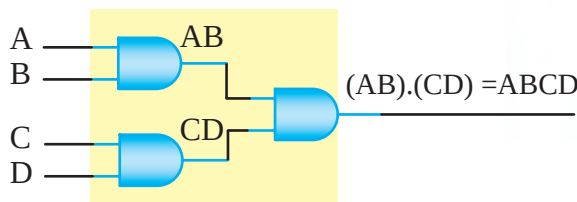
شکل ۳-۲۷ دروازه منطقی NAND با سه ورودی با استفاده از دروازه منطقی AND و NAND

شکل ۳-۲۸ یک دروازه منطقی NAND با چهار ورودی را نشان می‌دهد. در این مدار از یک دروازه منطقی NAND با دو ورودی و دو دروازه منطقی AND استفاده شده است.



شکل ۳-۲۲ نحوه ساخت دروازه AND با سه ورودی با استفاده از دو دروازه AND با دو ورودی

شکل ۳-۲۳ معادل دروازه منطقی AND با چهار ورودی را با استفاده از سه دروازه منطقی AND با دو ورودی نشان می‌دهد.

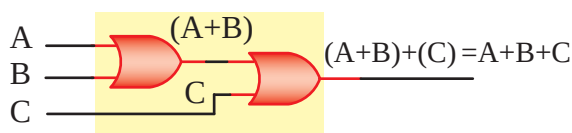


شکل ۳-۲۳ معادل دروازه منطقی AND با چهار ورودی با استفاده از سه دروازه منطقی AND با دو ورودی

به همین شیوه می‌توان یک دروازه منطقی با هر تعداد ورودی ساخت.

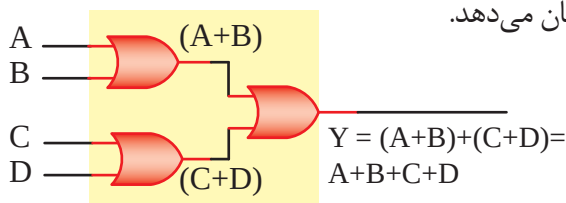
۳-۶-۲ افزایش تعداد ورودی‌های دروازه منطقی

OR: برای افزایش تعداد ورودی‌های دروازه منطقی OR، می‌توانیم از تعداد بیش‌تری دروازه منطقی OR با تعداد ورودی کمتر استفاده کنیم. برای مثال، شکل ۳-۲۴ معادل یک دروازه منطقی OR با سه ورودی را با استفاده از دو دروازه منطقی OR با دو ورودی نشان می‌دهد.



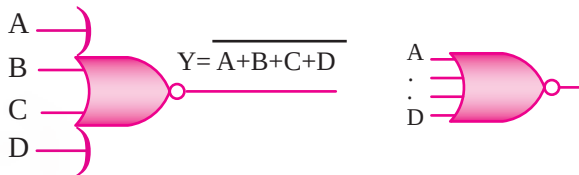
شکل ۳-۲۴ نحوه ساخت دروازه منطقی OR با سه ورودی با استفاده از دو دروازه منطقی OR با دو ورودی

شکل ۳-۲۵ معادل یک دروازه منطقی OR با چهار ورودی را با استفاده از سه دروازه منطقی OR با دو ورودی نشان می‌دهد.



شکل ۳-۲۵ نحوه ساخت دروازه منطقی OR با چهار ورودی با استفاده از سه دروازه منطقی OR با دو ورودی

به همین روش، می‌توان دروازه منطقی NOR را با هر تعداد ورودی ساخت. شکل ۳-۳۲ نمادهای دروازه منطقی NOR با چهار ورودی (یا بیش تر) را نشان می‌دهد.

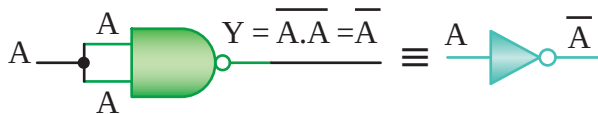


شکل ۳-۳۲ نمادهای دروازه منطقی NOR با چهار ورودی

۳-۷- ساخت دروازه‌های منطقی مختلف با استفاده از گیت NAND

در مدارهای منطقی، دروازه منطقی NAND به‌عنوان دروازه منطقی پایه محسوب می‌شود. بنابراین، با استفاده از این دروازه منطقی می‌توان سایر دروازه‌های منطقی را ساخت. در این قسمت نحوه ساخت سایر دروازه‌های منطقی به کمک دروازه منطقی NAND، مورد بررسی قرار می‌گیرد.

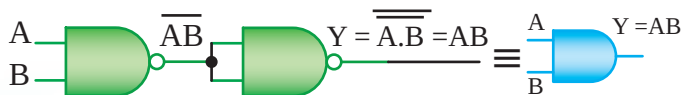
۳-۷-۱ ایجاد دروازه منطقی NOT (نه): اگر تمامی ورودی‌های دروازه منطقی NAND را به یکدیگر وصل کنیم، یک دروازه منطقی NOT حاصل می‌شود، شکل ۳-۳۳ دروازه منطقی NOT را با استفاده از گیت NAND نشان می‌دهد.



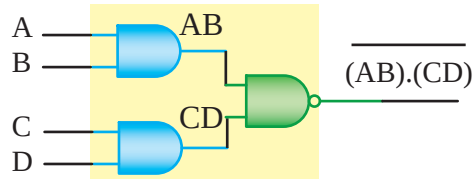
شکل ۳-۳۳ ساخت دروازه منطقی NOT با استفاده از NAND

۳-۷-۲ ساخت دروازه منطقی AND: به کمک دو عدد دروازه منطقی NAND می‌توان یک دروازه منطقی AND ساخت.

شکل ۳-۳۴ ساخت دروازه منطقی AND را با کمک NAND نشان می‌دهد.

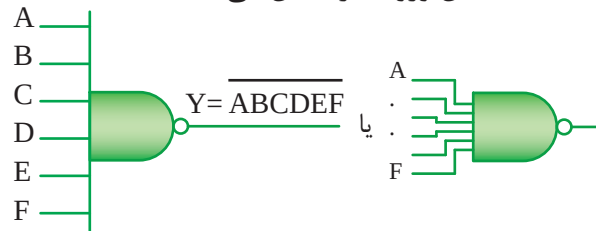


شکل ۳-۳۴ ساخت دروازه منطقی AND با استفاده از NAND



شکل ۳-۲۸ دروازه منطقی NAND با چهار ورودی با استفاده از دروازه‌های منطقی AND و NAND با دو ورودی

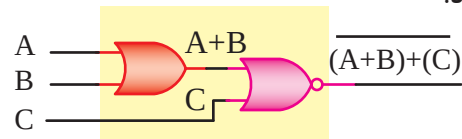
به همین روش، می‌توان دروازه منطقی NAND با هر تعداد ورودی ساخت. شکل ۳-۲۹ نمادهای دروازه منطقی NAND با شش ورودی را نشان می‌دهد.



شکل ۳-۲۹ نمادهای دروازه منطقی NAND با ورودی‌های زیاد

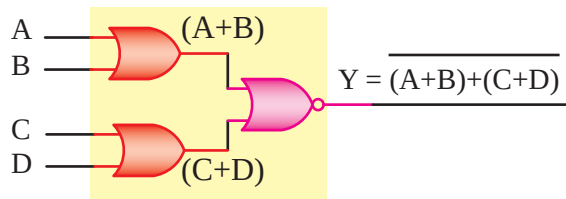
۳-۶-۴ افزایش تعداد ورودی‌های دروازه منطقی NOR

با استفاده از دروازه‌های منطقی OR و NOR می‌توان یک دروازه منطقی NOR با هر تعداد ورودی ساخت. شکل ۳-۳۰ یک دروازه منطقی NOR با سه ورودی را که با استفاده از یک دروازه منطقی OR و یک دروازه منطقی NOR ساخته شده است، نشان می‌دهد.

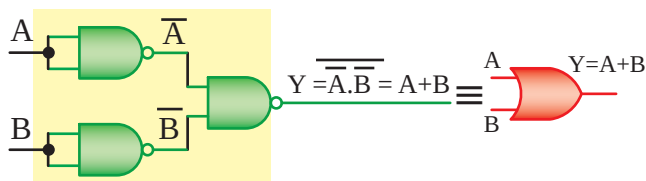


شکل ۳-۳۰ دروازه منطقی NOR با سه ورودی که با استفاده از دروازه‌های منطقی OR و NOR ساخته شده است.

شکل ۳-۳۱ یک دروازه منطقی NOR با چهار ورودی را که با استفاده از دروازه‌های منطقی OR و NOR با دو ورودی ساخته شده‌اند را نشان می‌دهد.



شکل ۳-۳۱ ایجاد دروازه منطقی NOR با چهار ورودی با استفاده از دروازه‌های منطقی OR و NOR با دو ورودی



شکل ۳-۳۶ ساخت دروازه منطقی OR با استفاده از NAND

۳-۷-۴ دروازه منطقی NOR با استفاده از

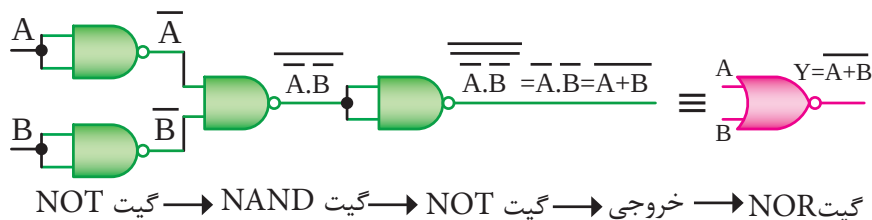
قوانین (قضیه‌های) دمورگان می‌توانیم بنویسیم

$$Y = \overline{A + B} = \overline{A} \cdot \overline{B} = \overline{A \cdot B}$$

یعنی اگر دو گیت NOT را با هم AND کنیم،

سپس آنها را دو بار NOT کنیم، حاصل گیت NOR

خواهد بود، شکل ۳-۳۷ ساخت دروازه منطقی NOR را نشان می‌دهد.



شکل ۳-۳۷ ساخت دروازه منطقی NOR با استفاده از NAND

برای رابطه $\overline{AB}$ نیز مشابه بالا عمل می‌کنیم.

$$\overline{AB} = \overline{AB + 0} = \overline{AB} + \overline{A \cdot 0} = \overline{AB} + A \cdot \overline{0} = \overline{AB} + A \cdot 1 = \overline{AB} + A$$

طبق رابطه دمورگان داریم:

$$A(\overline{B} + \overline{A}) = A(\overline{AB}) \quad (3)$$

مقادیر رابطه (۲) و (۳) را در رابطه (۱) جایگزین می‌کنیم.

$$\overline{AB} + A\overline{B} = B(\overline{AB}) + A(\overline{AB})$$

این تابع را دو بار نفی می‌کنیم.

$$\overline{\overline{AB} + A\overline{B}} = \overline{B(\overline{AB}) + A(\overline{AB})}$$

همان‌طور که ملاحظه می‌شود با استفاده از قانون

دمورگان نتیجه نهایی به دست می‌آید و تابع با استفاده

از گیت NAND مشابه شکل ۳-۳۸ خواهد شد.

۳-۷-۳ تولید دروازه منطقی OR: می‌دانیم

که $\overline{\overline{A}} = A$ (می‌خوانیم A نات نات) است، زیرا طبق شکل ۳-۳۵ از معکوس هر متغیر NOT شده خود متغیر به وجود می‌آید.



شکل ۳-۳۵ معکوس هر متغیر NOT شده مساوی خود متغیر است.

طبق قضیه دمورگان داریم:

$$Y = A + B = \overline{\overline{A + B}} = \overline{\overline{A} \cdot \overline{B}}$$

در شکل ۳-۳۶ ایجاد دروازه منطقی OR را با استفاده

از قضیه دمورگان مشاهده می‌کنید.

۳-۷-۵ دروازه منطقی OR انحصاری XOR: با

توجه به رابطه منطقی XOR، آن را به صورت جملات NAND

درمی‌آوریم؛ زیرا باید با دروازه منطقی NAND ساخته شود.

$$Y = A \oplus B = \overline{A}B + A\overline{B} \quad \text{تابع گیت XOR}$$

برای این که تابع با گیت‌های NAND اجرا شود تابع

را به صورت زیر تغییر می‌نویسیم:

$$Y = \overline{AB} + A\overline{B} \quad (1)$$

می‌دانیم صفر در جمع یک عضو خنثی است

$$\overline{AB} = \overline{AB} + 0$$

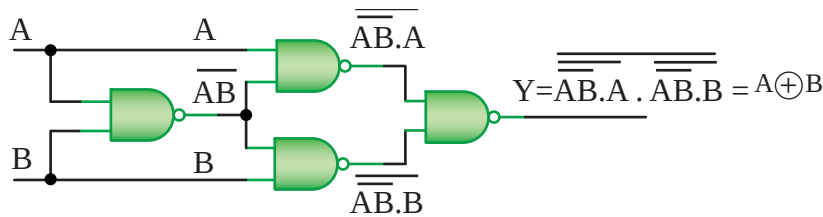
به جای صفر مقدار می‌گذاریم و از عامل مشترک

فاکتور می‌گیریم.

$$\overline{AB} + 0 = \overline{AB} + B\overline{B} = B(\overline{A} + \overline{B})$$

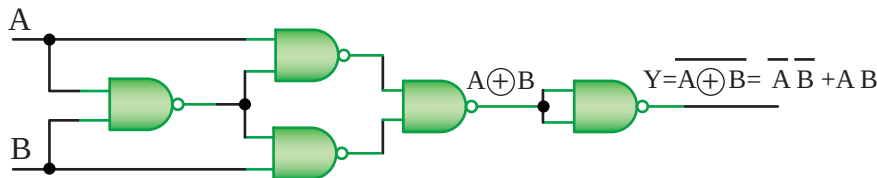
طبق رابطه دمورگان داریم:

$$B(\overline{A} + \overline{B}) = B(\overline{AB}) \quad (2)$$



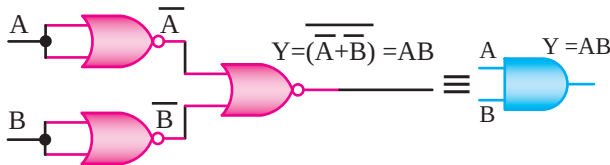
شکل ۳-۳۸ ساخت دروازه منطقی OR انحصاری با استفاده از NAND

۳-۷-۶ دروازه منطقی NOR انحصاری (XNOR): را که با استفاده از گیت NAND ساخته شده است NOT برای ساخت این دروازه منطقی با استفاده از دروازه‌های منطقی NOR، کافی است خروجی دروازه منطقی XOR



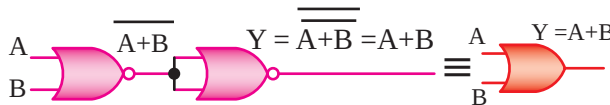
شکل ۳-۳۹ ساخت دروازه منطقی NOR انحصاری با استفاده از NAND

AND مطابق شکل ۳-۴۱ ساخت:



شکل ۳-۴۱ ساخت دروازه منطقی AND با استفاده از NOR

تحلیل این مدار بر عهده هنرجویان واگذار می‌شود.
۳-۸-۳ تولید دروازه منطقی OR: با کمک دو عدد دروازه منطقی NOR می‌توان یک دروازه منطقی OR مطابق شکل ۳-۴۲ ساخت. زیرا اگر هر تابع دو بار NOT شود خود تابع به‌دست می‌آید.



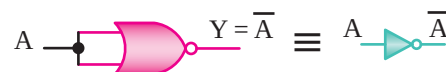
شکل ۳-۴۲ ساخت دروازه منطقی OR با استفاده از NOR

۳-۸-۴ دروازه منطقی NAND: در شکل ۳-۴۳ چگونگی ساخت دروازه منطقی NAND را با استفاده از دروازه منطقی NOR مشاهده می‌کنید.

۳-۸ ساخت دروازه‌های منطقی مختلف با استفاده از گیت NOR

در مدارهای منطقی دروازه منطقی NOR، نیز دروازه منطقی پایه محسوب می‌شود. بنابراین، با این دروازه منطقی می‌توان سایر دروازه‌های منطقی را ساخت. در این قسمت نحوه ساخت سایر دروازه‌های منطقی به کمک دروازه منطقی NOR را مورد بررسی قرار می‌دهیم.

۳-۸-۱ ساخت دروازه منطقی NOT (نه): اگر تمامی ورودی‌های دروازه منطقی NOR را به یکدیگر وصل کنیم، یک دروازه منطقی NOT به‌دست می‌آید. شکل ۳-۴۰ این گیت را نشان می‌دهد.



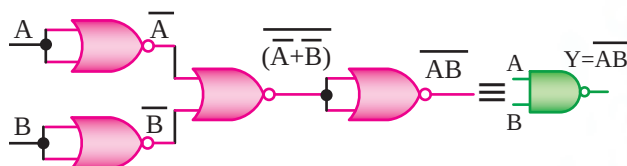
شکل ۳-۴۰ ساخت دروازه منطقی NOT با استفاده از NOR

۳-۸-۲ ایجاد دروازه منطقی AND: به کمک سه عدد دروازه منطقی NOR می‌توان یک دروازه منطقی

و خروجی نهایی گیت NAND خواهد شد.
۳-۸-۵- دروازه منطقی XOR: می‌دانیم رابطه منطقی XOR به صورت زیر است.

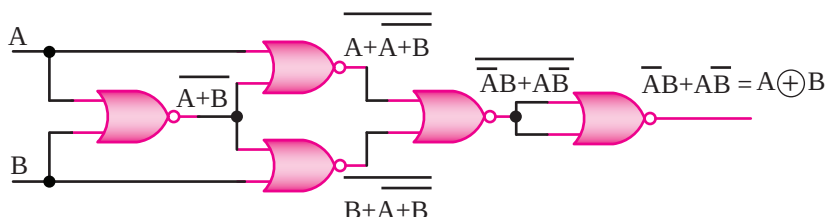
$$Y = A \oplus B = \overline{A}B + A\overline{B}$$

و مدار ساخته شده در شکل ۳-۳۸ را با گیت‌های NOR مطابق شکل ۳-۴۴ رسم می‌کنیم.



شکل ۳-۴۳ ساخت دروازه منطقی NAND با استفاده از NOR

همان‌طور که مشاهده می‌شود ابتدا با استفاده از دروازه NOR، دو دروازه NOT تشکیل می‌دهیم. سپس خروجی‌ها را مجدداً NOR می‌کنیم، خروجی را دوباره NOT می‌کنیم



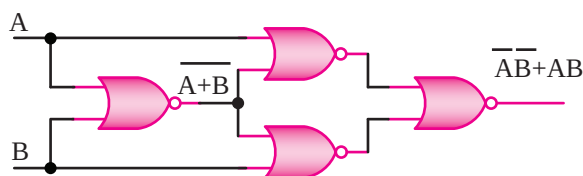
شکل ۳-۴۴ ساخت دروازه منطقی XOR با استفاده از NOR

۳-۸-۶- دروازه منطقی XNOR: می‌دانیم رابطه

XNOR به صورت زیر است:

$$Y = \overline{A \oplus B} = \overline{A}B + A\overline{B}$$

از شکل مدار ۳-۴۴ استفاده می‌کنیم و با حذف آخرین NOT مدار XNOR شکل ۳-۴۵ طراحی می‌شود.



شکل ۳-۴۵ ساخت دروازه منطقی XNOR با استفاده از NOR

۳-۹- مقدمه‌ای بر مدارهای ترکیبی

۳-۹-۱- تنظیم جدول صحت از روی داده‌های

مسئله: همان‌گونه که در این فصل گفته شد، هر تابع منطقی را می‌توان به صورت یک جمله مجموع حاصل ضرب‌ها یا یک جمله حاصل ضرب جمع‌ها بیان کرد. در حالت اول، جمله حاصل ضرب متناظر با هر حالت ورودی را که تابع خروجی به‌ازای آن «۱» می‌شود می‌نویسیم و سپس کلیه این جمله‌ها را با هم جمع می‌کنیم.

مثال ۳-۲۶: تابع خروجی جدول ۳-۳۷ را بنویسید.

تمرین کلاسی ۳-۲۶: برای به‌دست آوردن

رابطه نهایی شکل ۳-۴۴ خروجی هر گیت را جداگانه بنویسید و به رابطه نهایی برسید.

جدول ۳-۳۷ - جدول صحت مثال ۳-۲۶

A	B	C	F
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	0

حل: با توجه به جدول ۳-۳۷ جمله مربوط به سطری

که خروجی «یک» است، را می‌نویسیم.

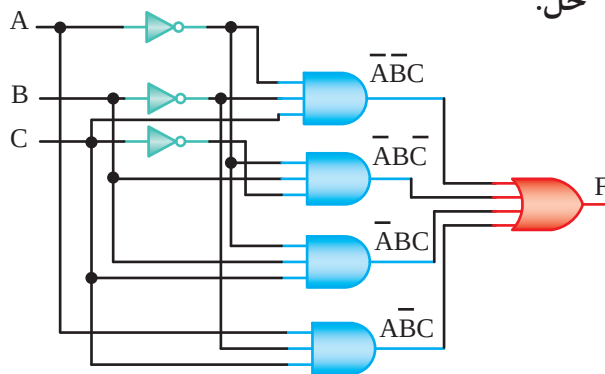
$$F = \bar{A}\bar{B}C + \bar{A}B\bar{C} + \bar{A}BC + A\bar{B}\bar{C}$$

برای اجرای تابع به مجموعه‌ای از دروازه‌های منطقی AND نیاز داریم. خروجی هرکدام از این دروازه‌ها متناظر با یک جمله حاصل ضرب است و سرانجام، باید خروجی همه این دروازه‌ها را با یکدیگر OR کنیم.

مثال ۳-۲۷: مدار تابع خروجی مثال ۳-۲۶ را با

استفاده از گیت‌های منطقی طراحی کنید.

حل:



شکل ۳-۴۶ - مدار مثال ۳-۲۷

البته فراموش نکنید که برای کاهش تعداد دروازه‌ها، می‌توانیم در صورت امکان ابتدا تابع را به روش جبری یا با استفاده از جدول کارنو ساده کنیم و سپس تابع ساده شده را با دروازه‌های AND و OR کم‌تری اجرا کنیم.

مثال ۳-۲۸: تابع خروجی مدار مثال ۳-۲۷ را ساده

کنید و سپس مدار تابع ساده شده را ترسیم کنید.

حل:

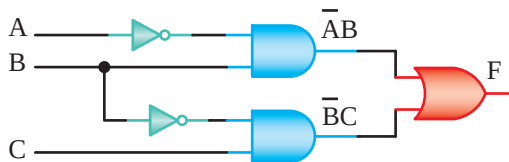
$$F = \bar{A}\bar{B}C + \bar{A}B\bar{C} + \bar{A}BC + A\bar{B}\bar{C}$$

از جمله‌های اول و چهارم عامل مشترک $\bar{B}C$ و از جمله‌های دوم و سوم عامل مشترک $\bar{A}B$ را فاکتورگیری می‌کنیم.

$$F = \bar{B}C(\bar{A} + A) + \bar{A}B(\bar{C} + C)$$

$$F = \bar{B}C + \bar{A}B$$

مدار خروجی F را طراحی و رسم می‌کنیم.



شکل ۳-۴۷ - مدار ساده‌شده مثال ۳-۲۸

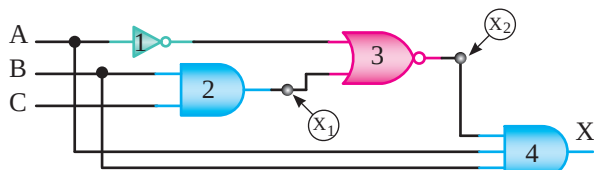
برای بیان تابع به صورت حاصل ضرب جمع‌ها باید جمله مجموع متناظر با هر حالت «۰» تابع را بنویسیم. سپس کلیه جملات را در یکدیگر ضرب می‌کنیم. البته در صورت امکان باید تابع F ساده شده و در نهایت تابع ساده‌شده را به صورت AND-OR به اجرا در آوریم.

در این فصل، ابتدا روش آنالیز و طرح مدارهای ترکیبی را به صورت عام بیان می‌کنیم و سپس به تفکیک و با تفصیل بیشتر به بررسی مدارهای ترکیبی با کاربری عمومی می‌پردازیم.



تمرین کلاسی ۳-۲۸: تابع خروجی مثال ۳-۲۶ را با استفاده از جدول کارنو ساده کنید و با مدار به‌دست آمده در مثال ۳-۲۸ مقایسه کنید.

مثال ۲۹-۳: در مدار شکل ۴۹-۳ نخست تابع خروجی X را بر حسب متغیرهای A ، B و C به صورت مجموع حاصل ضرب‌ها به دست آورید و سپس جدول صحت مدار را رسم کنید.



حل:

$$X=ABx_r$$
$$x_y = \overline{(\bar{A} + x_1)} = A\bar{x}_1$$

چون $x_1 = BC$ است، در نتیجه داریم:

$$\mathbf{x} = \mathbf{A}\mathbf{B} \mathbf{x}_r$$

↓

$$= AB \quad \overline{A\overline{x}_1} = AB \quad \overline{\overline{x}_1}$$

↓

$$= AB \quad \overline{BC} = AB \quad (\overline{B+C}) = A\overline{B}\overline{C}$$

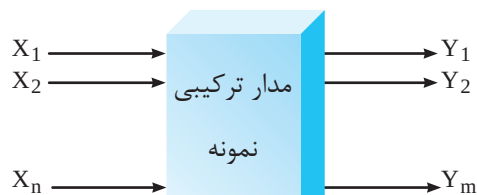
یعنی، خروجی مدار فوق فقط در حالتی که $A=1$ ،
 $B=1$ و $C=0$ باشد برابر با «۱» می شود (مین ترم سطر
 شماره ۶). جدول صحت مدار را در جدول ۳۸-۳ ملاحظه
 می کنید.



تمرین کلاسی ۲۹-۳: تابع ماکس-ترم خروجی مثال ۲۶-۳ را بنویسید و پس از ساده کردن تابع خروجی با استفاده از جدول کارنو مدار آن را طراحی و ترسیم کنید.

۲-۹-۳- تعریف مدار ترکیبی: مدار ترکیبی به مداری اطلاق می‌شود که وضعیت خروجی‌های آن در هر لحظه منحصرأً به وضعیت ورودی‌های آن، در همان لحظه بستگی دارد. در چنین مداری، هیچ خروجی‌ای به هیچ ورودی‌ای از مدار برگشت داده نمی‌شود.

در شکل ۳-۴۸ بلوک دیاگرام یک مدار ترکیبی نشان داده شده است. یادآوری می‌شود که در فصل چهارم در ارتباط با مدارهای ترکیبی ویژه کاربردی به‌طور مفصل بحث خواهد شد.



شکل ۴۸-۳- بلوک دیاگرام یک مدار ترکیبی

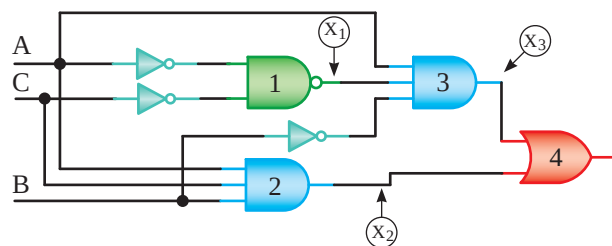
۳-۹-۳- آنالیز مدارهای ترکیبی: برای بررسی رفتار یک مدار ترکیبی، باید پاسخ مدار را به همهٔ حالت‌های ورودی آن به‌دست آوریم. می‌دانید که اگر مداری n ورودی مختلف داشته باشد دارای 2^n حالت متفاوت است. برای به‌دست آوردن پاسخ کلی مدار، نخست باید تابع منطقی هر یک از خروجی‌های آن را بر حسب متغیرهای ورودی در فرم مجموع حاصل‌ضرب‌ها یا حاصل‌ضرب جمع‌ها به‌دست آوریم.

سپس به روش جبری یا به کمک جدول کارنو صورت
نرمال تابع را مشخص کنیم و در نهایت به کمک آن

جدول ۳-۳۸- جدول صحت مربوط به مثال ۳-۲۹

A	B	C	X
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	0
1	1	0	1
1	1	1	0

مثال ۳-۳۰: مدار شکل ۳-۵۰ را تجزیه و تحلیل کنید. سپس آن را در فرم NAND-NAND (همه گیت‌ها NAND باشند) اجرا کنید.



شکل ۳-۵۰- مدار مربوط به مثال ۳-۳۰

حل: با توجه به شکل ۳-۵۰ مدار مقادیر X_1 , X_2 , X_3 را با توجه به ورودی‌ها و گیت‌های موجود به دست می‌آوریم.

$$X_1 = A \cdot C = A + C$$

و

$$X_2 = A \cdot X_1 \cdot B = A(A + C)B = AB + ABC$$

یا

$$X_3 = AB(1 + C) = AB$$

و

$$X_4 = ABC$$

پس از تعیین مقادیر X_1 , X_2 , X_3 می‌توانیم تابع خروجی Z را به دست آوریم:

$$Z = X_3 + X_4$$

یا

$$Z = ABC + AB$$

جمله ABC یک جمله نرمال است ولی جمله AB را باید به صورت نرمال بیان کنیم، برای نرمال کردن AB

از اتحادها استفاده می‌کنیم.

$$AB = AB \times 1$$

$$AB = AB(\bar{C} + C)$$

$$AB = AB\bar{C} + ABC$$

مقادیر معادل AB را در تابع Z قرار می‌دهیم:

$$Z = ABC + AB\bar{C} + AB\bar{C}$$

مطابق جدول صحت شماره سطر هر یک از جمله‌های

تابع Z را مشخص می‌کنیم.

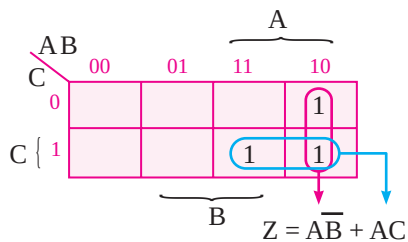
$$Z = \underbrace{ABC}_{\text{سطر ۷}} + \underbrace{AB\bar{C}}_{\text{سطر ۴}} + \underbrace{AB\bar{C}}_{\text{سطر ۵}}$$

در نتیجه می‌توانیم تابع Z را به صورت زیر هم بنویسیم.

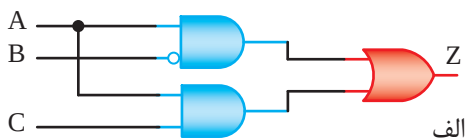
$$Z = \sum_m (m_7, m_4, m_5)$$

برای اجرای این تابع با دروازه‌های منطقی NAND، ابتدا باید آن را ساده کنیم. با استفاده از جدول کارنو، نتیجه می‌شود:

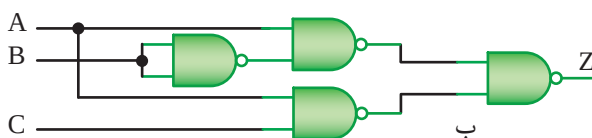
جدول ۳-۳۹- جدول کارنو مربوط به مثال ۳-۳۰



و ساده‌ترین مدار این تابع به شکل ۳-۵۱- الف یا معادل NAND-NAND آن، شکل ۳-۵۱- ب قابل اجراست.



الف



ب

شکل ۳-۵۱- مدارهای مربوط به مثال ۳-۳۰

برای حل مسئله باید مقادیر x_1 ، x_2 ، x_3 و x_4 را به دست آوریم تا توابع Y و Z قابل دسترسی باشد.

$$X_1 = A \oplus B, Y = x_1 \oplus C$$

$$Y = A \oplus B \oplus C$$

$$Y = \overline{A}\overline{B}C + \overline{A}B\overline{C} + A\overline{B}\overline{C} + ABC \quad (\text{چرا؟})$$

$$Y = \sum m(1, 2, 4, 7)$$

$$Z = x_2 + x_4$$

که چون $x_2 = AB$ و $x_4 = Cx_3$ است، خواهیم داشت:

$$Z = AB + Cx_3$$

اگر در تابع فوق به جای x_3 معادل آن یعنی $x_3 = A+B$ را جایگزین کنیم، مقدار Z برابر است با:

$$Z = AB + C(A+B) = AB + AC + BC$$

و در نهایت پس از نرمال کردن تابع خواهیم داشت:

$$Z = \overline{A}BC + A\overline{B}C + AB\overline{C} + ABC$$

(تابع نرمال را اثبات کنید).

که در این تابع جملات ۳، ۵، ۶ و ۷ وجود دارد.

$$Y = \sum m(3, 5, 6, 7)$$

حاصل عملیات فوق را در جدول صحت ۴۰-۳ مشاهده می کنید.

جدول ۴۰-۳- جدول صحت مربوط به مثال ۳-۳۱

شماره های سطر	A	B	C	Y	Z
0	0	0	0	0	0
1	0	0	1	1	0
2	0	1	0	1	0
3	0	1	1	0	1
4	1	0	0	1	0
5	1	0	1	0	1
6	1	1	0	0	1
7	1	1	1	1	1



جهت دانش آموزان علاقه مند: آیا می توانید با

توجه به جمله های استاندارد یک تابع منطقی شماره سطر مربوط به هر جمله را بنویسید. تحقیق و تلاش کنید و نتیجه را به کلاس ارائه نمایید.

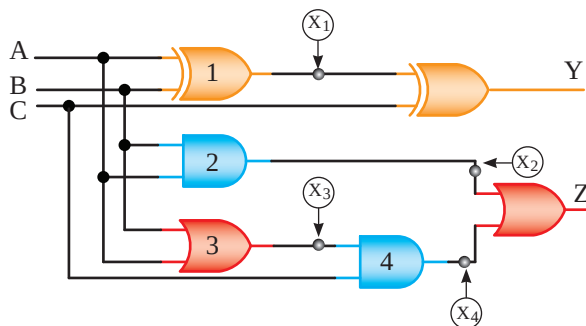


جهت دانش آموزان علاقه مند: آیا می دانید بین

شماره سطر جدول صحت یک تابع منطقی و اعداد باینری چه رابطه ای است؟ تحقیق کنید و نتیجه را به کلاس ارائه نمایید.

ممکن است یک مدار ترکیبی بیش از یک خروجی داشته باشد. برای به دست آوردن جدول صحت این گونه مدارها باید تابع منطقی هر یک از خروجی ها را، مستقل از بقیه به دست آوریم. سپس با توجه به توابع منطقی به دست آمده، جدول صحت مدار را رسم کنیم.

مثال ۳-۳۱: در شکل ۵۲-۳ هر یک از توابع Y و Z را بر حسب متغیرهای A ، B و C در فرم مجموع حاصل ضرب ها به دست آورید، سپس جدول صحت مدار را رسم کنید.



شکل ۵۲-۳- مدار مثال ۳-۳۱

حل: با توجه به شکل ۵۲-۳ می توانیم بنویسیم:

الف) جدول صحت مدار را براساس عملکرد تعریف شده برای مدار به دست آوریم. اگر این گام را که گامی اساسی برای طراحی یک مدار ترکیبی است، درست برداریم دنبال کردن مراحل بعدی تا اجرای سخت‌افزاری مدار از یک روند منطقی کاملاً روشن و معین تبعیت می‌کند.

ب) به کمک جدول صحت مدار هر یک از توابع خروجی آن را در فرم مجموع حاصل ضرب‌ها (یا حاصل ضرب جمع‌ها) بیان می‌کنیم.

پ) هر یک از توابع فوق را به روش جبری یا با استفاده از جدول کارنو ساده می‌کنیم.

ت) هر یک از توابع ساده شده را به صورت یک ترکیب OR-AND یا NAND-NAND اجرا می‌کنیم.

مثال ۳-۳۲: مداری با سه ورودی A، B، C و یک خروجی Y طرح کنید که در حالت‌هایی که اکثریت نسبی ورودی‌ها یک باشد، خروجی آن یک شود. مدار را در ساده‌ترین فرم مجموع حاصل ضرب‌ها اجرا کنید.

حل: با توجه به صورت مسئله، خروجی مدار در حالت‌هایی که دست‌کم دو ورودی آن در حالت یک باشد، یک می‌شود؛ بنابراین، جدول صحت آن به صورت جدول ۳-۴۲ بیان می‌گردد.

جدول ۳-۴۲ - جدول صحت مربوط به مثال ۳-۳۲

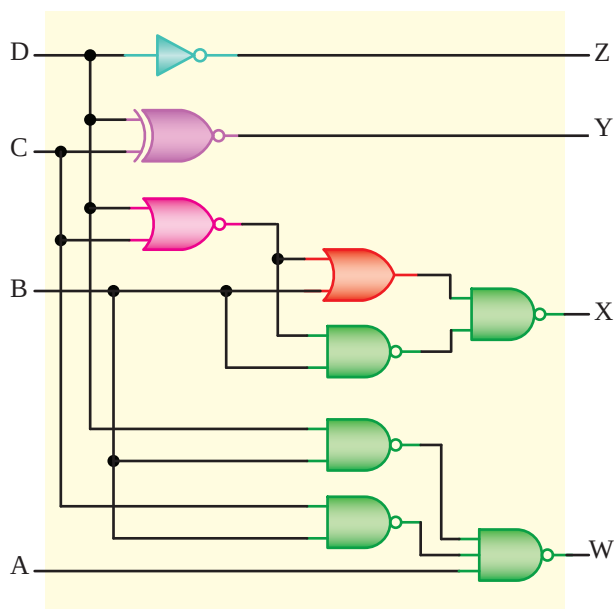
شماره‌های سطر	A	B	C	Y
0	0	0	0	0
1	0	0	1	0
2	0	1	0	0
3	0	1	1	1
4	1	0	0	0
5	1	0	1	1
6	1	1	0	1
7	1	1	1	1



تمرین کلاسی ۳-۳۰: جدول صحت مدار شکل ۳-۵۳ را برای حالت‌های داده شده در جدول ۳-۴۱ تکمیل کنید.

جدول ۳-۴۱ - جدول صحت تمرین کلاسی ۳-۳۰

شماره‌های سطر	A	B	C	D	W	X	Y	Z
0	0	0	0	0	.	.	.	.
1	0	0	0	1	.	.	.	.
2	0	0	1	0	.	.	.	.
3	0	0	1	1	.	.	.	.
4	0	1	0	0	.	.	.	.
5	0	1	0	1	.	.	.	.
6	0	1	1	0	.	.	.	.
7	0	1	1	1	.	.	.	.
8	1	0	0	0	.	.	.	.
9	1	0	0	1	.	.	.	.



شکل ۳-۵۳ - مدار مربوط به تمرین کلاسی

۳-۹-۴ طراحی مدارهای ترکیبی ساده: برای طراحی یک مدار ترکیبی، باید به ترتیب زیر عمل کنیم.

مسئول اتاق و کلید دوم توسط کسی که می‌خواهد وارد اتاق شود تغییر می‌کند. مداری طراحی کنید که اگر وضعیت این دو کلید با یکدیگر اختلاف دارند، مسئول اتاق با خبر شود.

حل یک مثال جهت راهنمایی هنجریان

مثال ۳-۳۳: سه نفر به نام‌های A, B و C در یک آزمایشگاه کار می‌کنند. به لحاظ شرایط امنیتی، این سه باید تحت شرایط خاصی وارد شوند. برای این منظور هر یک دارای کلید خاصی می‌باشند و درب اتاق آزمایشگاه هنگامی باز می‌شود که شرایط لازم زیر برقرار باشد. مداری طراحی نمایید که به وسیله آن شرایط زیر کنترل شده و در صورت مجاز بودن درب باز شود.

الف) A, B و C به تنهایی می‌توانند در اتاق باشند.
ب) A و B یا A و C می‌توانند با هم در اتاق باشند.
ولی B و C فقط در حضور A می‌توانند در اتاق باشند.
پ) غیر از این سه، شخص دیگری حق ورود ندارد.
حل: برای پاسخ دادن به این گونه سؤالات ابتدا جدول صحت تابع خروجی را با توجه به شرایط مطرح شده رسم می‌کنیم. این تابع سه ورودی دارد.

جدول ۳-۴۴ - جدول صحت مثال ۳-۳۳

A	B	C	Y
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	1

تابع خروجی را می‌نویسیم.

$$F = \underbrace{\bar{A}\bar{B}C}_1 + \underbrace{\bar{A}B\bar{C}}_2 + \underbrace{A\bar{B}\bar{C}}_4 + \underbrace{A\bar{B}C}_5 + \underbrace{AB\bar{C}}_6 + \underbrace{ABC}_7$$

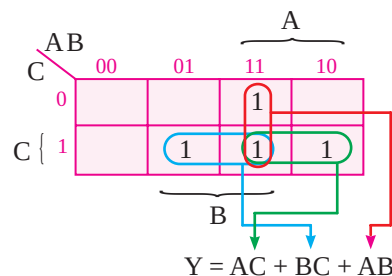
یعنی، تابع Y در فرم نرمال مجموع حاصل ضرب‌ها برابر است با:

$$Y = \sum m(3, 5, 6, 7)$$

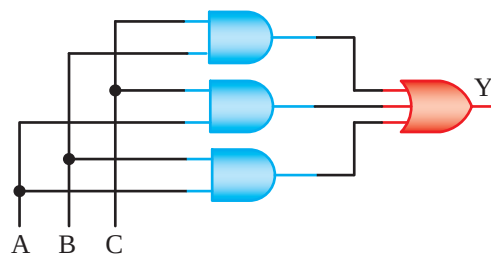
$$Y = \bar{A}\bar{B}C + \bar{A}B\bar{C} + A\bar{B}\bar{C} + ABC$$

که فرم ساده‌شده آن با توجه به نقشه کارنو ۳-۴۳ شامل جمله AC, AB و BC است.

جدول ۳-۴۳ - جدول کارنو مثال ۳-۳۲



و مدار آن شامل سه دروازه AND با دو ورودی و یک دروازه OR با سه ورودی مطابق شکل ۳-۵۴ است.



شکل ۳-۵۴ - مدار مربوط به مثال ۳-۳۲

۳-۱۰- الگوی پرسش

۱- مداری طراحی کنید که :

الف) دارای سه ورودی A, B و C باشد.
ب) چنانچه C=0 باشد A در خروجی ظاهر شود.
پ) چنانچه C=1 باشد B در خروجی ظاهر شود.
ابتدا جدول صحت و رابطه خروجی را به دست آورید. سپس مدار را با توجه به رابطه خروجی طراحی کنید.

۲- در درون اتاق کلیدی نصب شده است و در بیرون آن نیز کلیدی دیگر قرار دارد. وضعیت کلید اول توسط



جهت هنجاریان علاقه‌مند: برای کنترل چراغ راهنمایی یک چهار راه از یک مرکز فرماندهی دستور تغییر رنگ چراغ‌ها داده می‌شود. این دستور توسط دو کلید فرمان و چند رشته سیم به چهار راه می‌رسد. هدف طراحی مداری است که توسط آن سیگنال‌های رسیده به چراغ راهنمایی، چراغ‌ها را به ترتیب زیر روشن یا خاموش نماید.

از عوامل مشترک فاکتورگیری می‌کنیم.

$$F = \overline{BC}(\overline{A} \times A) + \overline{BC}(\overline{A} \times A) + \overline{AB}(\overline{C} \times C) + \overline{AB}(\overline{C} \times C)$$

$$F = \overline{BC} + \overline{BC} + \overline{AB} + \overline{AB}$$

جمله‌های ۱ و ۲ گیت XOR را تشکیل می‌دهند و از جمله‌های ۳ و ۴ از عامل A فاکتورگیری می‌کنیم.

$$F = B \oplus C + A(\overline{B} \times \overline{B}) = B \oplus C + A$$

مدار را طراحی می‌کنیم.



شکل ۵۵-۳- مدار مربوط به مثال ۳-۳۳

* چراغ A هنگامی سبز یا زرد است که چراغ B جهت راهنمایی برای حل تمرین جدول صحت قرمز باشد. مدار را رسم کرده‌ایم. توجه داشته باشید که در این

* چراغ B هنگامی سبز یا زرد است که چراغ A مدار شش خروجی (چراغ راهنمایی) داریم (جدول قرمز باشد. ۳-۴۴)

جدول صحت ۳-۴۵- جدول صحت مدار چراغ راهنمایی

کلیدهای فرمان		چراغ‌های سمت A			چراغ‌های سمت B		
X	Y	A _R	A _Y	A _G	B _R	B _Y	B _G
0	0	1	0	0	0	0	1
0	1	1	0	0	0	1	0
1	0	0	1	0	1	0	0
1	1	0	0	1	1	1	0

B_Y: چراغ زرد سمت B

A_G: چراغ سبز سمت A

A_R: چراغ قرمز سمت A

B_G: چراغ سبز سمت B

B_R: چراغ قرمز سمت B

A_Y: چراغ زرد سمت A

توجه داشته باشید که چراغ‌های قرمز سمت A و سمت B هیچگاه با هم روشن نیستند.

جدول صحت مدارها را رسم کنید و پس از مشخص کردن وضعیت خروجی، مدار را با آزمایشگاه مجازی، شبیه‌سازی کنید. پیشنهاد می‌شود مثال ۳-۳۳ را با استفاده از دستگاه Logic converter شبیه‌ساز مولتی‌سیم اجرا کنید.

۱۱-۳- استفاده از نرم‌افزار

با استفاده از نرم‌افزار مولتی‌سیم، مدارهای شکل ۵۶-۳ الف و ب را ببینید و پس از راه‌اندازی، صحت آن را تجربه کنید. برای اجرای نرم‌افزاری، ابتدا باید



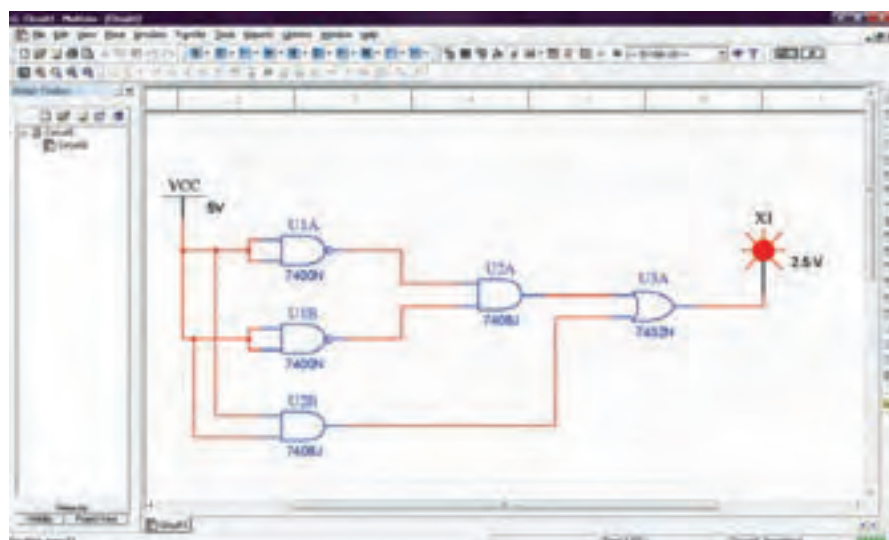
نکته ۳: برای استفاده از لامپ یا LED در خروجی مدار باید یک سر لامپ یا کاتد LED را به زمین منطقی اتصال دهید.



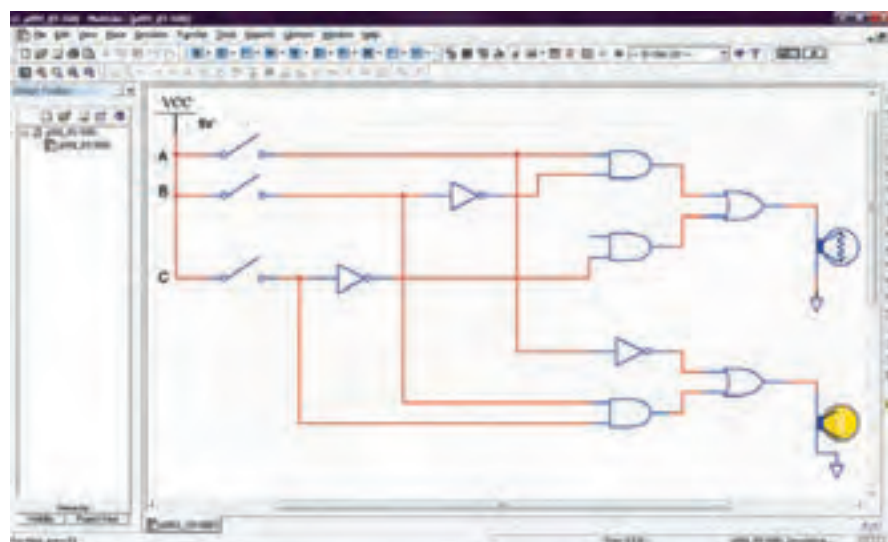
نکته ۱: برای مدارهای منطقی باید از زمین DGND که نمادی به شکل  دارد استفاده کنید.



نکته ۲: برای استفاده از پروپ خروجی که در مدار الف استفاده شده است نیازی به اتصال زمین ندارید.



(الف)



(ب)

شکل ۵۶-۳ مدارهای منطقی با استفاده از نرم افزار مولتی سیم

۱۲-۳- الگوی پرسش

۱- توابع زیر را به کمک روابط جبر بول ساده کنید.

(الف)

$$F(A,B,C) = \overline{A}BC + A\overline{B}C + \overline{A}B\overline{C} + ABC + A\overline{B}\overline{C}$$

ب) $F(A,B,C,D) = \overline{A}BCD + \overline{A}B\overline{C}D + ABCD$

$$+ \overline{A}B\overline{C}\overline{D} + \overline{A}B\overline{C}D + \overline{A}BC\overline{D}$$

پ) $F(A,B,C,D) = \overline{A}BCD + AB\overline{A}A + \overline{A}BCD$
 $+ \overline{A}BCD + \overline{A}BCD$

۲- توابع زیر را به کمک نقشه کارنو ساده کنید.

(الف) $F(A,B,C) = \Sigma_m(0,1,5,6,7)$

ب) $F(A,B,C,D) = \Sigma_m(0,2,5,7,9,11,12,14,15)$

پ) $F(A,B,C,D) = \Sigma_m(2,5,6,7,9,10,11,15)$

۳- تابع زیر را به کمک نقشه کارنو ساده کنید.

(الف) $F(A,B,C) = \Pi_M(0,2,4,6)$

ب) $F(A,B,C,D) = \Pi_M(0,1,4,7,9,11,13,14)$

۴- تابع زیر را به فرم استاندارد بول (عبارت‌های

مین ترم) در آورید.

$$F(A,B,C,D) = ABC + A\overline{D} + ABC$$

۵- تابع زیر را به فرم استاندارد بول (عبارت‌های

ماکس ترم) در آورید.

$$F(A,B,C) = AB + \overline{C}$$

۶- توابع زیر را ابتدا ساده کنید و سپس به کمک

دروازه‌های منطقی رسم نمایید.

(الف) $F(A,B,C) = \Sigma_m(0,1,2,3,5,7)$

ب) $F(A,B,C,D) = \Sigma_m(2,4,6,8,10,12,13,14)$

۷- تابع زیر را بعد از ساده نمودن به کمک دروازه

منطقی NAND رسم کنید.

$$F(A,B,C) = \Sigma_m(1,2,3,5,7)$$

۸- ساده‌ترین عبارت استخراجی از نقشه‌های کارنوی

جدول ۴-۳ الف، ب، پ و ت را بنویسید.

جدول ۴۶-۳- نقشه کارنوی الگوی پرسش

C	AB			
	00	01	11	10
0	1	1		1
1		1	1	1

الف

C	AB			
	00	01	11	10
0	1			1
1	1		1	1

ب

CD	AB			
	00	01	11	10
00	1	1		1
01	1	1	1	1
11	1		1	1
10	1			1

پ

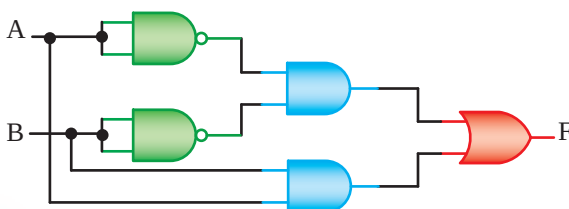
CD	AB			
	00	01	11	10
00	1			1
01	1	1		
11		1	1	
10		1	1	

ت

۹- در مدار شکل ۵۷-۳ پس از به دست آوردن رابطه

خروجی و ساده کردن آن، چه مدار ساده‌ای را می‌توان

جایگزین کرد؟



شکل ۵۷-۳- مدار مربوط به سؤال ۹



جهت هنجاریان علاقه‌مند

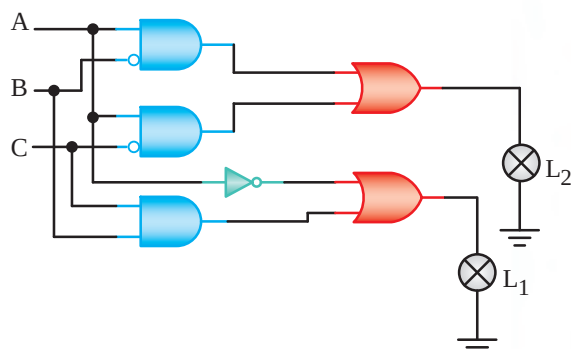
۱۳- مکمل تابع

$$F(A,B,C) = \sum_m (0,3,6,7)$$

را به صورت میان‌ترم بدست آورید و نتیجه را ساده کنید.

۱۴- یک مدار برای نتایج یک مسابقه با سه نفر شرکت کننده طراحی کرده‌ایم که در آن نتیجه بازی فقط به شرط حداقل دو جواب صحیح از سه جواب داده شده، امتیاز یک دارد. تابع منطقی حاصل از این خروجی مدار را با استفاده از جدول درستی بنویسید.

۱۰- در مدار شکل ۳-۵۸ به‌ازاء کدام حالت ورودی‌ها لامپ L_1 خاموش و لامپ L_2 روشن می‌شود؟



شکل ۳-۵۸- مدار مربوط به سؤال ۱۰

۱۱- در مدار شکل ۳-۵۹ شرایط زیر برقرار است.

الف) Z_1 موقعی یک است که $C=0$ و $A=B=1$ یا $B=0$ و $A=C=1$ باشد.

ب) Z_2 موقعی یک است که $C=1$ و $B=1$ و $A=0$ یا $C=1$ و $B=0$ و $A=1$ باشد.

پ) در بقیه حالت‌ها $Z_1=Z_2=0$ است.



شکل ۳-۵۹- مدار سؤال ۱۱

مدار منطقی این مدار ترکیبی را رسم کنید.

۱۲- مداری طراحی کنید که وقتی به ورودی آن از صفر تا ۱۵ داده می‌شود، در قبال اعدادی که بر چهار بخش پذیر هستند خروجی (۱) شود. نقشه کارنوی مدار فوق را رسم کنید.

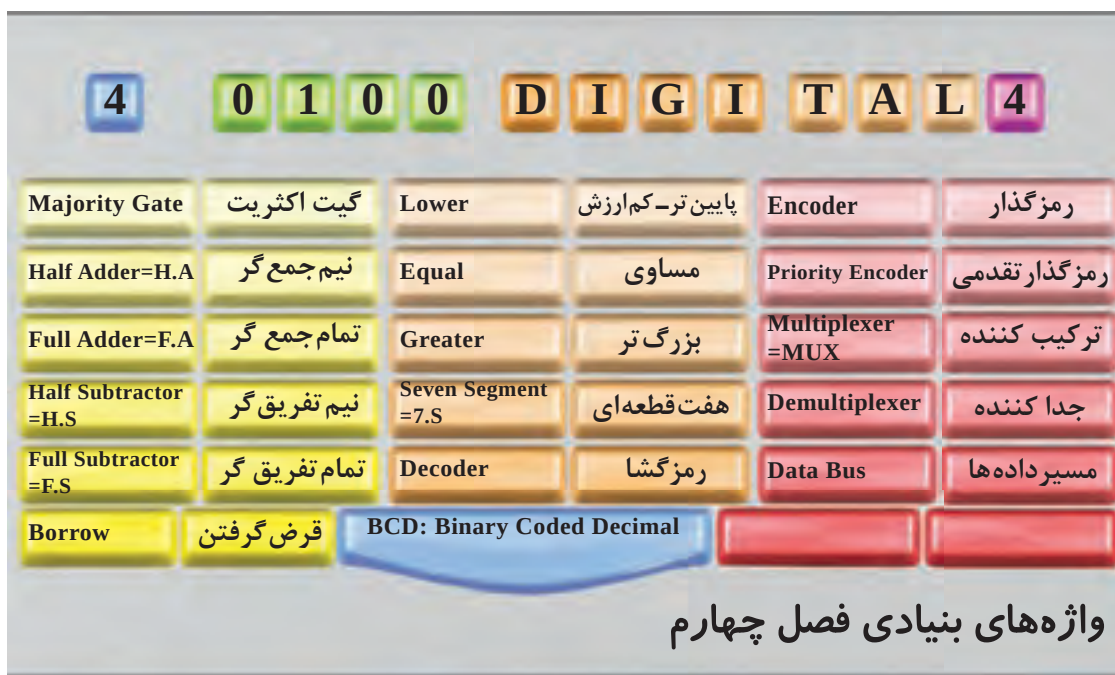
چند مدار ترکیبی کاربردی

هدف کلی: بررسی و طراحی مدارهای ترکیبی که وضعیت خروجی‌های آن در هر لحظه منحصرأ به وضعیت ورودی‌های آن، در همان لحظه بستگی دارد و مدارهای ترکیبی با کاربردهای ویژه که به علت مصرف عام به صورت تراشه‌های تجارتي عرضه می‌شوند.

کل زمان اختصاص داده شده به فصل: ۲۴ ساعت آموزشی

هدف‌های رفتاری: در پایان این فصل از فراگیرنده انتظار می‌رود که:

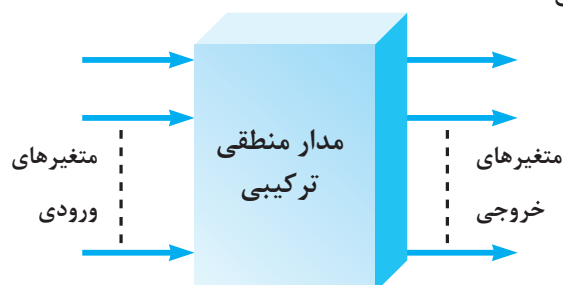
- ۱- مدارهای ترکیبی را تعریف کند.
- ۲- روش طراحی مدارهای ترکیبی را توضیح دهد.
- ۳- چند نمونه مدار ترکیبی را طراحی کند.
- ۴- مدارهای ترکیبی با کاربردهای ویژه را تعریف کند.
- ۵- مدار نیم جمع‌کننده (H.A) را تحلیل کند.
- ۶- مدار تمام جمع‌کننده (F.A) را تحلیل کند.
- ۷- مدار تفريق کننده ناقص (H.S) را تحلیل کند.
- ۸- مدار تفريق کننده کامل (F.S) را تحلیل کند.
- ۹- انواع کدها را تعریف کند.
- ۱۰- انواع کد را با کد BCD مقایسه کند.
- ۱۱- مبدل هگزادسی‌مال به 7.S (سون سگمنت) را با VLSI توضیح دهد.
- ۱۲- مبدل BCD به 7.S را با رسم جدول شرح دهد.
- ۱۳- مدار مقایسه کننده یک بیتی را تحلیل کند.
- ۱۴- مدار رمزگشا (Decoder) را تحلیل کند.
- ۱۵- توابع منطقی را با رمزگشا اجرا کند.
- ۱۶- مدار رمزگذار (Encoder) را تحلیل کند.
- ۱۷- مدار متمرکز کننده (مالتی پلکسر) را تحلیل کند.
- ۱۸- نحوه افزایش ظرفیت متمرکزکننده‌ها را تحلیل کند.
- ۱۹- انتقال اطلاعات به کمک متمرکز کننده‌ها را تحلیل کند.
- ۲۰- توابع منطقی را توسط مالتی پلکسر (متمرکز کننده‌ها) اجرا کند.
- ۲۱- نمایشگرهای الکترونیکی (7.S و LED) را توضیح دهد.
- ۲۲- 7.S کاتد مشترک، آند مشترک و آی‌سی‌های مربوطه را تشریح کند.
- ۲۳- چیپ‌ها (Chips) را از نظر گروه LSI , MSI , SSI و VLSI توضیح دهد.
- ۲۴- با استفاده از data book آی‌سی‌های مدارهای ترکیبی ویژه را شناسایی کند.
- ۲۵- با کمک نرم‌افزار مولتی سیم مدارهای ترکیبی را شبیه سازی کند.
- ۲۶- به سؤالات الگوی پرسش پاسخ دهد.
- ۲۷- کلیه هدف‌های رفتاری در حیطه عاطفی که در فصل اول آمده است را باید در این فصل مورد توجه قرار دهد.



پیش گفتار

اندازه کافی صبر کنیم تا روی خروجی‌ها اثر بگذارند، در این شرایط مقادیر خروجی‌ها تحت تأثیر آخرین مجموعه مقادیر ورودی‌ها قرار می‌گیرند و مقدار آنها را مشخص می‌کند.

به آنچه که از مدارهای ترکیبی بیان شد «رفتار مدار» گفته می‌شود. می‌توانیم مدارهای ترکیبی را بر اساس ساختار مدار نیز تعریف کنیم. به عبارت ساده، مدارهای ترکیبی مدارهایی بدون فیدبک (پس‌خورد) و بدون عنصر حافظه هستند. یک مدار ترکیبی شامل متغیرهای ورودی، دروازه‌های منطقی و متغیرهای خروجی است. شکل ۴-۱ بلوک دیاگرام یک مدار ترکیبی را نشان می‌دهد.



شکل ۴-۱- بلوک دیاگرام یک مدار ترکیبی

در فصل سوم به بررسی جبر بول پرداختیم و توابع جبری آن را به صورت ساده شده نشان دادیم و اشاره‌ای به مدارهای ترکیبی داشتیم، در این فصل به بررسی مدارهای منطقی ترکیبی با کاربرد ویژه می‌پردازیم. در طراحی و ساخت مدارهای منطقی باید تا حد امکان از ساده‌ترین و کم‌ترین قطعات استفاده شود. به عبارت دیگر، در طراحی مدارهای منطقی باید ابتدا مدارها را با روش‌های مختلف خلاصه و ساده کنید، تا به یک مدار بهینه قابل قبول با حداقل قطعات برسید. در این فصل، به بررسی مدارهای ترکیبی که کاربری عمومی دارند می‌پردازیم و با زبان ساده آنها را تشریح می‌کنیم.

۴-۱- مدارهای ترکیبی

مدارهای ترکیبی، مدارهایی هستند که خروجی‌های آنها به طور هم‌زمان به ورودی‌های آنها بستگی دارد. به عبارت دیگر اگر ورودی‌هایی را به شبکه اعمال کنیم و به

۴-۱-۱- روش طراحی مدارهای ترکیبی: در فصل سوم پیاده‌سازی روابط منطقی را با استفاده از گیت‌ها بیان کردیم. در این فصل به طراحی مدارهای ترکیبی می‌پردازیم.

طراحی مدارهای ترکیبی با تعریف یک مسئله شروع می‌شود و با دیاگرام «منطقی مدار» یا «مجموعه‌ای از توابع بول» که با استفاده از آنها می‌توان به سادگی دیاگرام منطقی را به‌دست آورد پایان می‌یابد. مراحل زیر روند طراحی مدارهای ترکیبی را نشان می‌دهد.

- ۱- تعریف دقیق مسئله.

۲- تعیین تعداد ورودی‌ها و خروجی‌های لازم.

۳- تشکیل جدول درستی مدار که ارتباط بین ورودی‌ها و خروجی‌ها را برقرار کند.

۴- نوشتن تابع منطقی.

۵- ساده‌سازی تابع منطقی بولی به‌دست آمده برای هر یک از خروجی‌های مدار.

۶- رسم مدار منطقی با حداقل گیت یا با گیت‌های خواسته شده.



نکته: در طراحی مدار سعی می‌کنیم تعداد دروازه‌های منطقی و تعداد ورودی‌های آن حداقل باشد.

جدول درستی یک مدار ترکیبی از ستون‌های ورودی و ستون‌های خروجی تشکیل می‌شود.

بر اساس صورت مسئله، با استفاده از 2^n حالت ورودی حالت‌های خروجی را به‌دست می‌آوریم. مشخصات مسئله ممکن است به گونه‌ای باشد که بعضی از ترکیب‌های ورودی هرگز به وجود نیایند. که این حالت‌ها را «حالت‌های بی‌اهمیت» (don't care) می‌گویند.

۴-۱-۲- طراحی چند نمونه مدار ترکیبی: در فصل سوم، طراحی مدارهای مختلف ترکیبی را فرا

گرفتید، برای یادآوری و تأکید بیشتر در این فصل به شرح چند مثال دیگر می‌پردازیم.

مثال ۴-۱: مداری با سه ورودی A، B و C طراحی کنید، که اگر ورودی B یک باشد خروجی یک شود.

حل:

الف) رسم جدول صحت: ابتدا جدول صحت را با سه متغیر ورودی و یک خروجی رسم می‌کنیم. با توجه به صورت مسئله در جدول صحت، در شرایطی که ورودی B یک است، خروجی را یک می‌نویسیم.

جدول ۴-۱- جدول صحت مربوط به مثال ۴-۱

شماره سطر	A	B	C	F
0	0	0	0	0
1	0	0	1	0
2	0	1	0	1
3	0	1	1	1
4	1	0	0	0
5	1	0	1	0
6	1	1	0	1
7	1	1	1	1

ب) نوشتن تابع منطقی مدار: تابع منطقی را با توجه به حالت‌هایی که خروجی یک است می‌نویسیم برای نوشتن تابع منطقی از حاصل جمع حاصل ضرب‌ها (مین‌ترم) استفاده می‌کنیم.

$$F = \overline{A}\overline{B}C + \overline{A}B\overline{C} + A\overline{B}\overline{C} + ABC$$

↔ سطر ۲ ↔ سطر ۳ ↔ سطر ۶ ↔ سطر ۷

ج) ساده کردن تابع منطقی: از سطر ۲ و ۶ عبارت $\overline{B}C$ و از سطر ۳ و ۷ عبارت $\overline{A}C$ را فاکتورگیری می‌کنیم.

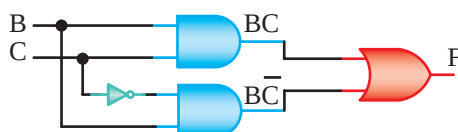
$$F = \overline{B}C(\overline{A} + A) + \overline{A}C(\overline{B} + B)$$

می‌دانیم هر متغیر که با مکمل خودش جمع شود حاصل آن یک است. هم‌چنین اگر «یک» منطقی در عبارتی ضرب شود، حاصل همان عبارت خواهد بود.

بنابراین عبارت خروجی به صورت زیر در می‌آید.

$$F = \overline{B}C + BC$$

(د) طراحی مدار: با توجه به عبارت منطقی به دست آمده برای تابع F ، مدار شکل ۴-۲ را طراحی می‌کنیم.



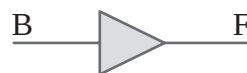
شکل ۴-۲- مدار مربوط به مثال ۴-۱

کمی به عبارت خروجی F توجه کنید، در می‌یابید که می‌توانید تابع F را ساده‌تر کنید. از متغیر B فاکتورگیری می‌کنیم، حاصل به صورت زیر در می‌آید.

$$F = B(\overline{C} + C) = B$$

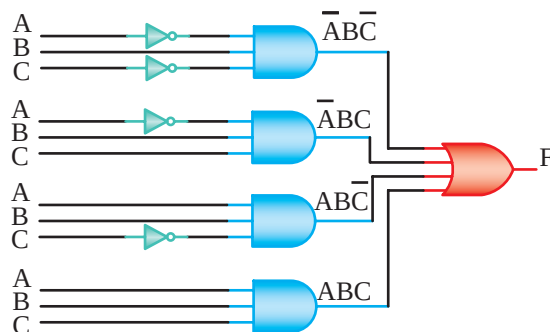
در نتیجه وقتی خروجی یک است که ورودی B یک باشد. به عبارت دیگر، سایر متغیرهای ورودی تأثیری در خروجی ندارند و می‌توانند حذف شوند.

مدار شکل ۴-۳ مدار ساده شده عبارت خروجی F است.



شکل ۴-۳- مدار ساده شده مثال ۴-۱

اگر از قوانین مربوط به ساده کردن عبارت‌های منطقی استفاده نمی‌کردیم باید مدار ساده مثال ۴-۱ را به صورت مدار پیچیده شکل ۴-۴ طراحی کنیم.



شکل ۴-۴- مدار مثال ۴-۱ قبل از ساده شدن

با مقایسه مدارهای شکل ۴-۳ و ۴-۴ در می‌یابیم که

تعداد گیت‌های استفاده شده در مدار ساده شده فقط یک گیت بافر و در مدار ساده نشده ۹ گیت مختلف و پیچیده است. لذا از این تفاوت نمی‌توان به راحتی عبور کرد.

مثال ۴-۲: مداری طراحی کنید که یک قفل را با ۳ کلید دو وضعیتی A ، B و C کنترل کند. رمز قفل در حالتی باز می‌شود که فقط یک کلید بسته باشد، (بسته بودن به مفهوم «یک» منطقی است).

حل:

(الف) ترسیم جدول صحت: ابتدا با توجه به تعداد متغیرها (۳ متغیر) و تعداد حالت‌ها ($2^3=8$) جدول صحت را مطابق جدول ۴-۲ رسم می‌کنیم. در این جدول ستون ۱ شماره سطر و ستون ۲ حالت‌های ورودی‌ها را نشان می‌دهد.

جدول ۴-۲- جدول صحت مربوط به مثال ۴-۲

شماره سطر	A	B	C	F
0	0	0	0	0
1	0	0	1	1
2	0	1	0	1
3	0	1	1	0
4	1	0	0	1
5	1	0	1	0
6	1	1	0	0
7	1	1	1	0

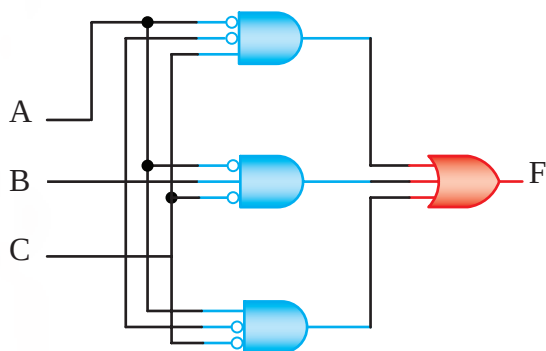
ستون ۴ همان خروجی مدار یا F است که بر اساس تعریف کارمدار، آن را تکمیل می‌کنیم. بنابر صورت مسئله، اگر فقط یکی از ورودی‌ها، یک و بقیه صفر باشند، ستون خروجی یعنی F یک خواهد شد.

(ب) نوشتن تابع منطقی مدار: حال باید تابع منطقی را برای حالت‌هایی که مقدار خروجی یک است، بنویسیم. برای نوشتن تابع منطقی می‌توانیم از حاصل جمع ضرب‌ها (مین ترم) استفاده کنیم.

$$F = \overline{A}BC + A\overline{B}C + ABC$$

← سطر ۱
← سطر ۲
← سطر ۴

با استفاده از نماد جدید، مدار شکل ۴-۵ را می‌توان به صورت ساده‌تر (شکل ۴-۸) درآورد.



شکل ۴-۸- مدار ساده‌ی مثال ۴-۲

مثال ۴-۳: یک ساختمان دارای سه طبقه است. برق سه فاز وارد ساختمان می‌شود و هر طبقه را با یک فاز تغذیه می‌کند. شرایط کار در ساختمان به گونه‌ای است که اگر برق دو طبقه قطع شود (دو فاز قطع شود)، باید حتماً طبقه‌ای که برق دارد نیز قطع شود. مدار طراحی کنید که توانایی وصل بودن حداقل دو فاز را نشان دهد.

حل:

مرحله اول: برای حل این مسئله ابتدا باید تعداد ورودی‌ها را مشخص کنیم. چون مدار سه فاز است، در نتیجه سه ورودی داریم.

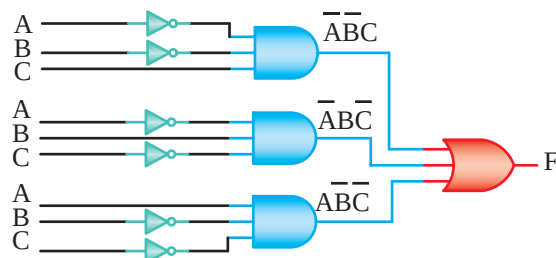
مرحله دوم: رسم جدول صحت و تعیین حالت‌هایی است که خروجی جواب یک دارد. جدول ۴-۳ جدول صحت این مدار را نشان می‌دهد.

جدول ۴-۳- جدول صحت مثال ۴-۳

شماره سطر	A	B	C	F
0	0	0	0	0
1	0	0	1	0
2	0	1	0	0
3	0	1	1	1
4	1	0	0	0
5	1	0	1	1
6	1	1	0	1
7	1	1	1	1

ج) ساده کردن تابع منطقی: تابع منطقی به دست آمده ساده نمی‌شود.

د) طراحی مدار: برای طراحی مدار ابتدا از تابع منطقی به دست آمده (F) کمک می‌گیریم، سپس با استفاده از دروازه‌های منطقی AND، OR و NOT مدار را طراحی می‌کنیم. شکل ۴-۵ مدار مربوط به مثال ۲ را نشان می‌دهد.



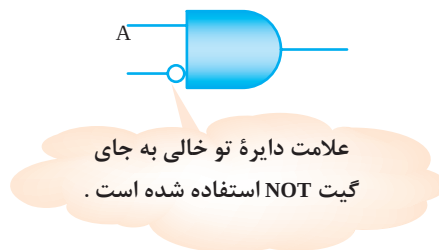
شکل ۴-۵- مدار مثال ۴-۲

همان‌طور که در شکل ۴-۵ مشاهده می‌کنید بعضی از ورودی‌ها برای اتصال به گیت بعدی، ابتدا وارد گیت منطقی NOT می‌شوند، تا به صورت متمم درآیند. برای هر یک از گیت‌های NOT، یک نماد مداری مشابه شکل ۴-۶ رسم شده است.



شکل ۴-۶- دروازه منطقی NOT

برای ساده‌تر شدن مدارهای ترسیمی، در رسم مدارها معمولاً گیت NOT را با یک دایره تو خالی در ورودی گیت مورد نظر (مثلاً گیت AND) نشان می‌دهند، در شکل ۴-۷ این اتصال را مشاهده می‌کنید.



شکل ۴-۷- نماد گیت NOT به صورت دایره تو خالی

که قدرت انجام عملیات ریاضی جمع، تفریق، ضرب، تقسیم و... را داشته باشند. می‌دانیم کلیه عملیات ریاضی بر اساس جمع و تفریق صورت می‌گیرد، زیرا اجرای سایر عملیات به کمک جمع و تفریق امکان‌پذیر است. مثلاً برای اجرای ضرب 3×9 می‌توانیم ۹ را سه بار متوالی با خودش جمع کنیم، یعنی:

$$3 \times 9 = 9 + 9 + 9$$

یا برای انجام تقسیم $15 \div 3$ ، می‌توانیم ۳ را پنج بار متوالی از ۱۵ کم کنیم، و آخرین مرحله که باقی‌مانده مساوی صفر می‌شود، جواب تقسیم است. یعنی:

①	$15 - 3 = 12$
②	$12 - 3 = 9$
③	$9 - 3 = 6$
④	$6 - 3 = 3$
⑤	$3 - 3 = 0$

۵ جواب تقسیم یا خارج قسمت است. لذا به دلیل این که جمع و تفریق اساس عملیات ریاضی را تشکیل می‌دهد. در این مبحث به بررسی جمع‌کننده و تفریق‌کننده می‌پردازیم.

۴-۲-۱- جمع‌کننده ناقص H.A (Half Adder):

جمع دورقم دودویی را می‌توان با مداری به نام جمع‌کننده ناقص یا به اختصار H.A انجام دهیم. مدار H.A مداری است که دو ورودی (A و B) و دو خروجی (S و C) دارد. S رقم اول حاصل جمع SUM و C رقم نقلی یا Carry را مشخص می‌کند.

جدول صحت جمع دوییت A و B را در جدول ۴-۴ مشاهده می‌کنید.

جدول ۴-۴- جدول صحت نیم‌جمع‌کننده

A	B	C	S	
0	0	0	0	$0 + 0 = 0$
0	1	0	1	$0 + 1 = 1$
1	0	0	1	$1 + 0 = 1$
1	1	1	0	$1 + 1 = 10$

مرحله سوم: عبارت‌های منطقی مربوط به خروجی یک را می‌نویسیم.

$$F = \overline{A}BC + A\overline{B}C + AB\overline{C} + ABC$$

← سطر ۳
← سطر ۵
← سطر ۶
← سطر ۷

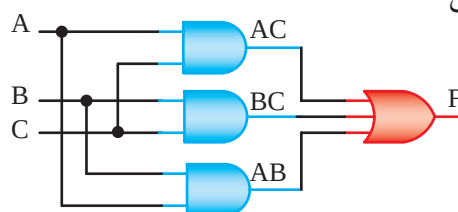
مرحله چهارم: عبارت خروجی را ساده می‌کنیم.

$$F = BC(\overline{A} + A) + AC(\overline{B} + B) + AB(\overline{C} + C)$$

← سطر ۳ و ۷
← سطر ۵ و ۷
← سطر ۶ و ۷

مرحله پنجم: طراحی و رسم مدار مربوط به

خروجی



شکل ۴-۹- مدار مثال ۴-۳

تمرین کلاسی ۴-۱: گیت اکثریت (Majority gate)

یک مدار دیجیتالی است که اگر اکثر ورودی‌های آن (بیش از ۵۰ درصد) یک باشد، خروجی آن نیز یک است. همچنین اگر اکثر ورودی‌های مدار صفر شود، خروجی نیز صفر خواهد بود. حال اگر مدار چهار ورودی داشته باشد، تابع بولی مناسب را بنویسید و مدار آن را طراحی کنید.

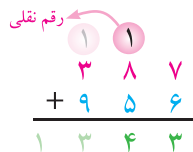
۴-۲- مدارهای ترکیبی با کاربردهای ویژه

در این بخش، بعضی از مدارهای ترکیبی با کاربردهای ویژه، که به علت مصرف عام به صورت تراشه‌ها (IC) تجارتي عرضه می‌شوند را معرفی می‌کنیم. ابتدا در هر مورد به بیان اصول کار مدار با تکیه بر مفاهیم اساسی جبر بول می‌پردازیم، سپس بحث را با معرفی تراشه‌های تجارتي به پایان می‌رسانیم.

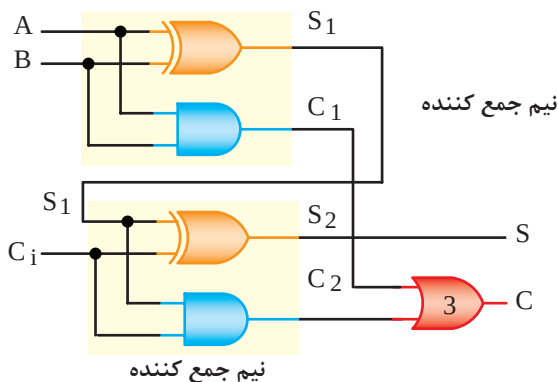
ماشین‌های محاسبه‌گر دیجیتالی باید مدارهایی باشند

جمع‌کننده کامل یا تمام‌جمع‌گر مداری است که ۳ خط ورودی (A، B و C_i) و دو خط خروجی (S و C) را دارد. به این ترتیب مدار جمع‌کننده کامل می‌تواند دو رقم دودویی و یک Carry که از مرحله قبل حاصل شده است را با هم جمع کند. با بیان مثالی در جمع اعداد ده‌دهی درک موضوع را ساده‌تر می‌کنیم.

در جمع دو عدد ۹۵۶ و ۳۸۷ وقتی می‌خواهیم دو رقم دهگان ۵ و ۸ را جمع کنیم ابتدا باید حاصل جمع دو رقم یکان را به دست آوریم از حاصل جمع دو رقم یکان ۶ و ۷ عدد ۱۳ حاصل می‌شود که ۳ را در ستون یکان می‌نویسیم و رقم یک را به ستون دهگان انتقال می‌دهیم که اصطلاحاً ده بر یک می‌گوییم.



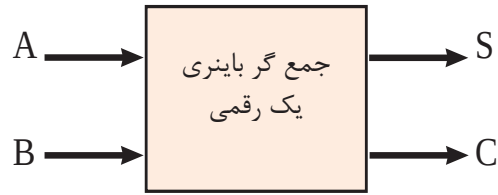
عدد یک، رقم نقلی است که در جمع ۸ و ۵ تأثیر می‌گذارد در سیستم باینری نیز به همین ترتیب رقم نقلی وجود دارد و روی عمل جمع اثر می‌گذارد. به کمک دو نیم‌جمع‌کننده می‌توان یک تمام‌جمع‌گر یا یک جمع‌گر یک‌بیتی کامل مطابق شکل ۴-۱۲ ساخت.



شکل ۴-۱۲ مدار تمام جمع‌گر یک بیتی

به‌طور مثال برای جمع دو عدد باینری چهار بیتی ۱۰۱۱ و ۱۱۰۱ خواهیم داشت:

بلوک دیاگرام مداری که بتواند دو رقم باینری را با هم جمع کند، در شکل ۴-۱۰ نشان داده‌ایم.



شکل ۴-۱۰ بلوک دیاگرام جمع‌کننده ناقص

با توجه به جدول ۴-۴ به این نتیجه می‌رسیم که اگر فقط دو بیت با هم جمع شوند، رقم نقلی از قبل وجود ندارد و جمع‌کننده ناقص (نیم‌جمع‌کننده) می‌تواند این عمل جمع را انجام دهد.

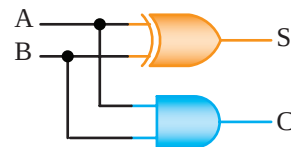
مطابق جدول صحت مدار، تابع S شامل دو جمله $\overline{A}B$ و $A\overline{B}$ است، یعنی:

$$S = \overline{A}B + A\overline{B} = A \oplus B$$

از طرفی تابع C فقط شامل یک جمله AB است، یعنی:

$$C = AB$$

با استفاده از مقادیر S و C به کمک یک دروازه XOR و یک دروازه AND می‌توانیم مداری مطابق شکل ۴-۱۱ را طراحی کنیم.



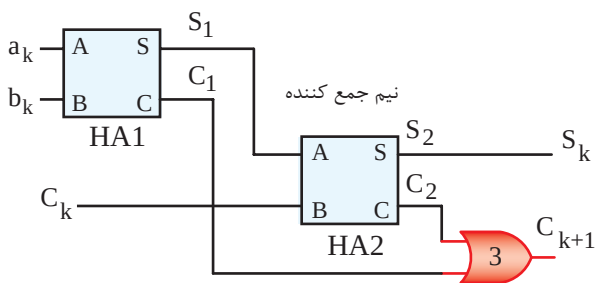
شکل ۴-۱۱ مدار نیم جمع‌گر باینری یک رقمی

در این جمع‌گر، ورودی رقم نقلی پیش‌بینی نشده است. به همین دلیل، به آن جمع‌گر ناقص یا نیم‌جمع‌گر می‌گویند.

۴-۲-۲- جمع‌کننده کامل F.A (Full Adder):

برای انجام عملیات جمع اعداد دودویی نیاز به مداری داریم که بتواند ۳ رقم یک بیتی باینری را با هم جمع کند. چنین مداری را جمع‌کننده کامل می‌گویند و با F.A نشان می‌دهند.

مستلزم آن است که هر دو نیم جمع کننده رقم نقلی یک ایجاد کنند، و این تنها در صورتی تحقق می‌یابد که هر دو ورودی نیم جمع کننده یک باشند.



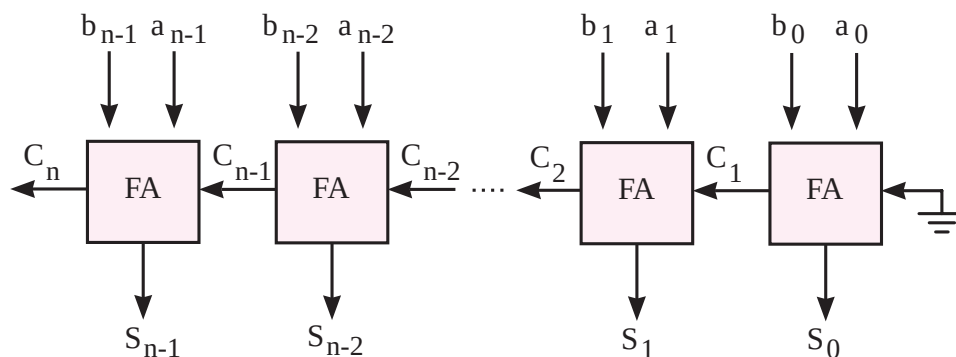
شکل ۴-۱۳- بلوک دیاگرام تمام جمع گر

حال اگر هر دو ورودی a_k و b_k برابر یک باشند، خروجی $S_1 = 0$ و $C_1 = 1$ می‌شود. چون خروجی $S_1 = 0$ است، خروجی $C_2 = 0$ می‌شود، (آیا می‌دانید چرا؟) اگر ورودی‌های a_k و b_k هم‌زمان یک نشوند، خروجی $C_1 = 0$ می‌شود؛ یعنی، هرگز خروجی‌های C_1 و C_2 هم‌زمان یک نمی‌شوند.

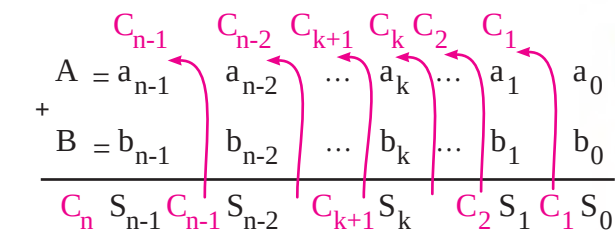


تمرین کلاسی ۲-۴: جدول صحت یک تمام جمع گر یک بیتی را بنویسید و به کمک آن توابع S_k و C_{k+1} را بر حسب ورودی‌های a_k و b_k به دست آورید.

برای جمع کردن دو عدد n رقمی، باید n طبقه تمام جمع گر را مطابق شکل ۴-۱۴ پشت سر هم ببندیم.



شکل ۴-۱۴- بلوک دیاگرام یک جمع گر n بیتی



یعنی، تمام جمع‌گری که در موقعیت مکانی K قرار می‌گیرد، باید سه بیت C_k ، a_k و b_k را با یک دیگر جمع کند.

$$C_k + a_k + b_k$$

رابطه بالا را می‌توانیم به صورت زیر بنویسیم.

$$C_k + a_k + b_k = C_k + (a_k + b_k)$$

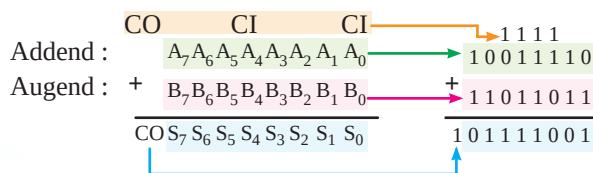
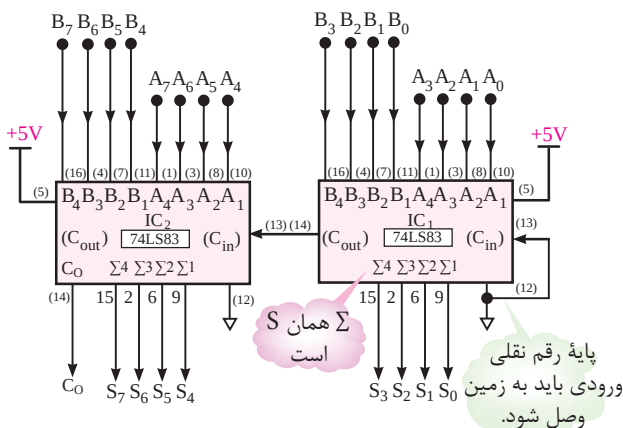
یعنی، ابتدا ارقام a_k و b_k را با هم جمع کنیم و سپس حاصل جمع آن‌ها را با C_k جمع می‌کنیم. در طراحی مدار نیز باید به همین ترتیب عمل کنیم. در شکل ۴-۱۳ مدارهای نیم‌جمع کننده شکل ۴-۱۲ به صورت بلوک دیاگرام نشان داده شده است در این مدار ابتدا نیم‌جمع کننده HA_1 ارقام a_k و b_k را با هم جمع می‌کند و سپس نیم‌جمع کننده HA_2 حاصل جمع این دو رقم را با C_k به دست می‌آورد.

توجه داشته باشید که هرگز ورودی‌های دروازه OR (گیت شماره ۳) هم‌زمان یک نمی‌شود، زیرا این امر

به زمین اتصال داده می‌شود. دو عدد هشت بیتی $A_7 A_6 A_5 A_4 A_3 A_2 A_1 A_0$ و $B_7 B_6 B_5 B_4 B_3 B_2 B_1 B_0$ را با هم جمع می‌کنیم. ابتدا در آی‌سی IC_1 (سمت راستی) ارقام $A_7 A_6 A_5 A_4 A_3 A_2 A_1 A_0$ با $B_7 B_6 B_5 B_4 B_3 B_2 B_1 B_0$ جمع می‌شوند و اگر رقم نقلی ایجاد شود به پایه ۱۴ آی‌سی سمت چپ انتقال می‌یابد. سپس ارقام $A_7 A_6 A_5 A_4 A_3 A_2 A_1 A_0$ با $B_7 B_6 B_5 B_4 B_3 B_2 B_1 B_0$ جمع شده و در صورتی که رقم نقلی ایجاد شود در پایه ۱۴ آی‌سی دوم ظاهر می‌شود. حاصل جمع چهار بیت کم ارزش‌تر در پایه‌های ۹ و ۶ و ۲ و ۱۵ آی‌سی سمت راست و حاصل جمع چهار بیت با ارزش بالاتر را در پایه‌های ۹ و ۶ و ۲ و ۱۵ آی‌سی سمت چپ مشاهده می‌کنید.

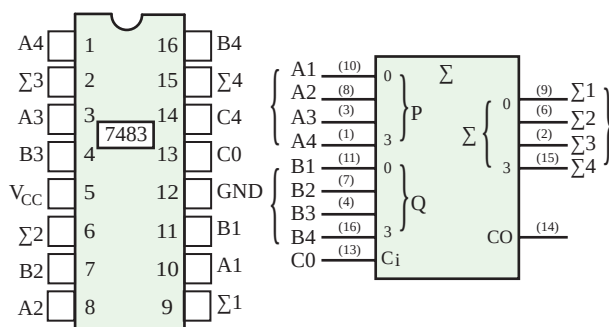


جهت هنجاریان علاقه‌مند: با استفاده از نرم‌افزار مولتی سیم یا پروتئوس دو عدد آی‌سی ۷۴۸۳ شکل ۱۶-۴ را ببینید و با تغییر ورودی‌ها به حالت صفر و یک نتیجه را در خروجی‌های مدار مشاهده کنید.



شکل ۱۶-۴- چگونه انجام دادن عمل جمع دو عدد هشت بیتی به کمک دو جمع‌گر ۷۴LS۸۳

مطابق این الگو، خروجی‌های طبقه اول- یعنی S_0 و C_1 - بلافاصله پایدار می‌شوند، ولی خروجی‌های طبقه دوم، ابتدا حاصل جمع a_1+b_1 را نشان می‌دهند و پس از رسیدن C_1 به حاصل جمع پایدار خود می‌رسند. سایر طبقات نیز تا رسیدن رقم نقلی طبقات ماقبل به حالت پایدار نمی‌رسند. این نوع جمع‌گر را که در آن رقم نقلی به‌صورت موجی از طبقه اول ایجاد می‌شود و به تدریج طبقات دیگر را تحت تأثیر قرار می‌دهد، جمع‌گر موازی با رقم نقلی موجی (Parallel Ripple Carry Adder) می‌نامند. تأخیر انتشار رقم نقلی در مواردی که تعداد ارقام دو عدد زیاد باشد موجب کندی عمل جمع می‌شود. در جمع‌گرهای با سرعت زیاد با به کار بردن شیوه‌های خاصی رقم نقلی هر طبقه را پیش‌بینی و مستقیماً ایجاد می‌کنند. جمع‌گرهای باینری چهار بیتی با رقم نقلی موجی به‌صورت آی‌سی عرضه می‌شود. نمونه‌هایی از این آی‌سی‌ها به‌صورت تجارتي ۱۶ پایه با شماره‌های ۷۴LS۸۳، ۷۴۸۳A و ۷۴HC۸۳ در بازار وجود دارند. در شکل ۱۵-۴ مشخصات تراشه ۷۴۸۳A را مشاهده می‌کنید.



شکل ۱۵-۴- مشخصات جمع‌گر چهار بیتی ۷۴۸۳A

برای جمع کردن اعداد بزرگ‌تر از چهار رقم می‌توان از چند تراشه تجارتي استفاده کرد. در شکل ۱۶-۴، چگونگی انجام دادن عمل جمع دو عدد هشت بیتی را با استفاده از دو جمع‌گر چهار بیتی ۷۴LS۸۳ مشاهده می‌کنید. در تراشه سمت راست چون رقم نقلی از مرحله اولی وجود ندارد پایه ۱۳ این آی‌سی

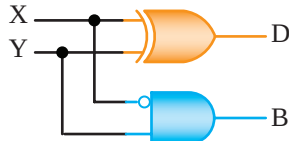
بر اساس جدول تفریق کننده ناقص عبارت مربوط به خروجی‌ها را می‌نویسیم.

$$D = \overline{xy} + x\overline{y} = x \oplus y$$

$$B = \overline{xy}$$

جالب توجه است که مقادیر خروجی D در اینجا با مقادیر خروجی در نیم جمع کننده یکسان است.

با استفاده از مقادیر به دست آمده در تابع خروجی، مدار نیم تفریق کننده به صورت شکل ۴-۱۷ در می‌آید.

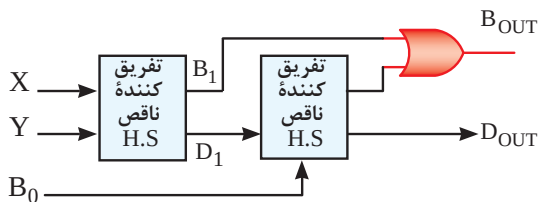


شکل ۴-۱۷ مدار نیم تفریق کننده

۴-۲-۴ تفریق کننده کامل F.S

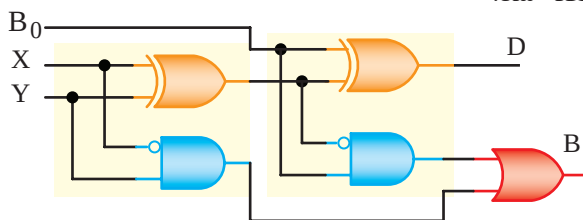
(Full Subtractor): می‌توان مطابق روشی که برای مدارهای «تمام جمع کننده» ذکر شده مدار تمام تفریق کننده یا تفریق کننده کامل را نیز با دو تفریق کننده ناقص و یک گیت OR ساخت.

شکل ۴-۱۸ بلوک دیاگرام تفریق کننده کامل را نشان می‌دهد.



شکل ۴-۱۸ بلوک دیاگرام تفریق کننده کامل

در شکل ۴-۱۸، B₀ رقم قرض گرفته شده از مرحله قبل است. مشابه آن چه که برای مدارهای تمام جمع کننده گفته شد.



شکل ۴-۱۹ مدار تفریق کننده کامل



جهت هنجاریان علاقه‌مند: با استفاده از نرم‌افزار

مولتی سیم مدار تمام جمع گر ۴ بیتی و تمام جمع گر هشت بیتی را ببندید و نتیجه جمع را در آزمایشگاه مجازی تجربه کنید. مدار شبیه سازی شده را به کلاس ارائه نمائید.

۴-۲-۳ تفریق کننده ناقص H. S

(Half Subtractor): عمل تفریق دودویی را در فصل

اول فرا گرفتیم و همان طور که اشاره شده برای اجرای عمل تفریق از متمم کامل اعداد استفاده می‌کنیم.

مدار تفریق کننده ناقص یا نیم تفریق کننده شامل

دو ورودی (x, y) و دو خروجی (B, D) است. خروجی D

حاصل تفریق و خروجی B رقم قرضی (Borrow) می‌باشد.

در حین تفریق (x y)، اگر $x \geq y$ باشد یعنی (۰-۰)،

۱-۰، ۱-۱ عمل تفریق انجام می‌شود و به رقم قرضی

نیاز نداریم. ولی اگر $x < y$ باشد یعنی (۰-۱) بایستی

یک واحد از مرتبه بالاتر قرض بگیریم. یک واحد قرض

گرفته شده از مرتبه بالاتر، ۲ واحد به بیت مورد نظر

اضافه می‌کند (در سیستم دودویی). این عمل را عیناً در

سیستم ده دهی شاهد هستیم که منجر به اضافه شدن

۱۰ واحد به رقم قرض گیرنده می‌شود. پس حاصل تفریق

۲ (۱۰-۱=۹) برابر با یک می‌شود. جدول ۴-۵ جدول

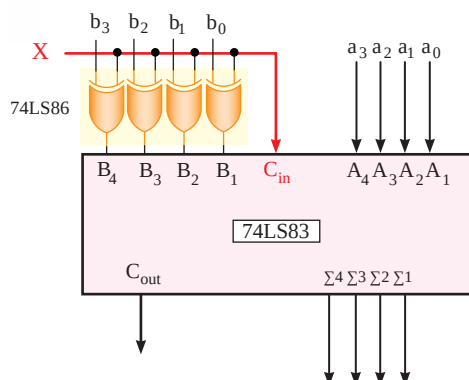
صحت تفریق کننده ناقص را نشان می‌دهد.

جدول ۴-۵ جدول صحت نیم تفریق کننده

ورودی‌ها	خروجی‌ها	می‌دانیم
X Y	B D	
0 0	0 0	0 - 0 = 0
0 1	1 1	0 - 1 = 1
1 0	0 1	1 - 0 = 1
1 1	0 0	0 - 1 = 1
		1 0

همان‌طور که در شکل ۴-۲۰ مشاهده می‌کنید، چگونگی عمل تفریق دو عدد باینری چهار بیتی با استفاده از آی‌سی ۷۴۸۳ نشان داده شده است. ورودی C_{in} جمع‌کننده کامل به V_{CC} وصل شده است تا با افزودن «۱» به $\bar{B}$ ، متمم ۲، B ایجاد شود.

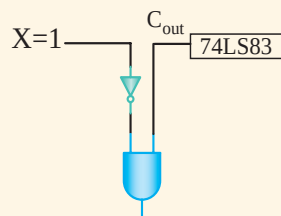
اگر مدار شکل ۴-۲۰ را به صورت شکل ۴-۲۱ تغییر دهیم، بسته به آن که خط کنترل X ، «۰» یا «۱» باشد، قادر به انجام عمل $(A+B)$ یا تفریق $(B-A)$ خواهد بود.



شکل ۴-۲۱- مدار جمع‌کننده / تفریق‌کننده چهار بیتی



نکته: ورودی C_{in} جمع‌کننده کامل به خط X وصل شده است وقتی $x=1$ است. (۱) واحد به $\bar{B}$ اضافه می‌شود تا متمم (۲) عدد B به دست آید. برای حذف C_{out} در این مرحله از مدار شکل ۴-۲۲ استفاده می‌شود.



شکل ۴-۲۲- مدار مربوط به پایه C_{out} و خط X

مدار تفریق‌کننده کامل از دو مدار تفریق‌کننده ناقص و یک گیت OR مطابق شکل ۴-۱۹ تشکیل شده است. در عمل برای انجام دادن تفریق $(x-y)$ ، x را با مکمل دو y جمع می‌کنند و رقم نهایی را نادیده می‌گیرند. به مثال زیر توجه کنید.

مثال ۴-۴: تفریق مستقیم دو عدد باینری

$$\begin{array}{r} 11011 \\ - 01110 \\ \hline 01101 \end{array}$$

حاصل تفریق

اگر متمم دو عدد 01110 را به دست آوریم خواهیم داشت:

$$01110 \xrightarrow{\text{متمم ۲}} 10010$$

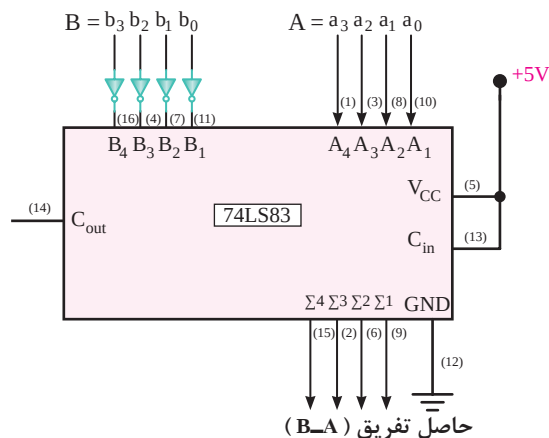
حال عدد 11011 را با متمم ۲ جمع می‌کنیم. رقم نقلی نهایی را حذف می‌کنیم. همان‌طور که مشاهده می‌شود حاصل تفریق در این روش مشابه حاصل تفریق در روش مستقیم است.

$$\begin{array}{r} 11011 \\ + 10010 \\ \hline 01101 \end{array}$$

حاصل تفریق

رقم نقلی نهایی

در شکل ۴-۲۰ مدار تفریق‌کننده را با استفاده از آی‌سی ۷۴۸۳ و به کمک متمم ۲ مشاهده می‌کنید.



شکل ۴-۲۰- انجام دادن تفریق به کمک متمم ۲



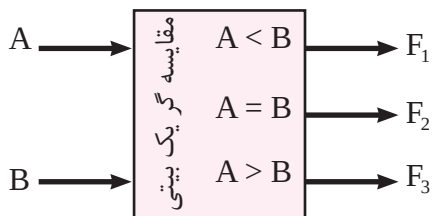
تمرین کلاسی ۴-۴: چه تفاوتی در خروجی گیت X-NOR و گیت تمرین کلاسی ۳ وجود دارد؟ بنویسید و جدول صحت آن را نیز رسم کنید.

در مقایسه بین دو بیت، ممکن است بزرگ‌تر، کوچک‌تر و مساوی بودن بیت‌ها مورد نظر باشد. جدول ۴-۷ جدول مقایسه بین دو بیت A و B را نشان می‌دهد.

جدول ۴-۷- جدول مقایسه دو بیت A و B

A	B	F_1 $A < B$	F_2 $A = B$	F_3 $A > B$
0	0	0	1	0
0	1	1	0	0
1	0	0	0	1
1	1	0	1	0

مطابق جدول ۴-۷ سه خروجی داریم. در شکل ۴-۲۳ بلوک دیاگرام مقایسه‌کننده یک بیتی را مشاهده می‌کنید:



شکل ۴-۲۳- بلوک دیاگرام مقایسه‌گر یک بیتی

با توجه به جدول صحت مقایسه‌گر یک‌بیتی، عبارت بولی هریک از خروجی‌های F_1 ، F_2 و F_3 را می‌نویسیم:



نکته: L به معنی Lower (کمتر)، E به معنی Equal (معادل) و G به معنی Greater (بزرگ‌تر) است.



جهت هنجاریان علاقه‌مند: در آزمایشگاه با استفاده از یک عدد آ‌سی ۷۴۸۳ مدار شکل ۴-۲۱ را ببندید و با تغییر ورودی‌ها به حالت‌های صفر و یک نتیجه عمل جمع یا تفریق دو عدد دل‌خواه را مشاهده کنید و جدول صحت مدار را رسم کنید.

مربیان عزیز با استفاده از نرم‌افزار مولتی سیم، مدار تفریق‌کننده کامل ۴‌بیتی را ببندید و نتیجه تفریق را در آزمایشگاه مجازی و مدار شبیه‌سازی شده به کلاس ارائه نمایید.

۴-۲-۵- مقایسه‌کننده یک‌بیتی: درمقایسه دو بیت، اگر فقط قرار باشد که تساوی یا عدم تساوی نشان داده شود، ساده‌ترین مدار استفاده از گیت X NOR است. در این مقایسه‌کننده اگر دو بیت مساوی باشند خروجی «۱» و در غیر این صورت خروجی «۰» می‌شود. جدول ۴-۶ جدول صحت گیت X NOR را نشان می‌دهد.

جدول ۴-۶- جدول صحت گیت X-NOR

A	B	F
0	0	1
0	1	0
1	0	0
1	1	1



تمرین کلاسی ۴-۳: از چه گیت دیگری می‌توان برای مقایسه مساوی بودن یا مساوی نبودن دو بیت استفاده کرد؟ جدول صحت آن را نیز رسم کنید.

- اطلاعات اول: به صورت کد شده ← ۰۰
- اطلاعات دوم: به صورت کد شده ← ۰۱
- اطلاعات سوم: به صورت کد شده ← ۱۰
- اطلاعات چهارم: به صورت کد شده ← ۱۱

چون هر یک از اطلاعات دارای کدی متفاوت با بقیه است، هیچ کدام از کدها به اشتباه به جای دیگری استفاده نمی‌شود. بنابراین برای رمز کردن کافی است که بتوانیم اطلاعات را به صورت رشته‌هایی متفاوت از صفرها و یک‌ها درآوریم.

اگر اطلاعاتی که به صورت کد درآورده می‌شوند، تنها اعداد باشند، کدهای به دست آمده را کدهای عددی و اگر اطلاعاتی که به صورت کد درآورده می‌شوند، حروف الفبا، ارقام یا علائم باشند، کدهای حرفی عددی نامیده می‌شوند. به طور کلی اگر یک برنامه نرم‌افزاری نصب شده در یک بانک را در نظر بگیریم، مشاهده می‌کنیم که جستجوی اطلاعات از دو طریق شماره حساب و نام فرد امکان‌پذیر است.

در نتیجه در این سامانه به هر دو نوع کد عددی و حرفی نیاز داریم. کدهای متنوعی برای نمایش اعداد تعریف شده است، که هر کدام اهداف خاصی را دنبال می‌کنند. ولی به طور کلی می‌توان انواع کد عددی را به صورت جدول ۴-۸ تقسیم‌بندی کرد.

جدول ۴-۸- انواع کد عددی

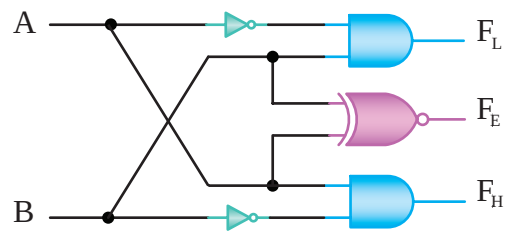
الف وزن دار مثبت ب وزن دار منفی ۴۲۲۱ وزن ۱- ۸۴۲۱ وزن ۲-	BCD پ }	۱- کد وزن دار
الف همینگ ب گری پ مازاد ۳ یا کد افزونی ۳	}	۲- کد بدون وزن
۳- کد باینری (دودویی)		
۴- کد اکتال (هشت تایی)		
۵- کد هگزا دسی مال (شانزده تایی)		

$$F_L = \overline{A}B$$

$$F_E = \overline{A}\overline{B} + AB$$

$$F_H = A\overline{B}$$

با استفاده از توابع به دست آمده از خروجی‌ها می‌توان مدار شکل ۴-۲۴ را طراحی کرد.

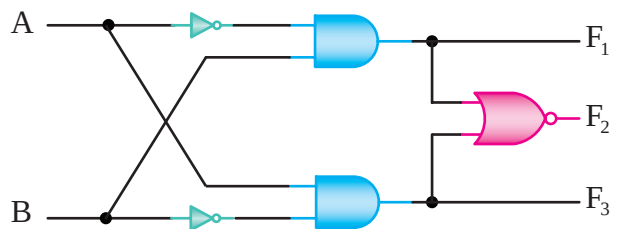


شکل ۴-۲۴- مدار مقایسه گر یک‌بیتی



تمرین کلاسی ۴-۵: مدار ۴-۲۵ را تحلیل کنید

و جدول صحت هر یک از خروجی‌های F_1 ، F_2 و F_3 را رسم کنید. نتیجه را با مدار شکل ۴-۲۴ مقایسه کنید.



شکل ۴-۲۵- مدار تمرین کلاسی

۴-۳- انواع کدها

از آن جا که رمز کردن اطلاعات برای ایجاد ارتباط با رایانه صورت می‌گیرد و از طرفی رایانه تنها صفرها و یک‌ها را می‌شناسد، برای کد کردن اطلاعات کافی است آنها را به صورت رشته‌ای از صفرها و یک‌ها درآوریم که مثلاً برای نشان دادن کد مربوط به چهار نوع اطلاعات دوبیتی متفاوت، به صورت رو به رو عمل می‌کنیم:

توجه داشته باشید که در این روش نمایش اعداد، باید هر رقم دهدهی را با چهار بیت باینری نمایش دهیم. در جدول ۹-۴ تفاوت نمایش ارقام دهدهی از صفر تا ۹ به صورت باینری و BCD نمایش داده شده است.

جدول ۹-۴ نمایش ارقام دهدهی ۰ تا ۹ به صورت باینری

عدد دهدهی	عدد باینری	عدد BCD
0	0	0000
1	1	0001
2	10	0010
3	11	0011
4	100	0100
5	101	0101
6	110	0110
7	111	0111
8	1000	1000
9	1001	1001



تمرین کلاسی ۶-۴: اعداد ۷ و ۱۵ و ۴۶۰ در سیستم دهدهی را به صورت باینری و کد BCD به دست آورید.

با توجه به تبدیل سیستم‌های باینری، اکتال و هگزادسی‌مال به یکدیگر، می‌توان انواع کدها را به کد BCD تبدیل کرد.

۴-۴-۴ مبدل BCD به 7.S (نمایشگر هفت قطعه‌ای)

نمایشگر هفت قسمتی 7.S (Seven segment display) برای نمایش هر یک از ارقام ۰ تا ۹ به کار می‌رود و با توجه به آن چه که توضیح داده می‌شود، معمولاً رقم دهدهی را می‌توان به راحتی به کد BCD تبدیل کرد.

در فصل اول به تفصیل در مورد کدهایی که استفاده بیشتری دارند توضیح داده شده است و معرفی این کدها جهت آشنایی است.

۱-۳-۴- مقایسه انواع کد با کد BCD: بعضی از ماشین‌های محاسبه‌گر الکترونیکی عملیات ریاضی را در کد BCD انجام می‌دهند. در کد BCD هر رقم دهدهی با چهار بیت باینری معادل آن نشان داده می‌شود.

مثال ۵-۴: اعداد ۳ و ۹ و ۲۳۵ در سیستم دهدهی را به صورت کد به دست آورید.

حل: برای تبدیل اعداد باینری به کد BCD در صورتی که تعداد ارقام آنها کمتر از ۴ رقم باشد. کد باینری را می‌نویسیم و سپس به تعدادی که بیت کم دارد در سمت چپ کد باینری صفر اضافه می‌کنیم. مثلاً برای عدد $(3)_{10}$ داریم:

$$(3)_{10} = (11)_2 = 0011$$

معدل باینری ۳

تعداد صفرهای اضافه شده

کد BCD

در صورتی که تعداد ارقام باینری در جواب عدد مورد نظر برابر با ۴ رقم باشد همان را می‌نویسیم. مثلاً برای عدد $(9)_{10}$ داریم:

$$(9)_{10} = (1001)_2 = (1001)_{BCD}$$

توجه شود اگر عدد دهدهی چند رقمی باشد، برای هر رقم دهدهی، کد باینری را به دست می‌آوریم، سپس معدل آن را به صورت BCD می‌نویسیم. مثلاً برای عدد $(235)_{10}$ داریم:

$$(235)_{10} = (11101011)_2$$

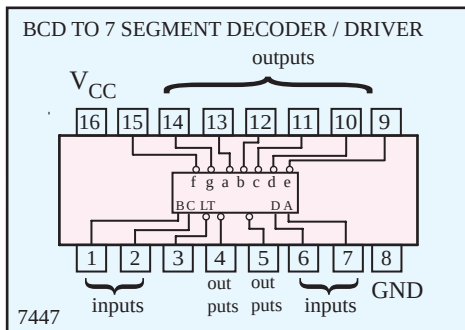
معدل هر رقم دهدهی در سیستم باینری $(101)_2$ $(11)_2$ $(10)_2$

معدل هر رقم باینری در سیستم BCD (0101) (0011) (0010)

کد BCD

$$(235)_{10} = (11101011)_2 = (0010 \ 0011 \ 0101)_{BCD}$$

آی سی پایه های a, b, c, d, e, f و g هستند که به ترتیب به پایه های ۱۳، ۱۲، ۱۱، ۱۰، ۹، ۱۵ و ۴ وصل می شوند. پایه های ۳، ۴ و ۵ آی سی را به V_{CC} وصل می کنند.



شکل ۲۷-۴ نقشه داخلی آی سی ۷۴۴۷



جهت هنجاریان علاقه مند: مدار BCD به 7.S را برای آی سی ۷۴۴۸ (کاتد مشترک) توسط نرم افزار مولتی سیم ببندید و نتیجه فعالیت آزمایشگاهی را به کلاس ارائه کنید.

۴-۴-۱- مبدل هگزادسی مال به 7.S: در سیستم هگزادسی مال (شانزده تایی) ارقام از صفر شروع می شوند و تا ۱۵ خاتمه می یابند. همان طور که می دانید از رقم ۱۰ تا ۱۵ را در این سیستم به صورت حروف A تا F نمایش می دهند.

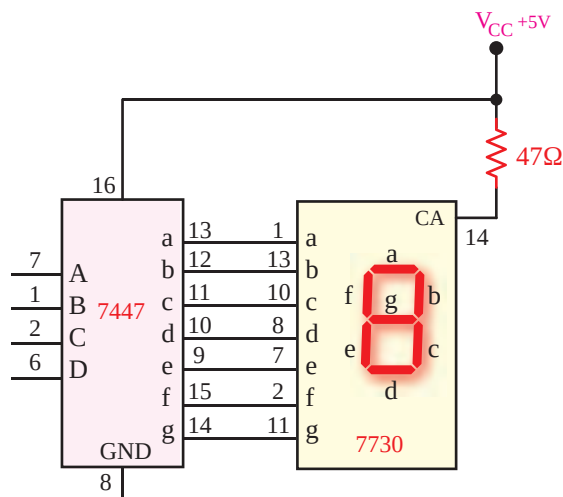
در مبدل هگزادسی مال به 7.S برای نمایش ارقام می توان از جدول ۴-۱۰ استفاده کرد. البته اگر بخواهیم ارقام سیستم هگزادسی مال را به صورت BCD در 7.S نمایش دهیم باید از دو عدد 7.S استفاده کنیم، (آیا می دانید چرا؟)

چون هدف در این قسمت مبدل هگزادسی مال به 7.S است فقط از یک آی سی ۷۴۴۷ و یک 7.S استفاده می کنیم و مداری مشابه مدار ۴-۲۶ را می بندیم. ورودی ها مانند مدار ۴-۲۶ در پایه های A, B, C و D آی سی ۷۴۴۷ قرار دارند. جدول ۴-۱۰ اعداد صفر تا ۱۵ در سیستم ده دهی، تبدیل

برای نمایش کد BCD در 7.S باید از آی سی ۷۴۴۷ (برای 7.S آند مشترک) و آی سی ۷۴۴۸ (برای 7.S کاتد مشترک) استفاده کنیم.

شکل ۲۶-۴ مدار مربوط به این مبدل را نشان می دهد. رقم BCD را به ورودی های آی سی ۷۴۴۷ می دهیم. پایه های A, B, C و D ورودی های آی سی هستند و پایه های a, b, c, d, e, f و g خروجی های آی سی که به اتصال می یابند.

ورودی D با ارزش ترین رقم BCD و ورودی A کم ارزش ترین رقم BCD را دریافت می کند. آی سی ۷۷۳۰ نمایشگر هفت قسمتی آند مشترک است. پایه ۱۴ آند مشترک (CA) و ورودی مشترک برای تمام LED ها است.

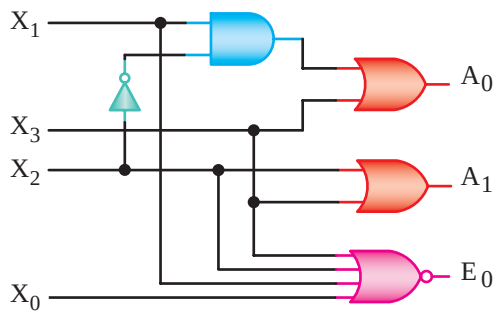


شکل ۲۶-۴ مبدل BCD به 7.S

برای محدود کردن جریان و جلوگیری از آسیب رسیدن به نمایشگر هفت قطعه ای 7.S یک مقاومت Ω ۴۷ را به صورت سری با V_{CC} و در مسیر پایه مشترک ۱۴ قرار می دهیم.

در شکل ۲۷-۴ نقشه داخلی و پایه های آی سی ۷۴۴۷ را ملاحظه می کنید.

V_{CC} به پایه ۱۶ و زمین به پایه ۸ آی سی وصل می شود. پایه های ورودی A, B, C و D به ترتیب به پایه های ۷، ۱، ۲ و ۶ آی سی متصل می شود. خروجی های



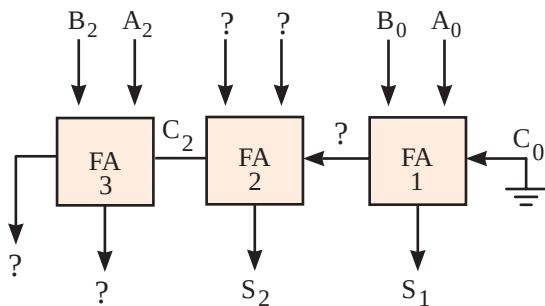
شکل ۲۸-۴ مدار سؤال ۲

جدول صحت سؤال ۲ الگوی پرسش

X_3	X_2	X_1	X_0	A_1	A_0	E_0
0	0	0	0			
0	0	0	1			
0	0	1	0			
0	0	1	1			
0	1	0	0			
0	1	0	1			
0	1	1	0			
0	1	1	1			
1	0	0	0			
1	0	0	1			
1	0	1	0			
1	0	1	1			
1	1	0	0			
1	1	0	1			
1	1	1	0			
1	1	1	1			

۳- یک مقایسه کننده طراحی کنید که در آن دو عدد دو بیتی A و B را با هم مقایسه کند و وضعیت $A=B$ را در خروجی نشان دهد.

۴- بلوک دیاگرام شکل ۲۹-۴ را که مربوط به یک جمع کننده ۳ بیتی با استفاده از تمام جمع کننده است را کامل کنید.



شکل ۲۹-۴ مدار سؤال ۴

آن به هگزادسی مال و نمایش آن در 7.S را نشان می دهد.

جدول ۱۰-۴- مبدل هگزا دسی مال به 7.S و نمایش ارقام

نمایش عدد	پایه های 7-Seg a b c d e f g	کد هگزا دسی مال	کد باینری	سطر
0	1 1 1 1 1 1 0	0	0 0 0 0	0
1	0 1 1 0 0 0 0	1	0 0 0 1	1
2	1 1 0 1 1 0 1	2	0 0 1 0	2
3	1 1 1 1 0 0 1	3	0 0 1 1	3
4	0 1 1 0 0 1 1	4	0 1 0 0	4
5	1 0 1 1 0 1 1	5	1 0 1 0	5
6	1 0 1 1 1 1 1	6	0 1 1 0	6
7	1 1 1 0 0 0 0	7	0 1 1 1	7
8	1 1 1 1 1 1 1	8	1 0 0 0	8
9	1 1 1 1 0 1 1	9	1 0 0 1	9
A	1 1 1 1 1 0 1	A	1 0 1 0	10
B	0 0 1 1 1 1 1	B	1 0 1 1	11
C	1 0 0 1 1 1 0	C	1 1 0 0	12
D	0 1 1 1 1 0 1	D	1 1 0 1	13
E	1 1 0 1 1 1 1	E	1 1 1 0	14
F	1 0 0 0 1 1 1	F	1 1 1 1	15

۴-۵- الگوی پرسش

۱- نشان دهید چگونه می توان سه تابع:

$$F_1 = A \oplus B \oplus C$$

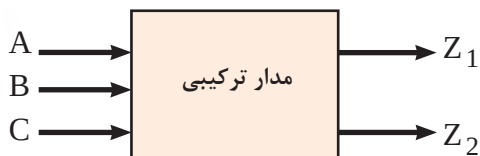
$$F_2 = \bar{A}BC + A\bar{B}C$$

$$F_3 = ABC$$

را به کمک سه مدار نیم جمع کننده اجرا کرد .

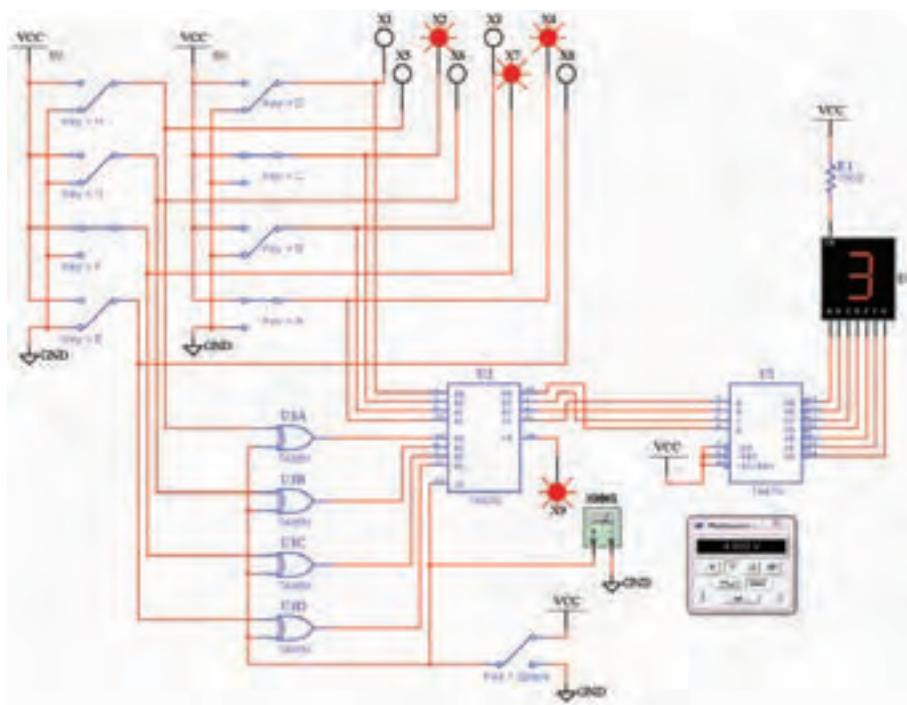
۲- جدول صحت مدار شکل ۲۸-۴ را به دست آورید.

مدار ترکیبی را رسم کنید و جدول صحت آن را به دست آورید.



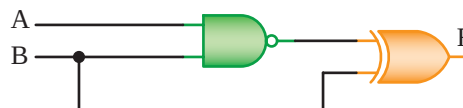
شکل ۳۱-۴ مدار سؤال ۷

۸- مدار شکل ۳۲-۴ مدار جمع کننده و تفریق کننده با استفاده از آی سی ۷۴۸۳ است. این مدار را با استفاده از نرم افزار ببندید و به کلاس ارائه نمائید. کلید $\text{key} = \text{Space}$ را اگر به زمین وصل کنید مدار به عنوان جمع کننده ۴ بیتی عمل می کند و می توانید با تغییر کلیدهای A تا H اعداد مختلف ۴ بیتی (باینری) را به مدار اعمال کنید. و نتیجه جمع را در 7.S مشاهده کنید. چنانچه $\text{key} = \text{Space}$ را به V_{CC} وصل کنید مدار به عنوان تفریق کننده کامل ۴ بیتی عمل می کند. با تغییر کلیدهای ورودی، نتیجه را در 7.S مشاهده کنید.



شکل ۳۲-۴ مدار جمع کننده و تفریق کننده

۵- در شکل ۳۰-۴ تابع خروجی را بنویسید و جدول صحت آن را به دست آورید.



شکل ۳۰-۴ مدار سؤال ۵

۶- دو عدد $A = 10101110$ و $B = 10011111$ را با هم جمع کنید و حاصل جمع را در یک مدار تمام جمع کننده با استفاده از آی سی ۷۴ LS ۸۳ نشان دهید. آیا پایه ۱۴ آی سی دوم خروجی یک دارد؟

۷- در مدار شکل ۳۱-۴ شرایط زیر برقرار است: الف) Z_1 موقعی یک است که $C=0$, $A=B=1$ یا $B=0$ و $A=C=1$ باشد. ب) Z_2 موقعی یک است که $C=1$, $B=1$ و $A=0$ یا $C=1$ و $B=0$ و $A=1$ باشد. ج) در بقیه حالات $Z_1=Z_2=0$ است. مدار منطقی این



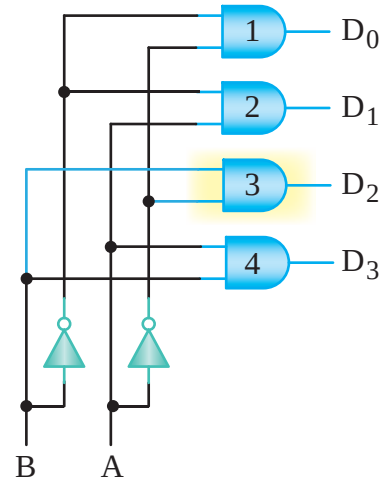
جهت هنرجویان علاقه مند:

۹- جدول صحت تفریق کننده کامل را رسم کنید.

۴-۶- مدارهای رمزگشا (Decoder):

برای دریافت اطلاعات از دستگاه‌های محاسباتی دیجیتال مداری مورد نیاز است که اطلاعات را از حالت دودویی به اعشاری تبدیل کند. خروجی این مدارها معمولاً به نمایشگرها متصل می‌شود. این تبدیل‌کننده‌ها را رمزگشا و عملی را که انجام می‌دهند رمزگشایی می‌نامیم. هر رمزگشا با n ورودی دارای حداکثر 2^n خروجی است و در هر لحظه تنها یکی از 2^n خروجی فعال است. به عبارت دیگر، هر یک از خروجی‌های آن متناظر با یک ترکیب خاص ورودی (یک جمله حاصل ضرب نرمال یا مین ترم) است.

در شکل ۴-۳۳ یک رمزگشای $2 \rightarrow 4$ (بخوانید ۲ به ۴) و در جدول ۴-۱۱ جدول صحت آن نشان داده شده است.



شکل ۴-۳۳- مدار رمزگشای $2 \rightarrow 4$

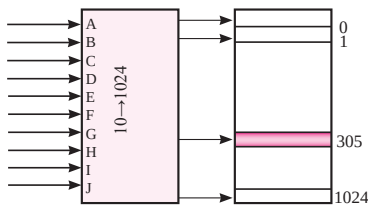
جدول ۴-۱۱- جدول صحت مدار رمزگشا

B	A	D_0	D_1	D_2	D_3
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

ورودی‌های A و B را ورودی‌های آدرس و خروجی‌های D_0 , D_1 , D_2 و D_3 را خروجی‌های داده می‌نامیم. همان‌طور که در شکل دیده می‌شود، خروجی دروازه

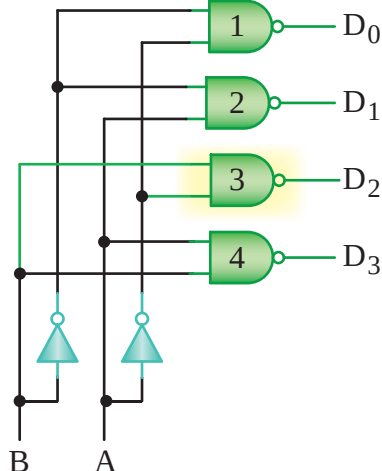
شماره ۱ فقط به ازای ترکیب ورودی $BA = 00$ فعال می‌شود («۱» می‌شود)؛ یعنی؛ $D_0 = \bar{A}\bar{B}$. به همین ترتیب، می‌توانیم بنویسیم: $D_1 = \bar{A}B$ و $D_2 = A\bar{B}$ و $D_3 = AB$.

(توجه کنید که در این جا A متغیر کم‌ارزش‌تر و B متغیر با ارزش‌تر از آن است، یعنی: $A=2^0=1$, $B=2^1=2$). از رمزگشاها برای آدرس‌دهی اجزای مختلف گیرنده یا فرستنده اطلاعات یک سیستم نیز استفاده می‌شود؛ مثلاً اگر بخواهیم کلمه‌ای را در یک سطر معین حافظه بنویسیم یا آن را از سطر معینی از حافظه بخوانیم، نخست باید محل سطر مورد نظر را مشخص کنیم. در شکل ۴-۳۴ سطر ۳۰۵ از یک حافظه با ظرفیت 1024×10 کلمه آدرس داده شده است (در بخش مدارهای ترتیبی با ساختمان حافظه‌های نیمه‌هادی آشنا خواهید شد).



شکل ۴-۳۴- آدرس دهی مکان یک کلمه معین از حافظه

ممکن است رمزگشا با دروازه‌های NAND ساخته شده باشد. در این صورت، حالت فعال خروجی‌ها «۰» خواهد بود. در شکل ۴-۳۵ یک رمزگشای $2 \rightarrow 4$ نشان داده شده است.

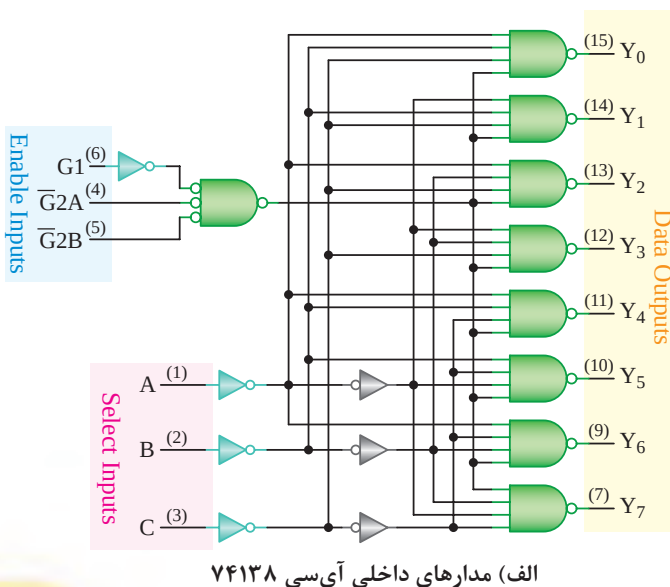


شکل ۴-۳۵- رمزگشای $2 \rightarrow 4$



نکته: در آی‌سی‌ها از کلمات Enable و Disable استفاده می‌کنند. کلمه Enable به معنی فعال‌کننده و Disable به معنی غیرفعال‌کننده به کار می‌رود.

با توجه به جدول صحت ۴-۱۳ هرگاه یک ورودی را با X نشان دهند به معنای این است که اگر ارزش منطقی صفر یا یک باشد برای خروجی مدار بی‌تفاوت است. و در سطر اول جدول صحت چون ورودی E در صفر منطقی قرار گرفته است عمل رمز گشایی انجام نمی‌شود. در سطرهای دوم تا پنجم چون ورودی E برابر با «یک» است عمل رمز گشایی انجام خواهد شد. در شکل ۴-۳۷ مدار یک رمز گشای ۸ → ۳ به همراه جدول صحت آن، جدول ۴-۱۴ نشان داده شده است. همان‌طور که ملاحظه می‌کنید، رمز گشا دارای دو خط فعال‌کننده G_1 و G_2 است که حالت فعال آنها برای G_1 برابر یک و برای G_2 برابر صفر است. در کتاب‌های راهنمای تراشه‌های تجارتي؛ وضعیت ورودی و خروجی‌ها را به جای صفر و یک با حروف L (مخفف Low) و H (مخفف High) مشخص می‌کنند.



جدول ۴-۱۲- جدول صحت رمز گشای ۴ → ۲

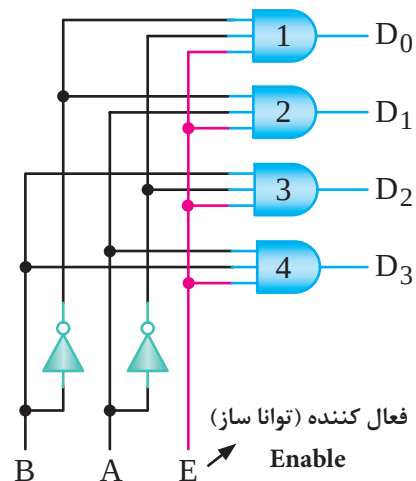
B	A	D ₀	D ₁	D ₂	D ₃
0	0	0	1	1	1
0	1	1	0	1	1
1	0	1	1	0	1
1	1	1	1	1	0

جدول ۴-۱۲- جدول صحت دکودر ۴ → ۲ با حالت فعال Low را نشان می‌دهد.

همان‌طور که در شکل نشان داده شده، دروازه شماره ۳ در حالت فعال است، ورودی‌های این دروازه از $\bar{A}$ و B گرفته شده است.

در بعضی از رمز گشاها علاوه بر ورودی‌های آدرس، یک ورودی فعال‌کننده (Enable) (تواناساز) نیز پیش‌بینی شده است. اگر این ورودی در حالت غیر فعال نگه‌داشته شود، رمز گشایی انجام نخواهد شد.

در شکل ۴-۳۶ یک رمز گشا ۴ → ۲ با خط تواناساز به همراه جدول صحت آن را در جدول ۴-۱۳ مشاهده می‌کنید.



شکل ۴-۳۶- رمز گشای ۴ → ۲ با خط تواناساز

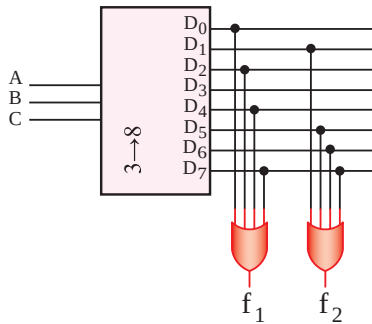
جدول ۴-۱۳- جدول صحت دکودر ۴ → ۲ با خط تواناساز

E	B	A	D ₀	D ₁	D ₂	D ₃
0	X	X	0	0	0	0
1	0	0	1	0	0	0
1	0	1	0	1	0	0
1	1	0	0	0	1	0
1	1	1	0	0	0	1

جدول ۴-۱۵- مربوط به مثال ۴-۶

	C	B	A	f_1	f_2
0	0	0	0	0	0
1	0	0	1	1	0
2	0	1	0	1	0
3	0	1	1	0	1
4	1	0	0	1	0
5	1	0	1	0	1
6	1	1	0	0	1
7	1	1	1	1	1

حل: چون $F_1 = \sum m(0, 2, 4, 7)$ و $F_2 = \sum m(1, 5, 6, 7)$ است، برای اجرای هریک از توابع F_1 و F_2 از یک دروازه OR چهار ورودی مطابق شکل ۴-۳۸ استفاده می‌کنیم.

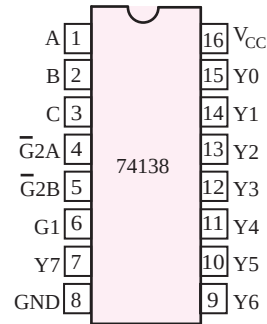


شکل ۴-۳۸- رمز گشای ۸ → ۳

اگر رمزگشا با دروازه‌های NAND ساخته شده باشد، در اجرای توابع منطقی به جای دروازه‌های OR باید از دروازه‌های NAND استفاده کنیم (به یاد آورید که ترکیب AND-OR معادل ترکیب NAND NAND است).

مثال ۴-۷: یک مدار تمام‌جمع‌کننده یک بیتی با استفاده از رمزگشا طراحی کنید.

حل: ابتدا جدول صحت S و C مربوط به جمع‌کننده کامل را به دست می‌آوریم حال با توجه به جدول صحت ۴-۱۶ داریم:



ب) مشخصات پایه‌های آی‌سی ۷۴۱۳۸
شکل ۴-۳۷- مدارهای داخلی و مشخصات آی‌سی ۷۴۱۳۸

نکته: هدف از نمایش مدارهای داخلی آی‌سی فقط شناسایی پایه‌های Enable آی‌سی است و در آزمون‌ها از مدار داخلی آی‌سی نباید سؤال داده شود.

جدول ۴-۱۴- جدول صحت رمز گشای ۸ → ۳ با دو خط تواناساز

INPUTS												
ENABLE	SELECT	OUTPUTS										
G1	$\overline{G2}$	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7
X	H	X	X	X	H	H	H	H	H	H	H	H
L	X	X	X	X	H	H	H	H	H	H	H	H
H	L	L	L	L	L	H	H	H	H	H	H	H
H	L	L	L	H	H	L	H	H	H	H	H	H
H	L	L	H	L	H	H	L	H	H	H	H	H
H	L	L	H	H	H	H	H	L	H	H	H	H
H	L	H	L	L	H	H	H	H	L	H	H	H
H	L	H	L	H	H	H	H	H	H	L	H	H
H	L	H	H	L	H	H	H	H	H	H	L	H
H	L	H	H	H	H	H	H	H	H	H	H	L

برای اجرای توابع منطقی نیز می‌توانیم از رمزگشا استفاده کنیم. بدین منظور باید هریک از متغیرها را به ورودی آدرس متناظر با ارزش آن و همه خروجی‌های رمزگشا را که متناظر با حالت‌های «۱» تابع است، به ورودی‌های یک دروازه OR وصل کنیم.

مثال ۴-۶: با توجه به جدول ۴-۱۵ توابع منطقی F_1 و F_2 را به کمک یک رمزگشای ۸ → ۳ اجرا کنید.

جدول ۱۶-۴- جدول صحت جمع کننده کامل

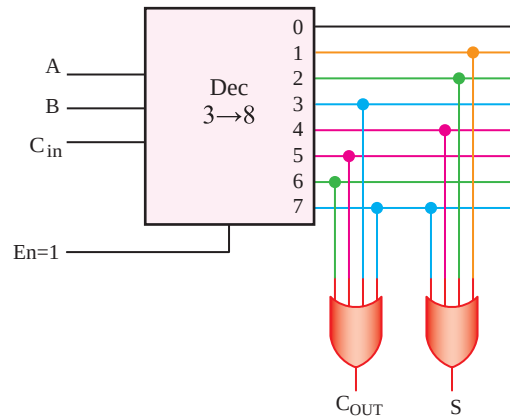
	A	B	C _{in}	C _{OUT}	S
0	0	0	0	0	0
1	0	0	1	0	1
2	0	1	0	0	1
3	0	1	1	1	0
4	1	0	0	0	1
5	1	0	1	1	0
6	1	1	0	1	0
7	1	1	1	1	1

مطابق جدول ۱۷-۴ خروجی‌های S و C_{out} در سطرهای زیر جواب یک دارند.

$$S = \sum m(1, 2, 4, 7) \quad S = \sum m(1, 2, 4, 7)$$

$$C_{out} = \sum m(3, 5, 6, 7)$$

در تمام جمع کننده ۳ ورودی و ۲ خروجی داریم. پس رمزگشایی را انتخاب می‌کنیم که ۳ ورودی داشته باشد و ۸=۲^۳ خروجی و خروجی‌ها را بر اساس مین ترم‌ها به هم وصل می‌کنیم.



شکل ۳۹-۴- مدار جمع کننده با استفاده از رمزگشا

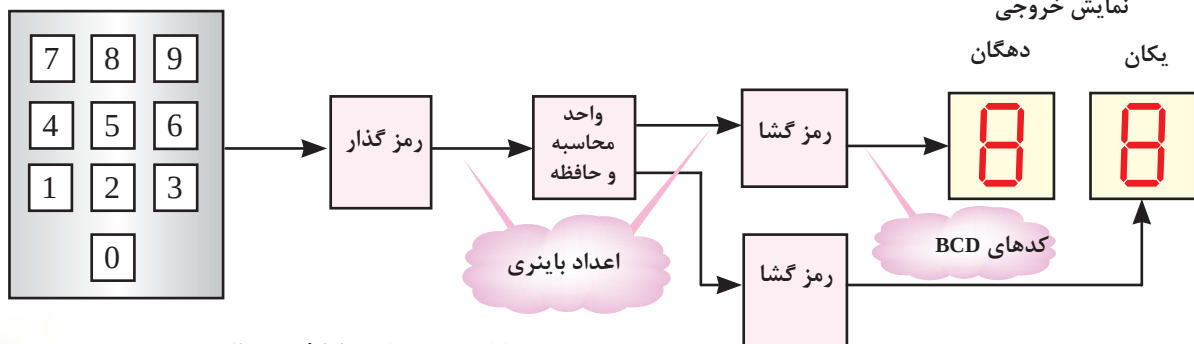
تمرین کلاسی ۷-۴: تابع منطقی رأی اکثریت یک کمیته سه نفره را با یک رمز گشای ۸→۳ اجرا کنید.

تمرین کلاسی ۸-۴: تابع $F = \sum m(1, 2, 4, 7)$ را با یک رمزگشای ۸→۳ که با گیت‌های NAND ساخته شده است را اجرا کنید.

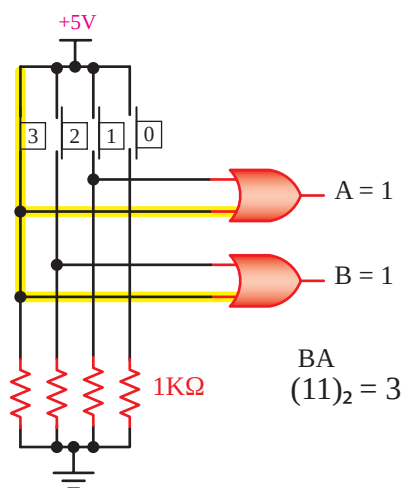
تمرین کلاسی ۹-۴: یک رمزگشای ۴→۲ با دروازه‌های AND را با خط تواناساز صفر فعال رسم کنید.

۷-۴- مدارهای رمزگذار (Encoder)

اعدادی که به کامپیوتر یا سامانه دیجیتالی داده می‌شود، در سیستم دهدهی هستند. چون کامپیوتر با اعداد باینری کار می‌کند، اعداد دهدهی باید به اعداد باینری تبدیل شوند. مداری که اطلاعات را از حالت دهدهی به باینری تبدیل می‌کند، رمزگذار نام دارد. شکل ۴۰-۴ یک سامانه دیجیتالی را نشان می‌دهد.



شکل ۴۰-۴- یک سامانه دیجیتالی

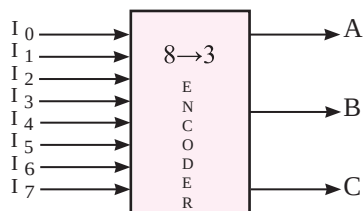


شکل ۴-۴۲ مدار رمزگذار ۲ → ۴



تمرین کلاسی ۴-۱۰: در مدار شکل ۴-۴۲ اعداد باینری صفر تا دو چگونه ظاهر می‌شوند؟ توضیح دهید.

در شکل ۴-۴۳ دیاگرام یک رمزگذار ۳ → ۸ (بخوانید ۸ به ۳) و در جدول ۴-۱۸ جدول صحت آن نشان داده شده است. همان‌طور که مشاهده می‌کنید، در هر لحظه باید فقط یکی از ورودی‌های رمزگذار در حالت فعال باشد.

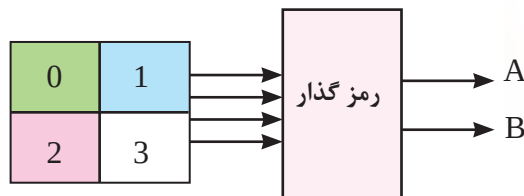


شکل ۴-۴۳ بلوک دیاگرام رمزگذار ۳ → ۸

جدول ۴-۱۸ جدول صحت یک رمزگذار ۳ → ۸

ورودی‌ها								خروجی‌ها		
I ₇	I ₆	I ₅	I ₄	I ₃	I ₂	I ₁	I ₀	C	B	A
0	0	0	0	0	0	0	1	0	0	0
0	0	0	0	0	0	1	0	0	0	1
0	0	0	0	0	1	0	0	0	1	0
0	0	0	0	1	0	0	0	0	1	1
0	0	0	1	0	0	0	0	1	0	0
0	0	1	0	0	0	0	0	1	0	1
0	1	0	0	0	0	0	0	1	1	0
1	0	0	0	0	0	0	0	1	1	1

یک رمزگذار با m ورودی ده‌دهی باید دارای n خروجی باشد؛ به‌طوری‌که همواره نامساوی $2^n \geq m$ برقرار باشد. برای مثال یک صفحه‌کلید با شماره‌های صفر تا سه را می‌توان به دو خط باینری تبدیل کرد. در شکل ۴-۴۱ بلوک دیاگرام یک رمزگذار ۲ → ۴ به همراه جدول صحت در جدول ۴-۱۷ نشان داده شده است.



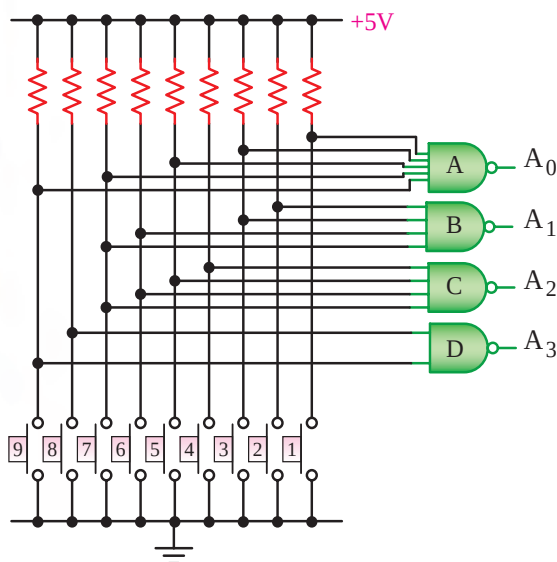
شکل ۴-۴۱ بلوک دیاگرام رمزگذار ۲ → ۴

جدول ۴-۱۷ جدول صحت رمزگذار ۲ → ۴

I ₃	I ₂	I ₁	I ₀	B	A
0	0	0	1	0	0
0	0	1	0	0	1
0	1	0	0	1	0
1	0	0	0	1	1

همان‌طور که مشاهده می‌کنید، در هر لحظه باید فقط یکی از ورودی‌های رمزگذار در حالت فعال قرار گیرد تا درست عمل کند. ورودی I_0 ، I_1 ، ... معرف کلیدهای ورودی است و ۱ در جدول نشان‌دهنده فعال بودن آن کلید است.

مدار رمزگذار ۲ → ۴ را می‌توان مطابق شکل ۴-۴۲ طراحی کرد. چنان‌چه کلید ۳ فشرده شود یکی از خطوط دو گیت «OR» منطقی می‌شود. که سبب ایجاد عدد باینری سه «۱۱» در خروجی رمزگذار می‌شود.



شکل ۴-۴۵- رمزگذار ددهی به باینری

جدول ۴-۱۹- جدول صحت رمزگذار ددهی به باینری

INPUTS									OUTPUTS			
1	2	3	4	5	6	7	8	9	A ₃	A ₂	A ₁	A ₀
0	1	1	1	1	1	1	1	1	0	0	0	1
1	0	1	1	1	1	1	1	1	0	0	1	0
1	1	0	1	1	1	1	1	1	0	0	1	1
1	1	1	0	1	1	1	1	1	0	1	0	0
1	1	1	1	0	1	1	1	1	0	1	0	1
1	1	1	1	1	0	1	1	1	0	1	1	0
1	1	1	1	1	1	0	1	1	0	1	1	1
1	1	1	1	1	1	1	0	1	1	0	0	0
1	1	1	1	1	1	1	1	0	1	0	0	1
1	1	1	1	1	1	1	1	1	0	0	0	0

همان گونه که متذکر شدیم، در یک لحظه معین فقط یکی از ورودی‌های رمزگذار می‌تواند فعال شود؛ مثلاً در شکل ۴-۴۵ اگر کلید ۹ فشرده شود، در خروجی مدار ترکیب باینری هم‌ارز آن یعنی ۱۰۰۱ ظاهر می‌شود.

حال اگر به طور اتفاقی کلیدهای ۶ و ۹ هم‌زمان

فشرده شوند، در خروجی مدار ترکیب باینری ۱۱۱۱ ظاهر می‌شود که معادل هیچ کدام از ارقام ۶ یا ۹ نیست. برای پیش‌گیری از بروز این گونه خطاها، رمزگذارهای صنعتی

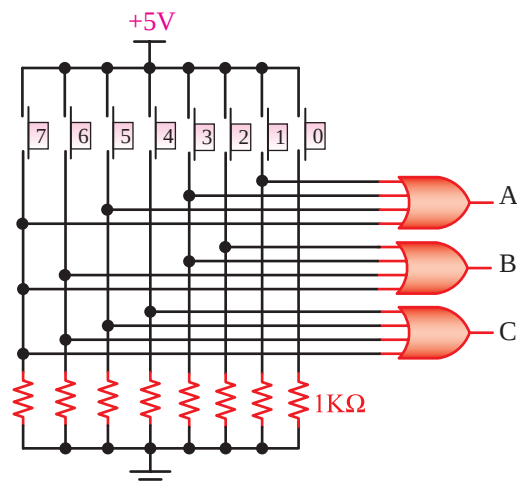
مطابق جدول فوق، معادلات بول هر یک از خروجی‌های A، B و C را می‌نویسیم:

$$A = I_1 + I_3 + I_5 + I_7$$

$$B = I_1 + I_3 + I_6 + I_7$$

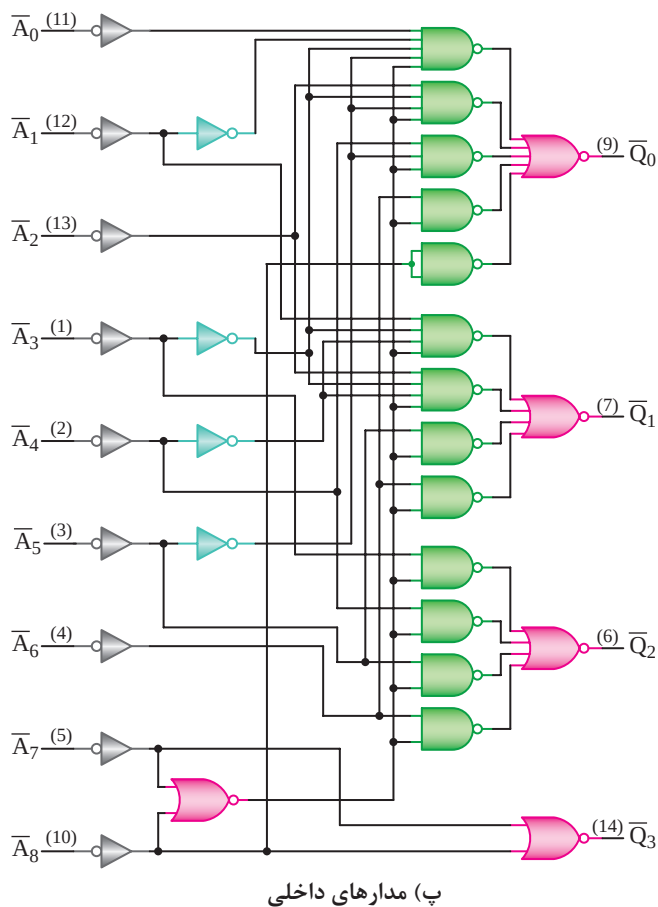
$$C = I_4 + I_5 + I_6 + I_7$$

مدار این رمزگذار در شکل ۴-۴۴ رسم شده است.



شکل ۴-۴۴- مدار رمزگذار ۳ → ۸

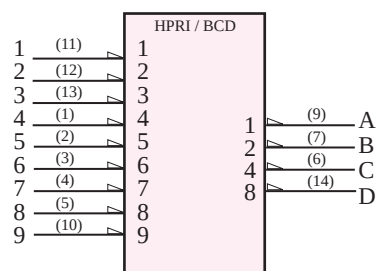
مدارهای رمزگذار را می‌توان با دروازه‌های منطقی NAND نیز طراحی کرد. در این صورت، حالت فعال ورودی‌ها «۰» خواهد بود. در شکل ۴-۴۵ مدار یک رمزگذار ددهی به باینری که با دروازه‌های NAND اجرا شده است را مشاهده می‌کنید. جدول صحت این مدار را در جدول ۴-۱۹ آورده‌ایم. توجه کنید که در این مدار برای رقم صفر، ورودی خاصی در نظر گرفته نشده است؛ زیرا زمانی که همه کلیدهای ۱ تا ۹ قطع باشند، خروجی‌های مدار در حالت «۰۰۰۰» منطقی قرار می‌گیرند که معادل صفر اعشاری است.



پ مدارهای داخلی
شکل ۴-۴۶ رمزگذار تقدیمی SNV4147

را طوری طراحی می‌کنند که در صورت فشرده شدن همزمان چند کلید، فقط ترکیب باینری هم‌ارز بزرگ‌ترین رقم اعشاری را تولید کنند. این رمزگذارها را رمزگذارهای با رعایت تقدم (Priority Encoder) می‌نامند. مثلاً اگر دو کلید ۶ و ۹ همزمان فشرده شوند، رمزگذار صنعتی ارزش کلید ۹ را تولید می‌کند.

تراشه (آی‌سی) SNV4147 یک رمزگذار ده‌دهی به باینری با رعایت تقدم است. مشخصات کامل آن را در شکل ۴-۴۶ مشاهده می‌کنید. در شکل ۴-۴۶ الف علامت استاندارد آی‌سی، در شکل ۴-۴۶ ب نمای بالا و شماره پایه‌های آی‌سی و در شکل ۴-۴۶ پ مدارهای داخلی آن را ملاحظه کنید.



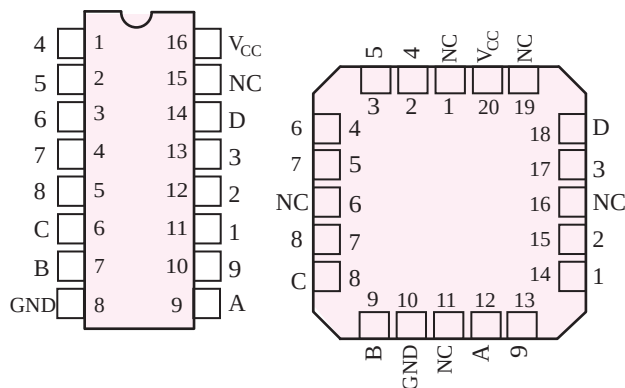
الف) علامت استاندارد IEEE/ANSI

جدول ۴-۲۰ جدول صحت آی‌سی SNV4147 را نشان می‌دهد.

جدول ۴-۲۰ جدول صحت رمزگذار تقدیمی SNV4147

INPUTS									OUTPUTS			
1	2	3	4	5	6	7	8	9	A ₃	A ₂	A ₁	A ₀
H	H	H	H	H	H	H	H	H	H	H	H	H
X	X	X	X	X	X	X	X	L	L	H	H	L
X	X	X	X	X	X	X	L	H	L	H	H	H
X	X	X	X	X	X	L	H	H	H	L	L	L
X	X	X	X	X	L	H	H	H	H	L	L	H
X	X	X	L	H	H	H	H	H	H	L	H	H
X	X	L	H	H	H	H	H	H	H	H	L	L
X	L	H	H	H	H	H	H	H	H	H	L	H
L	H	H	H	H	H	H	H	H	H	H	H	L

H = High logic level, L = Low logic level, X = irrelevant



ب) نمای بالا و شماره پایه‌ها

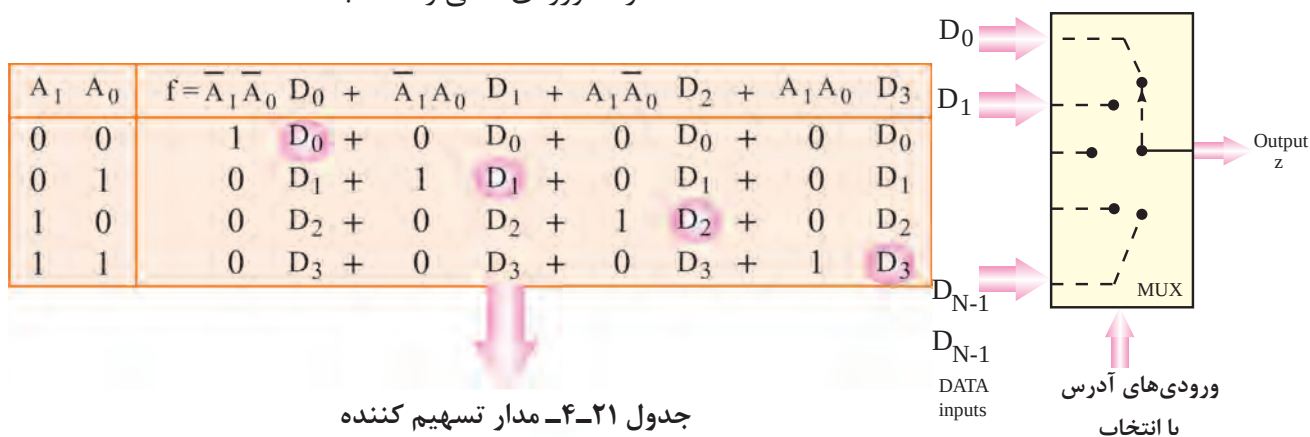
این مدار با توجه به آدرسی که برای آن انتخاب می‌شود، به یکی از ورودی‌ها اجازه عبور می‌دهد. به عبارت دیگر، عملکرد آن درست شبیه یک کلید چند حالتی است؛ با این تفاوت که حالت کلید به صورت دیجیتالی انتخاب می‌شود. دیاگرام عملیاتی یک مالتی پلکسر در شکل ۴-۴۷ نشان داده شده است. ورودی‌های انتخاب حالت را و ورودی‌های آدرس (Address Inputs) و ورودی‌های اصلی مالتی پلکسر ورودی‌های داده (Data inputs) و خروجی مالتی پلکسر را خروجی تابع یا به اختصار خروجی می‌نامند. یک مالتی پلکسر با n خط آدرس، می‌تواند یکی از 2^n ورودی اصلی را انتخاب کند.



تذکر مهم: هدف از نمایش مدارهای داخلی آی‌سی‌ها آشنایی با مدارهاست و به هیچ عنوان در آزمون‌ها نباید سؤالی در این رابطه طراحی شود.

۴-۸- مدارهای متمرکز کننده یا تسهیم کننده (Multiplexer)

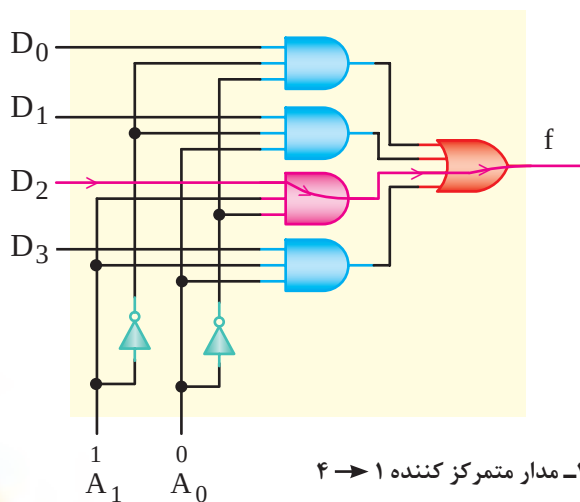
مالتی پلکسر یکی از پرکاربردترین مدارهای ترکیبی است که مانند یک انتخاب کننده (Selector) عمل می‌کند.



جدول ۴-۲۱- مدار تسهیم کننده در رمزگذار ۱ → ۴

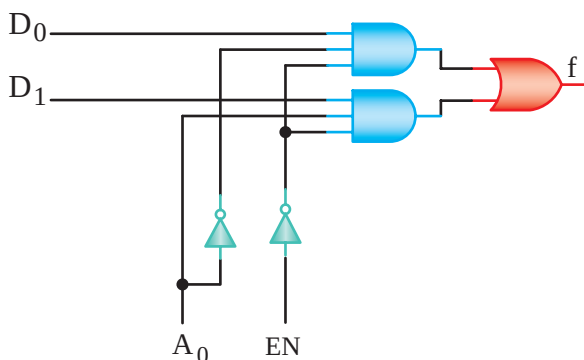
A_1	A_0	f
0	0	D_0
0	1	D_1
1	0	D_2
1	1	D_3

شکل ۴-۴۷- شمای عمومی یک متمرکز کننده



شکل ۴-۴۸- مدار متمرکز کننده ۱ → ۴

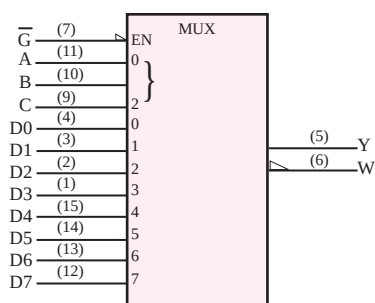
در شکل ۴-۴۸ مدار یک مالتی پلکسر ۱ → ۴ (بخوانید ۴ به ۱) نشان داده شده است. در این شکل، ورودی‌های اصلی مالتی پلکسر با D_0, D_1, D_2 و D_3 ورودی‌های آدرس آن با A_0 و A_1 و خروجی مدار با F مشخص شده است.



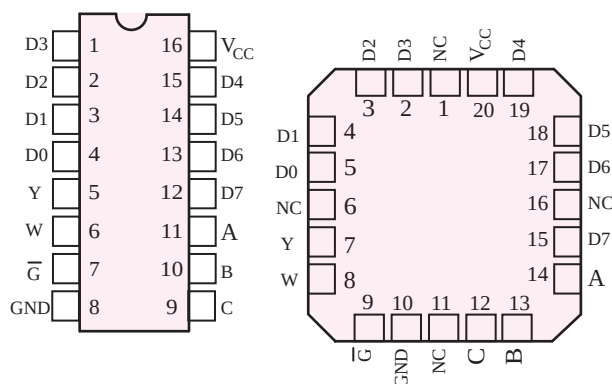
شکل ۴-۴۹- مدار یک مالتی پلکسر ۱ → ۲

در شکل ۴-۵۰ مدار یک مالتی پلکسر ۱ → ۸ را که با شماره تجارتي ۷۴۱۵۱ به بازار عرضه می شود مشاهده می کنید.

در شکل ۴-۵۰ الف نماد استاندارد آی سی، در شکل ۴-۵۰ ب نمای بالا و شماره پایه های آی سی و در شکل ۴-۵۰ پ مدارهای داخلی آی سی نشان داده شده است.



الف) نماد استاندارد IEEE/ANSI



ب) نمای بالا و شماره پایه

با توجه به شکل ۴-۴۸ معادله بولی تابع F را می نویسیم.

$$F = \bar{A}_1 \bar{A}_0 D_0 + \bar{A}_1 A_0 D_1 + A_1 \bar{A}_0 D_2 + A_1 A_0 D_3$$

تابع F به فرم مجموع حاصل ضربها است؛ یعنی، در هر حالت فقط یکی از جملات آن ممکن است «۱» باشد. مثلاً اگر حالت $A_1=1$ و $A_0=0$ را انتخاب کنیم، فقط جمله $A_1 \bar{A}_0$ برابر «۱» است. لذا خواهیم داشت:

$$F = 0 \times D_0 + 0 \times D_1 + 1 \times D_2 + 0 \times D_3 = D_2$$

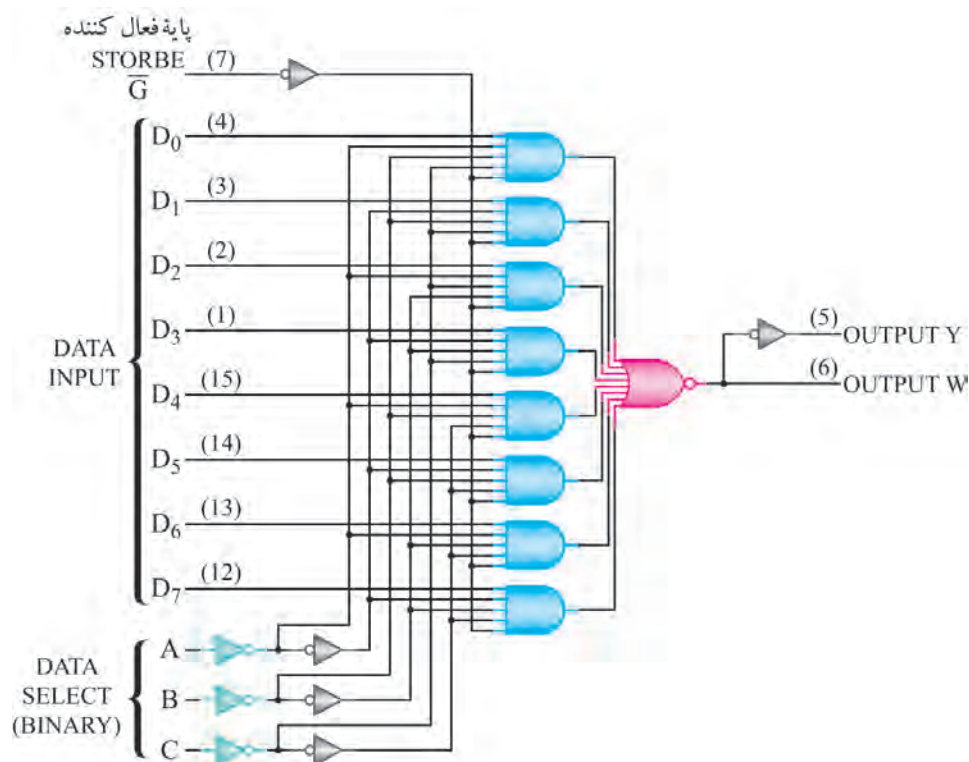
یعنی، F عیناً از D_2 تبعیت می کند، به عبارت دیگر، آدرس $A_1 A_0 = 10$ دروازه شماره (۳) را برای عبور D_2 باز می کند. بقیه حالت های تابع را نیز به همین ترتیب می توانیم، مشخص کنیم. در جدول ۴-۲۱ کلیه حالت های تابع مشخص شده است.

در اغلب مالتی پلکسرها علاوه بر ورودی های آدرس، یک خط کنترل اضافی نیز پیش بینی شده است. این ورودی اضافی با نام های فعال ساز (تواناساز) Enable مشخص می شود.

چنانچه این ورودی در یک حالت از پیش تعریف شده «۰» یا «۱» باشد، همه دروازه های AND را مسدود می سازد و از انتقال اطلاعات ورودی به خروجی مدار پیش گیری می کند. به عبارت دیگر، این ورودی مقدم بر ورودی های آدرس است. در شکل ۴-۴۹ یک مالتی پلکسر ۱ → ۲ با ورودی تواناساز به همراه جدول صحت آن نشان داده شده است.

جدول ۴-۲۲ جدول صحت مالتی پلکسر ۱ → ۲

A_0	EN	f
X	1	0
0	0	D_0
1	0	D_1



(پ) مدارهای داخلی

شکل ۵۰-۴ مدار مالتی پلکسر ۱ → ۸ تجارتي (SN ۷۴۱۵۱)

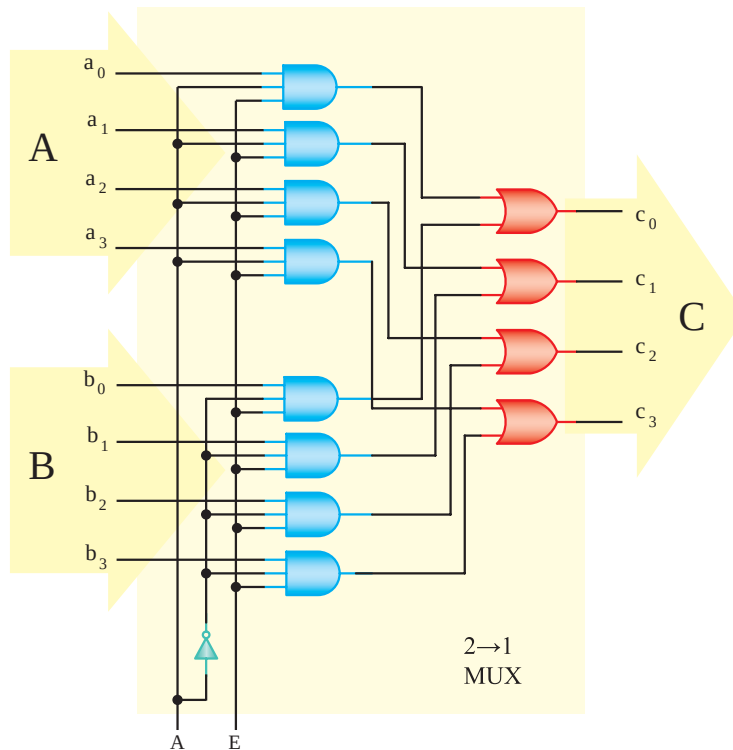
در کامپیوترها مالتی پلکسرها به عنوان گذرگاه داده‌ها Data Bus ایفای نقش می‌کنند. در این موارد، معمولاً به مالتی پلکسرهای چند بیتی نیاز داریم؛ مثلاً، اگر بخواهیم اطلاعات را توسط یک خط انتقال از دو سیستم A و B به سیستم C برسانیم و این اطلاعات در قالب کلمات چهار بیتی باشند، به یک مالتی پلکسر ۱ → ۲، ۴ بیتی نیاز داریم. امکان عرضه مالتی پلکسرهای چند بیتی به صورت تراشه‌های تجارتي وجود ندارد دلیل این امر، افزایش تعداد پایه‌های ضروري آنهاست. لذا باید با استفاده از مالتی پلکسرهای یک بیتی، مالتی پلکسر مورد نیاز خود را طراحی کنیم. در مورد مثال فوق، با استفاده از یک تراشه ۷۴۱۵۷ که شامل چهار مالتی پلکسر ۱ → ۲ یک بیتی است، یک مالتی پلکسر ۱ → ۲ چهار بیتی مطابق شکل ۵۱-۴ الف، ب، پ، ت، و ث طراحی می‌کنیم: یعنی کلاً چهار مالتی پلکسر یک بیتی را به صورت موازی به کار می‌بریم.

جدول صحت آی سی SN ۷۴۱۵۱ را در جدول ۲۳-۴ مشاهده می‌کنید.

جدول ۲۳-۴ جدول صحت مالتی پلکسر SN ۷۴۱۵۱

inputs				outputs	
SELECT			STROBE $\overline{G}$	Y	W
C	B	A			
X	X	X	H	L	$\overline{H}$
L	L	L	L	D0	$\overline{D0}$
L	L	H	L	D1	$\overline{D1}$
L	H	L	L	D2	$\overline{D2}$
L	H	H	L	D3	$\overline{D3}$
H	L	L	L	D4	$\overline{D4}$
H	L	H	L	D5	$\overline{D5}$
H	H	L	L	D6	$\overline{D6}$
H	H	H	L	D7	$\overline{D7}$

همان‌طور که در جدول ۲۳-۴ مشاهده می‌کنید خروجی W معکوس خروجی Y است.

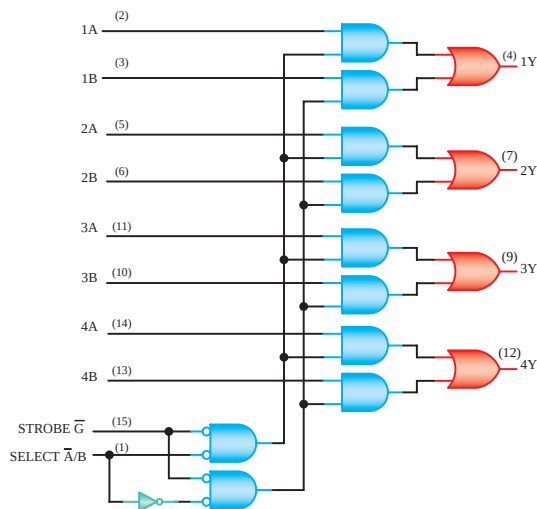


الف) مدار اصلی یک Mux، $2 \rightarrow 1$ چهار بیتی که با استفاده از چهار Mux، $2 \rightarrow 1$ یک بیتی ساخته شده است.

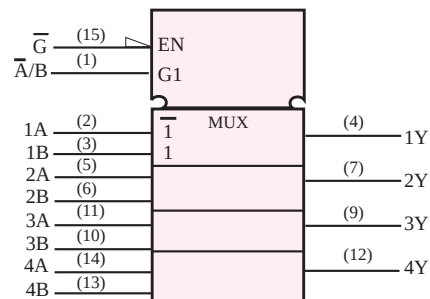
INPUTS				OUTPUT Y
STROBE $\overline{G}$	SELECT $\overline{A/B}$	A	B	"157, "LS157, "S157
H	X	X	X	L
L	L	L	X	L
L	L	H	X	H
L	H	X	L	L
L	H	X	H	H

H = high level , L = Low level , X = irrelevant

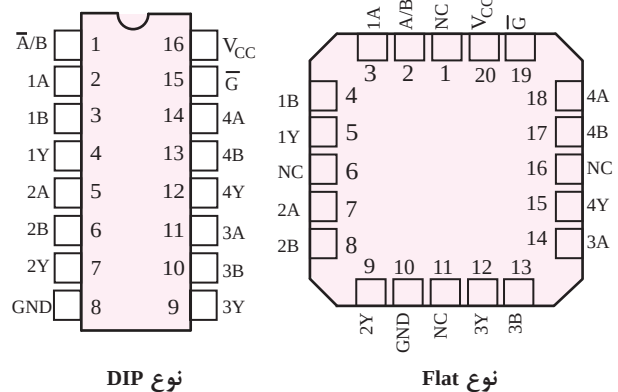
ت) جدول صحت



ث) مدارهای داخلی



ب) نماد استاندارد IEEE/ANSI

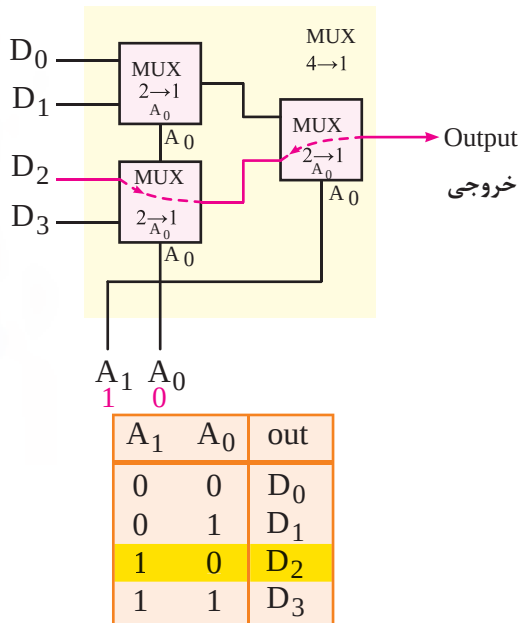


نوع DIP

نوع Flat

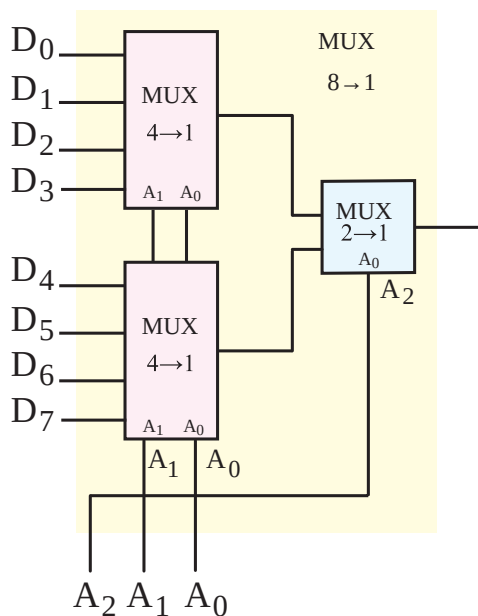
پ) نمای بالا و شماره پایه‌ها

شکل ۴-۵۱- الف چگونگی ساخت Mux چندبیتی؛ ب تا ث- مشخصات تراشه تجاری SNV۴۱۵۷



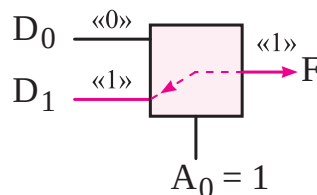
شکل ۴-۵۳- یک مالتی پلکسر ۱ → ۴ همراه جدول صحت آن

مثال ۸-۴: یک مالتی پلکسر ۱ → ۸ را با دو عدد مالتی پلکسر ۱ → ۴ و یک مالتی پلکسر ۱ → ۲ طراحی کنید (شکل ۴-۵۴).



شکل ۴-۵۴- مدار مثال ۸-۴

همان طور که گفته شد، افزایش تعداد پایه های ورودی مالتی پلکسر در طراحی مدارهای منطقی ضروری است. بنابراین در این بخش نحوه توسعه ورودی های یک مالتی پلکسر را با طراحی یک مالتی پلکسر ۱ → ۴ به وسیله سه عدد مالتی پلکسر ۱ → ۲ تشریح می کنیم. در شکل ۴-۵۲ بلوک دیاگرام یک مالتی پلکسر ۱ → ۲ را همراه با جدول صحت آن در جدول ۴-۲۴ مشاهده می کنید. در این مدار به ازای آدرس $A_0 = 1$ ورودی D_1 به خط خروجی وصل شده است.



شکل ۴-۵۲- بلوک دیاگرام مالتی پلکسر ۱ → ۲

جدول ۴-۲۴- جدول صحت مالتی پلکسر ۱ → ۲

A_0	F
0	D_0
1	D_1

اگر سه عدد مالتی پلکسر ۱ → ۲ را مطابق شکل ۴-۵۳ به یکدیگر اتصال دهیم یک مالتی پلکسر ۱ → ۴ شکل می گیرد.

شکل ۴-۵۳، خط آدرس A_0 مالتی پلکسرهای ورودی با یکدیگر موازی شده اند و خط آدرس کم ارزش تر A_1 مالتی پلکسر ۱ → ۴ را تشکیل می دهد و خط آدرس A_2 مالتی پلکسر سوم (خروجی) به عنوان خط آدرس با ارزش تر A_1 مالتی پلکسر ۱ → ۴ قرار می گیرد.

یکی از کاربردهای مالتی پلکسر، اجرای توابع منطقی است. برای اجرای یک تابع منطقی n متغیری می‌توان از یک مالتی پلکسر با n خط آدرس یا $n-1$ خط آدرس یا $n-2$ خط آدرس استفاده کرد. در هر مورد باید تابع را برحسب n متغیر یا $n-1$ متغیر یا $n-2$ متغیری که به خطوط آدرس مالتی پلکسر وصل می‌شوند، بسط نرمال داد. برای سهولت کار معمولاً متغیرها را به پایه‌های آدرس متناظر آنها وصل می‌کنند. مثلاً اگر بخواهیم تابع $F(A,B,C) = \sum_m(0,2,4,5,7)$ را که در آن ارزش متغیرها به ترتیب $A=4$, $B=2$ و $C=1$ است، به کمک یک مالتی پلکسر $1 \rightarrow 8$ اجرا کنیم باید کم‌ارزش‌ترین متغیر را به کم‌ارزش‌ترین آدرس مالتی پلکسر وصل کنیم یعنی باید C را به پایه A و B را به پایه A_1 و A را به پایه A_2 آدرس مالتی پلکسر اتصال دهیم. (پایه‌های A_2, A_1, A_0 پایه‌های آدرس مالتی پلکسر است). با ذکر چند مثال، چگونگی استفاده از مالتی پلکسر را نشان می‌دهیم.

مثال ۱۰-۴:

تابع منطقی $F(A,B,C) = \overline{A}B + BC + A(\overline{C} + B)$ را به کمک یک مالتی پلکسر $1 \rightarrow 8$ اجرا کنید.

حل:

$$F = \overline{A}B + BC + A(\overline{C} + B)$$

$$F = \overline{A}B + BC + A\overline{C} + AB$$

تابع را به صورت استاندارد می‌نویسیم.

$$F = \overline{A}B(\overline{C} + C) + BC(\overline{A} + A)$$

$$+ A\overline{C}(\overline{B} + B) + AB(\overline{C} + C)$$

عبارت‌ها را در پرانتز ضرب می‌کنیم.

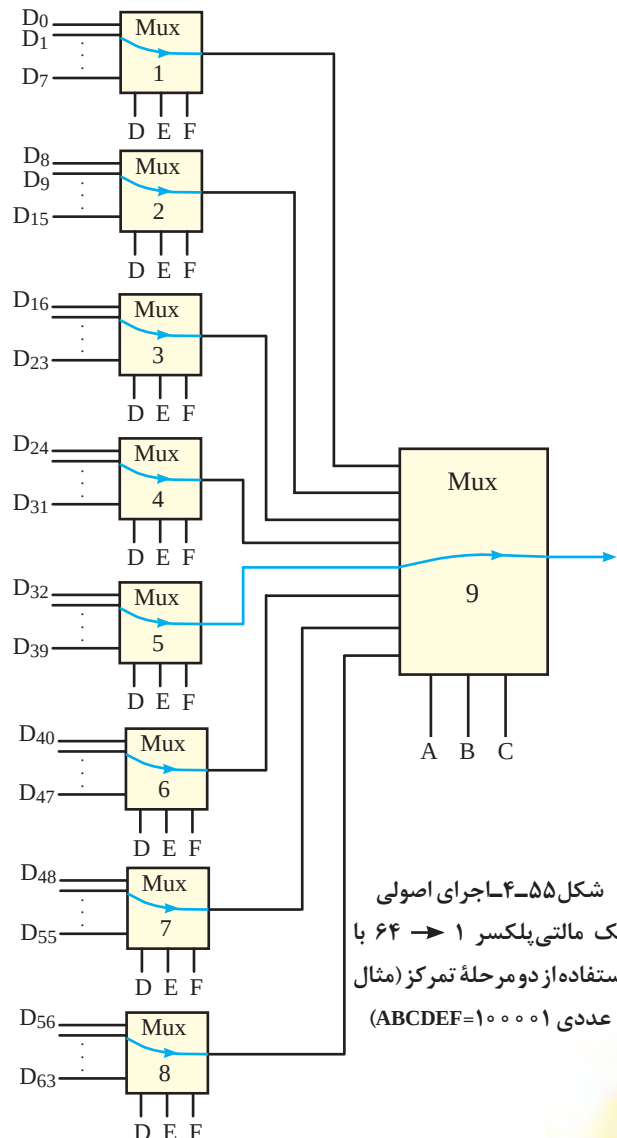
$$F = \overline{A}B\overline{C} + \overline{A}BC + \overline{A}B\overline{C} + \overline{A}BC$$

$$+ A\overline{C}\overline{B} + A\overline{C}B + ABC\overline{C} + ABC$$

بزرگ‌ترین مالتی پلکسری که در دسترس قرار دارد و به صورت آی‌سی (IC) به بازار عرضه شده است، یک مالتی پلکسر $1 \rightarrow 16$ با شماره تجارتي ۷۴۱۵۰ است. در صورتی که بخواهیم ورودی‌های بیشتری را متمرکز سازیم، باید از چند مالتی پلکسر استفاده کنیم.

مثال ۹-۴: با استفاده از ۹ مالتی پلکسر $1 \rightarrow 8$ یک مالتی پلکسر $1 \rightarrow 64$ بسازید.

حل: ابتدا هر ۸ ورودی را به یک مالتی پلکسر $1 \rightarrow 8$ روی یک خط متمرکز می‌کنیم. سپس ۸ خط متمرکز شده را به کمک یک مالتی پلکسر $1 \rightarrow 8$ دیگر دوباره روی یک خط متمرکز می‌سازیم. در شکل ۴-۵۵ اجرای اصولی چنین مالتی پلکسری نشان داده شده است.



شکل ۴-۵۵ اجرای اصولی یک مالتی پلکسر $1 \rightarrow 64$ با استفاده از دو مرحله تمرکز (مثال عددی $ABCDEF=100001$)

جملات تکراری را حذف می‌کنیم.

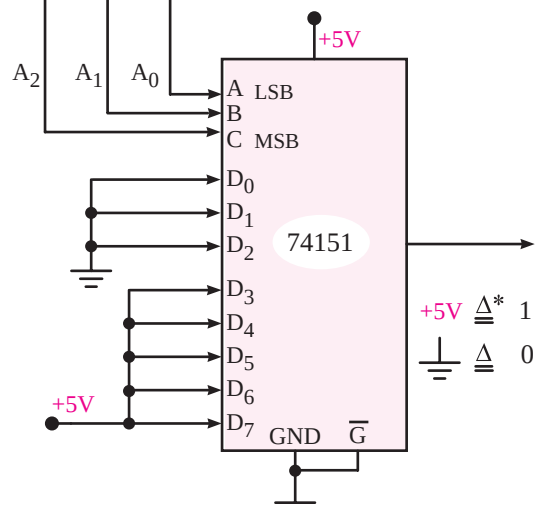
$$F = \overline{A}\overline{B}C + \overline{A}B\overline{C} + A\overline{B}\overline{C} + \overline{A}BC + A\overline{B}C + ABC\overline{C}$$

۴ ۵ ۳ ۷ ۶

$$\Sigma m(3, 4, 5, 6, 7)$$

مطابق شکل ۴-۵۶ باید ورودی‌های متناظر با هر یک از جملات تشکیل دهنده تابع «۱» منطقی شود. لذا این ورودی‌ها (ورودی‌های D_3 تا D_7) را به $V_{cc}+7$ و بقیه ورودی‌ها (ورودی D_0 ، D_1 و D_2) به ترتیب متناظر با جملات $\overline{A}\overline{B}C$ ، $\overline{A}B\overline{C}$ و $A\overline{B}\overline{C}$ را به زمین وصل می‌کنیم). توجه کنید که متغیر C در جدول صحت کم‌ارزش‌ترین متغیر تابع است و به همین دلیل، به ورودی آدرس A_0 یعنی کم‌ارزش‌ترین ورودی آدرس وصل شده است.

A	B	C	آدرس انتخاب شده	خروجی مورد نیاز
0	0	0	D_0	0
0	0	1	D_1	0
0	1	0	D_2	0
0	1	1	D_3	1 → $\overline{A}BC$
1	0	0	D_4	1 → $\overline{A}\overline{B}\overline{C}$
1	0	1	D_5	1 → $\overline{A}\overline{B}C$
1	1	0	D_6	1 → $A\overline{B}\overline{C}$
1	1	1	D_7	1 → ABC



شکل ۴-۵۶- مدار و جدول مالتی پلکسر ۱ → ۸ مثال ۴-۱۰

۴-۹- الگوی پرسش

۱- تعداد خط خروجی دودویی یک رمزگذار با ۲۰ حالت را محاسبه کنید.

۲- تعداد خط آدرس دهی یک مالتی پلکسر ۱ → ۵۱۲ را محاسبه کنید.

۳- یک مالتی پلکسر ۱ → ۴ را با ورودی تواناساز صفر فعال رسم کنید.

۴- تابع $F(A,B,C) = \Sigma m(0, 1, 4, 6)$ را با یک مالتی پلکسر ۱ → ۸ اجرا کنید.



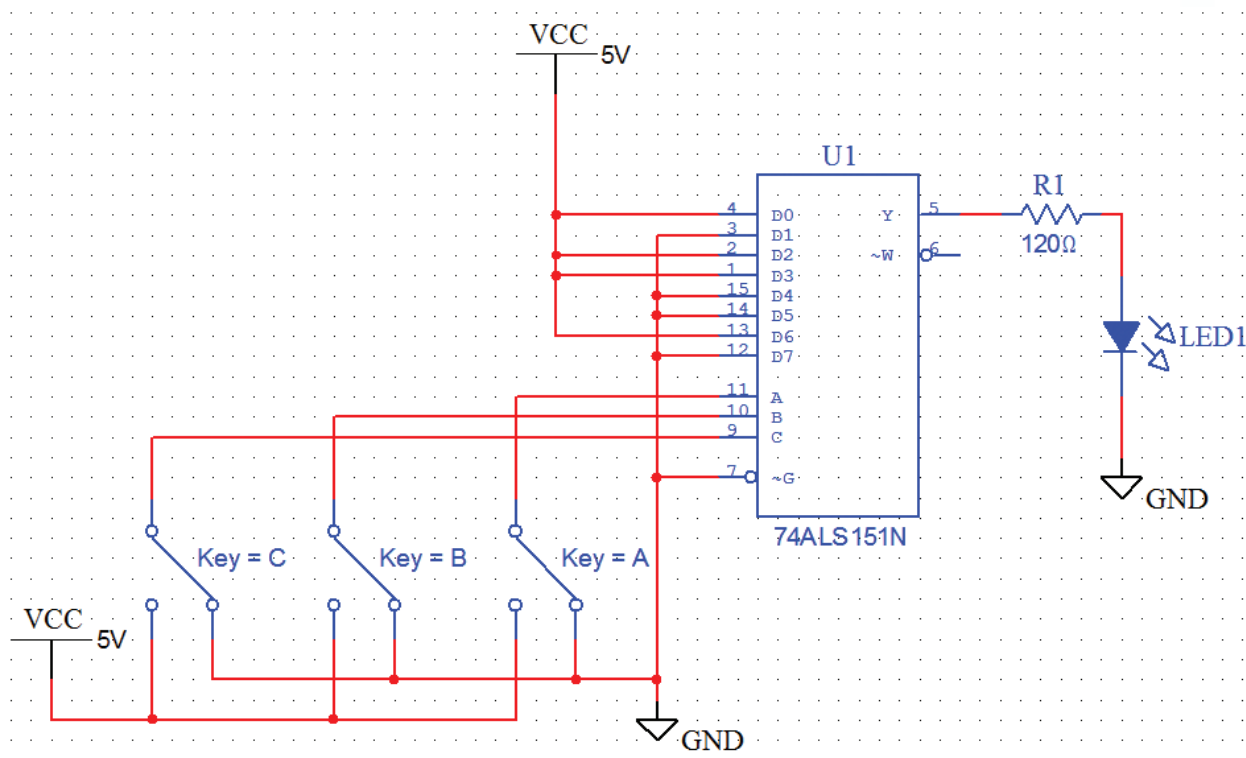
جهت هنجاریان علاقه‌مند: ۵- جدول ۴-۲۵ جدول صحت یک جمع‌کننده کامل است. که S حاصل جمع (Sum) و C رقم نقلی (Carry) جمع‌کننده کامل را مشخص می‌کند. مطابق این جدول تابع منطقی S و C را با دو مالتی پلکسر ۱ → ۸ طراحی و رسم کنید.

جدول ۴-۲۵- جدول صحت یک جمع‌کننده کامل

A	B	C_{in}	C	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

۶- رابطه خروجی S و C را بر اساس جدول ۴-۲۵ بنویسید.

۷- تابع F مدار شکل ۴-۵۷ را که با آی سی مالتی پلکسر ۷۴۱۵۱ اجرا شده است، بنویسید.

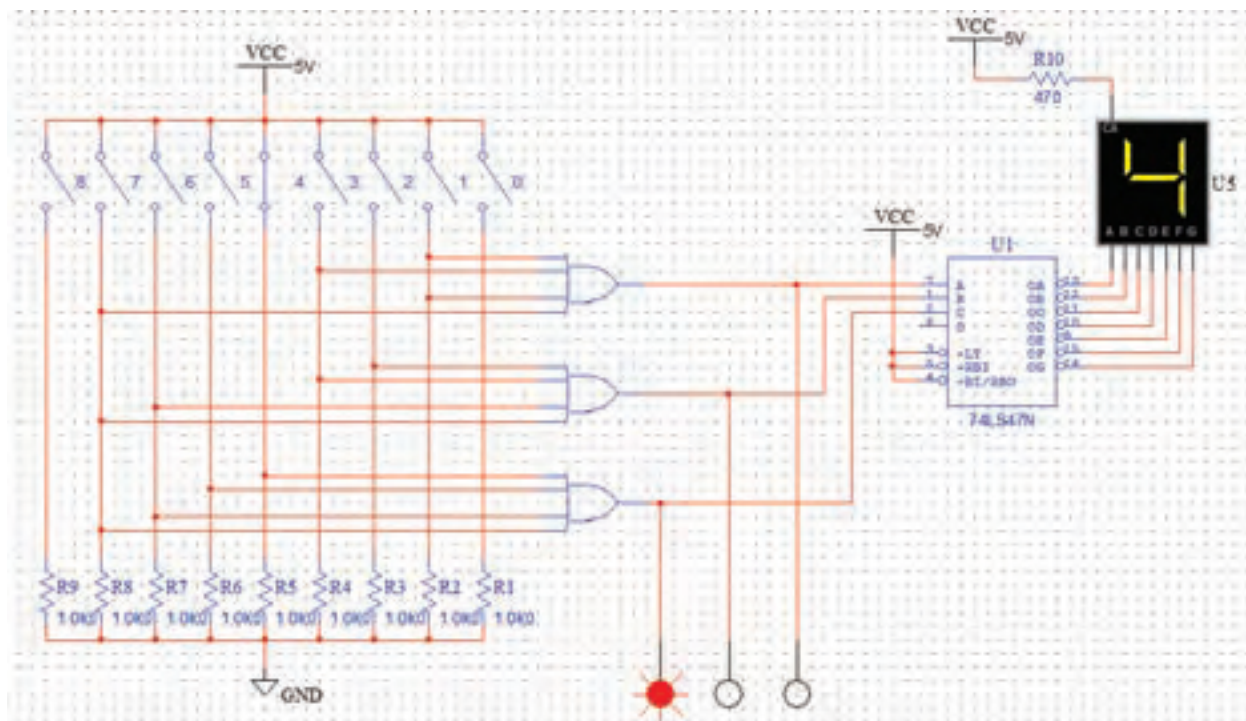


شکل ۴-۵۷- مدار سؤال ۷ الگوی پرسش

صفحه نمایش مشاهده کنید. تمرین ۵ الگوی پرسش را

۴-۱- کار با نرم افزار

مدار شکل ۴-۵۸ رمزگذار است، مدار را توسط نرم افزار اجرا کنید. نرم افزار مولتی سیم ببندید و صحت عملکرد آن را در



شکل ۴-۵۸- مدار رمزگذار

مدارهای ترتیبی — فلیپ فلاپ‌ها

هدف کلی: آموزش مدارهای ترتیبی و فلیپ فلاپ‌ها

کل زمان اختصاص داده شده به فصل: ۲۰ ساعت آموزشی

هدف‌های رفتاری: در پایان این فصل از فراگیرنده انتظار می‌رود که :

- ۱- مفهوم یک سلول حافظه را شرح دهد.
- ۲- مدارهای ترتیبی را تشریح کند.
- ۳- مدار الکترونیکی یک فلیپ فلاپ را رسم کند.
- ۴- انواع فلیپ فلاپ‌های RS را شرح دهد.
- ۵- بلوک دیاگرام ساده یک فلیپ فلاپ نوع RS را رسم کند.
- ۶- دلیل استفاده از فلیپ فلاپ نوع RS ساعتی را بیان کند.
- ۷- فلیپ فلاپ RS با استفاده از گیت NOR و قرار دهد.
- ۸- تقسیم‌بندی فلیپ فلاپ‌ها را براساس عملکرد ورودی پالس ساعت شرح دهد.
- ۹- دلیل استفاده از فلیپ فلاپ نوع JK را شرح دهد.
- ۱۰- نحوه ایجاد یک فلیپ فلاپ نوع D و کاربرد آن را شرح دهد.
- ۱۱- فلیپ فلاپ نوع T و کاربرد آن را توضیح دهد.
- ۱۲- کلیه هدف‌های رفتاری در حیطه عاطفی که در فصل اول آمده است را باید در این فصل مورد توجه قرار دهد.
- ۱۳- به سوال‌های الگوی پرسش پاسخ دهد.

5
0
1
0
1
D
I
G
I
T
A
L
5

Flip-Flop	فلیپ فلاپ	Master	اصلی	Data Type	نوع داده
Bistable Multivibrator	مولتی ویبراتور با دو حالت ثابت	Slave	فرعی	Delay	تأخیری
Clock Pulse	پالس ساعت	Toggle	حالت کلیدی مخصوص	Counter	شمارنده
Set	تنظیم کردن	Preset	پیش تنظیم	Race Around	دور خود چرخیدن
Reset	به حالت اولیه برگرداندن	Clear	پاک کردن		
Bounce	لرزش — پرش				

واژه‌های بنیادی فصل پنجم

پیش‌گفتار

تغییر وضعیت یا پذیرش اطلاعات جدید را به کمک یک سیگنال کنترل خاص، که پالس ساعت (Clock Pulse) نامیده می‌شود، تعیین می‌کنند.

۱-۵ - فلیپ‌فلاپ‌ها (Flip-Flops)

مدار ترتیبی که دو وضعیت پایدار دارند را فلیپ‌فلاپ می‌گویند.

فلیپ‌فلاپ‌ها را در چهار دسته RS, JK, D و T تقسیم‌بندی می‌کنند.

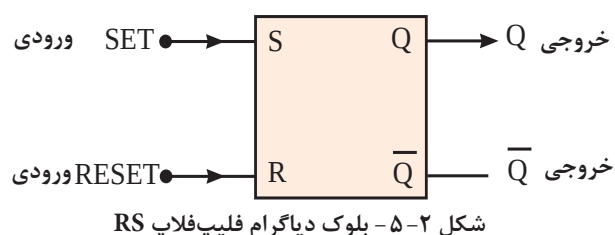
۲-۵ - فلیپ‌فلاپ RS (Reset Set Flip-Flop)

مدارهای ترتیبی هستند که دو وضعیت Set و Reset پایدار دارند.

۱-۲-۵ - فلیپ‌فلاپ RS حافظه: سلول‌های حافظه

ساده‌ترین مدارهای ترتیبی هستند. این سلول‌ها را فلیپ‌فلاپ می‌نامند. بلوک دیاگرام مدار فلیپ‌فلاپ RS را در شکل ۲-۵ مشاهده می‌کنید.

در این مدار R حرف اول Reset به معنی بازگرداندن به حالت اولیه و S حرف اول Set به معنی ایجاد حالت مورد نظر است.



یک سلول حافظه باید قابلیت حفظ اطلاعات ثبت شده (نگهداری) را داشته باشد. به عبارت دیگر، یک سلول حافظه باید دارای قابلیت‌های زیر باشد:

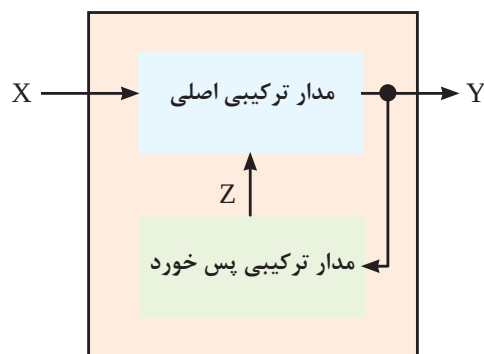
- پذیرش اطلاعات در هر زمان،
- حفظ اطلاعات پذیرفته‌شده تا هر زمان،
- جایگزینی اطلاعات جدید به جای اطلاعات قبلی در هر زمان.

همان‌طور که مشاهده کردید خروجی مدارهای منطقی که تا کنون بررسی کردیم در هر لحظه تابع معینی از ورودی‌های آن‌ها در همان لحظه بود. به عبارت دیگر با تغییر هم‌زمان ورودی‌های مدارها، خروجی‌های آن نیز متناسب با ورودی‌ها تغییر می‌کردند. مدارهای ترکیبی توانایی نگهداری حالت‌های ورودی را ندارند. ماشین‌های حسابگر و سیستم‌های کنترل، برای نگهداری اطلاعات و استفاده مکرر از آن‌ها نیاز به حافظه دارند. مدارهای دارای حافظه را مدارهای ترتیبی می‌نامند. این مدارها قابلیت نگهداری (در حافظه نگه داشتن) ترتیب پیامدها را دارند. یک مدار ترتیبی شامل دو بخش اساسی به شرح زیر است:

الف) بخشی که بر اساس وضعیت قبلی خروجی‌های مدار، توابعی را ایجاد می‌کند. این بخش، مدار پس‌خورد نامیده می‌شود.

ب) بخشی که وضعیت مدار را بر اساس حالت ورودی‌های مدار و ورودی‌های دریافتی از مدار فیدبک مشخص می‌کند و وضعیت جدید سیستم را به وجود می‌آورد. این بخش را مدار اصلی می‌نامند.

شکل ۱-۵ بلوک دیاگرام مدار ترتیبی را نشان می‌دهد.



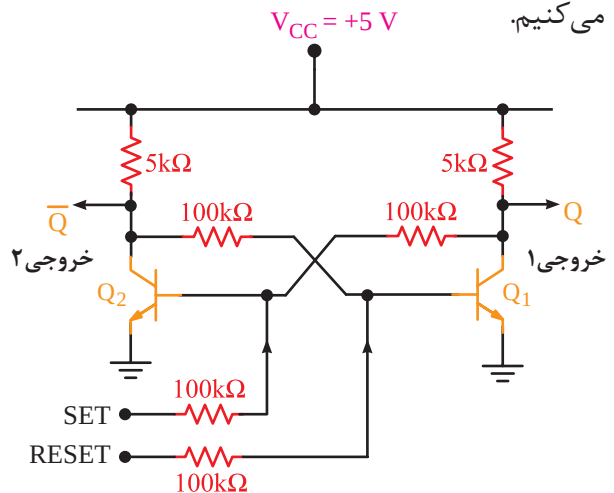
شکل ۱-۵ - بلوک دیاگرام یک مدار ترتیبی

ممکن است یک مدار ترتیبی بیش از یک ورودی یا خروجی داشته باشد. در اغلب مدارهای ترتیبی زمان

۵-۲-۲- مدار الکترونیکی فلیپ فلاپ RS:

فلیپ فلاپ‌ها مدارهای الکترونیکی با دو وضعیت پایدار هستند. این گونه مدارها را مولتی‌ویبراتور بی‌استابل (Bistable multivibrator) می‌نامند.

در شکل ۵-۳ مدار الکترونیکی یک نمونه از این فلیپ فلاپ‌ها را مشاهده می‌کنید. این فلیپ فلاپ را RS-FF می‌نامند. در این مدار باید همیشه یکی از ترانزیستورها در حالت قطع و دیگری در حالت اشباع باشد. ورودی‌های Set و Reset را به ترتیب به بیس ترانزیستورهای Q_1 و Q_2 می‌دهیم و خروجی‌های Q و $\bar{Q}$ به ترتیب از کلکتور ترانزیستورهای Q_1 و Q_2 دریافت می‌کنیم.



شکل ۵-۳ - مدار الکترونیکی یک نمونه فلیپ فلاپ

اگر یک پالس ساعت به ورودی Set برسد، ترانزیستور Q_2 را به حالت اشباع می‌برد و موجب کاهش شدید ولتاژ کلکتور آن می‌شود. این کاهش ولتاژ، ترانزیستور Q_1 را به حالت قطع می‌کشد؛ زیرا ولتاژ کافی به پایه بیس آن نمی‌رسد تا روشن بماند. در این حالت شرایط زیر برقرار می‌شود.

ترانزیستور Q_1 قطع $V_{C1} \approx V_{CC} = +5\text{volt}$

$Q \equiv \text{High} \equiv \langle 1 \rangle$

و

ترانزیستور Q_2 اشباع $V_{C2} = V_{CE(\text{Sat})} \approx 0.2\text{V}$

$\bar{Q} \equiv \text{Low} \equiv \langle 0 \rangle$

در این شرایط می‌گوییم فلیپ فلاپ Set شده است. در صورتی که یک پالس به ورودی Reset برسد، ترانزیستور Q_1 را به حالت اشباع می‌برد و ولتاژ کلکتور ترانزیستور Q_2 را کاهش می‌دهد. کاهش ولتاژ، بیس ترانزیستور Q_2 را به حالت خاموشی می‌برد و شرایط زیر حاکم می‌شود.

ترانزیستور Q_1 اشباع $V_{C1} = V_{CE(\text{Sat})} \approx 0.2\text{V}$

$Q \equiv \text{Low} \equiv \langle 0 \rangle$

و

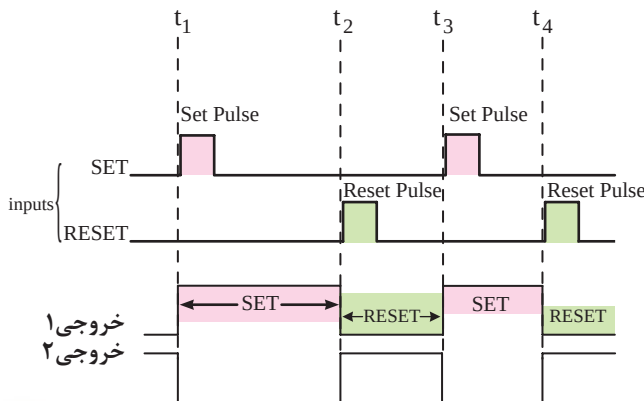
ترانزیستور Q_2 قطع $V_{C2} \approx V_{CC} = +5\text{volt}$

$\bar{Q} \equiv \text{High} \equiv \langle 1 \rangle$

در این حالت می‌گوییم فلیپ فلاپ Reset شده است. با قطع پالس‌های Set و Reset، مدار، آخرین وضعیت خود را حفظ می‌کند. این وضعیت را حالت ذخیره می‌نامیم.

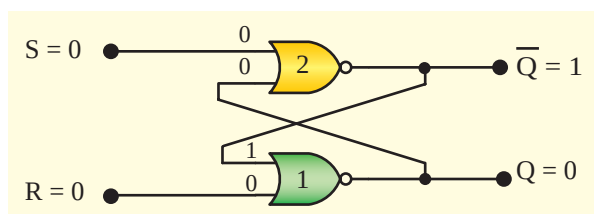
با اعمال هم‌زمان پالس‌های Set و Reset به هر دو ترانزیستور، این وضعیت یک حالت ناخواسته یا تعریف نشده است که در فرایند کار مدار باید از ایجاد این حالت پرهیز کنیم.

در شکل ۵-۴ نمودار زمانی پالس‌های Set و Reset و خروجی‌های Q و $\bar{Q}$ رسم شده است.



شکل ۵-۴ - پاسخ مدار به ورودی‌های Set و Reset

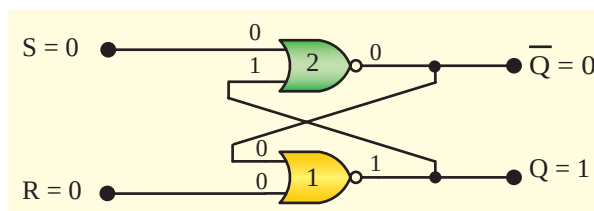
نمی‌کند. شکل ۵-۶ این حالت را نشان می‌دهد.



شکل ۵-۶ - حالت اول $R = 0$ و $S = 0$

حالت دوم: حال اگر $S = R = 0$ و حالت قبلی فلیپ‌فلاپ به صورت $Q = 1$ و $\bar{Q} = 0$ باشد، ورودی‌های دروازه (۱) هر دو در حالت صفر منطقی قرار دارد و خروجی آن در حالت یک باقی می‌ماند، از طرفی چون یکی از ورودی‌های دروازه (۲) در حالت یک منطقی است، خروجی این دروازه نیز در حالت صفر باقی می‌ماند. به این ترتیب باز هم وضعیت خروجی‌ها تغییر نمی‌کند.

شکل ۵-۷ این حالت را نشان می‌دهد.



شکل ۵-۷ - حالت دوم $S = 0$ و $R = 0$

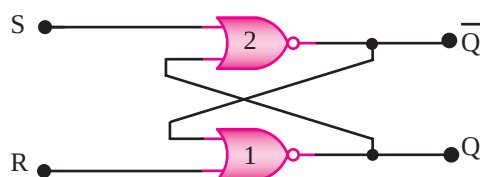
حالت سوم: اکنون حالتی را در نظر می‌گیریم که $S = 0$ و $R = 1$ باشد. در این حالت بدون توجه به وضعیت قبلی فلیپ‌فلاپ، به دلیل اینکه یکی از ورودی‌های دروازه (۱) در حالت یک منطقی است، خروجی این دروازه صفر می‌شود. با صفر شدن خروجی دروازه (۱) هر دو ورودی دروازه (۲) در حالت صفر منطقی قرار می‌گیرد و خروجی آن به حالت یک منطقی می‌رود.

به بیان دیگر اگر $S = 0$ و $R = 1$ باشد، بدون توجه به وضعیت قبلی، سیستم به حالت $Q = 0$ و $\bar{Q} = 1$ می‌رود، شکل ۵-۸ این حالت را نشان می‌دهد.

با مراجعه به جدول دوم کتاب آزمایشگاه مجازی مدار فلیپ‌فلاپ RS را شبیه‌سازی کنید و عملکرد آن را مورد تحلیل قرار دهید.

۳-۲-۵ - فلیپ‌فلاپ RS با استفاده از گیت

NOR: در شکل ۵-۵ مدار معادل فلیپ‌فلاپ که با دروازه‌های NOR اجرا شده است را مشاهده می‌کنید. در این شکل خروجی گیت شماره ۱ به ورودی گیت شماره ۲ و خروجی گیت شماره ۲ به ورودی گیت شماره ۱ فیدبک شده است. تفکیک مدارهای پس‌خورد (فیدبک) و اصلی از یک‌دیگر امکان‌پذیر نیست. این گونه مدارها را مدارهای ادغام شده در یک‌دیگر می‌نامند.



شکل ۵-۵ - مدار SR-FF با گیت‌های NOR

مدار دارای دو ورودی اصلی S و R و دو ورودی Q و $\bar{Q}$ از طریق مدار فیدبک است. لذا می‌تواند $2^3 = 8$ حالت مختلف داشته باشد. می‌دانیم در دروازه NOR اگر یکی از ورودی‌ها در حالت «یک» منطقی باشد، خروجی آن در حالت «صفر» منطقی قرار می‌گیرد. با در نظر گرفتن این نکته و با توجه به تأخیر در انتشار گیت‌های منطقی به تشریح مرحله به مرحله مدار می‌پردازیم.

حالت اول:

اگر ورودی‌های S و R هر دو در حالت صفر منطقی باشد و حالت قبلی فلیپ‌فلاپ به صورت $Q = 0$ و $\bar{Q} = 1$ باشد، هر دو ورودی دروازه (۲) در حالت صفر قرار می‌گیرد لذا خروجی آن در حالت یک باقی می‌ماند (سطر اول جدول صحت NOR) از سوی دیگر یکی از ورودی‌های دروازه (۱) در حالت یک قرار دارد لذا خروجی این دروازه نیز در حالت صفر باقی می‌ماند. به عبارت دیگر، وضعیت خروجی‌ها تغییر

فوق را می‌توانیم به صورت جدول ۵-۱ خلاصه کنیم.

جدول ۵-۱ - جدول صحت فلیپ‌فلاپ SR

وضعیت ورودی ها	وضعیت فعلی FF-RS خروجی	وضعیت قبلی FF-RS خروجی	وضعیت ورودی ها	وضعیت فعلی FF-RS خروجی	وضعیت قبلی FF-RS خروجی
S	R	$Q(t)$	$\bar{Q}(t)$	$Q(t-1)$	$\bar{Q}(t-1)$
0	0	0	1	0	1
0	0	1	0	1	0
0	1	0	1	0	1
0	1	1	0	0	1
1	0	0	1	1	0
1	0	1	0	1	0
1	1	0	1	0	0
1	1	1	0	0	0

فلیپ‌فلاپ وضعیت قبلی خود را حفظ می‌کند حالت ذخیره

فلیپ‌فلاپ بدون توجه به حالت قبلی Reset می‌شود.

فلیپ‌فلاپ بدون توجه به حالت قبلی Set می‌شود.

فلیپ‌فلاپ وارد حالت غیر مجاز می‌شود.

برای بهتر به‌خاطر سپردن جدول ۵-۱ آن را به صورت

جدول ۵-۲ خلاصه می‌کنیم.

جدول ۵-۲ - مختصر شدهٔ SR-FF با دروازه‌های

NOR

S	R	$Q(t)$	
0	0	$Q(t-1)$	← حفظ وضعیت قبلی
0	1	0	← Reset
1	0	1	← Set
1	1	*	← غیر مجاز

۴-۲-۵ - فلیپ‌فلاپ RS با استفاده از گیت

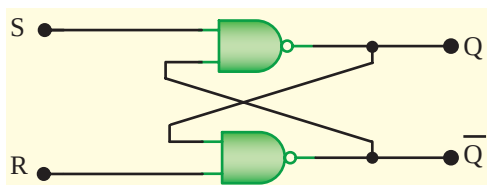
NAND: فلیپ‌فلاپ SR را می‌توان با دروازه‌های

NAND نیز طراحی کرد. در شکل ۵-۱۱ مدار یک

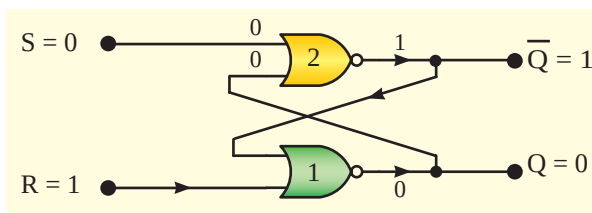
فلیپ‌فلاپ که با دروازه‌های NAND طراحی شده‌است

را مشاهده می‌کنید، در جدول ۵-۳ جدول صحت آن

دیده می‌شود.

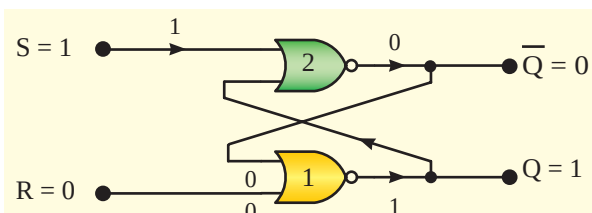


شکل ۵-۱۱ - فلیپ‌فلاپ SR با گیت‌های NAND



شکل ۵-۸ - حالت سوم $S=0$ و $R=1$

حالت چهارم: اگر $S=1$ و $R=0$ باشد، چون یکی از ورودی‌های دروازهٔ ۲ در حالت یک منطقی است و خروجی آن به حالت صفر منطقی می‌رود. در این صورت، هر دو ورودی دروازهٔ ۱ در حالت صفر منطقی قرار می‌گیرد و خروجی این دروازه نیز یک می‌شود به بیانی دیگر اگر $S=1$ و $R=0$ باشد، بدون توجه به وضعیت قبلی سیستم، $Q=1$ و $\bar{Q}=0$ می‌شود. شکل ۵-۹ این حالت را نشان می‌دهد.



شکل ۵-۹ - حالت چهارم $S=1$ و $R=0$

حالت پنجم: حالتی را در نظر می‌گیریم که

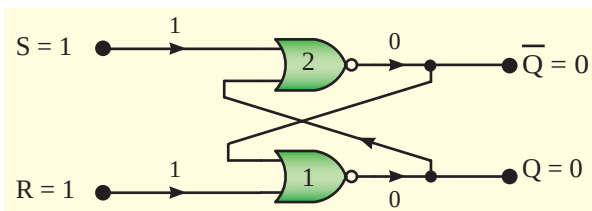
$S=R=1$ شود. در این حالت نیز چون دست کم یکی

از ورودی‌های هر دو دروازهٔ ۱ و ۲ در حالت یک

منطقی است، خروجی‌های هر دو دروازه در حالت صفر

منطقی قرار می‌گیرد.

شکل ۵-۱۰ این حالت را نشان می‌دهد.

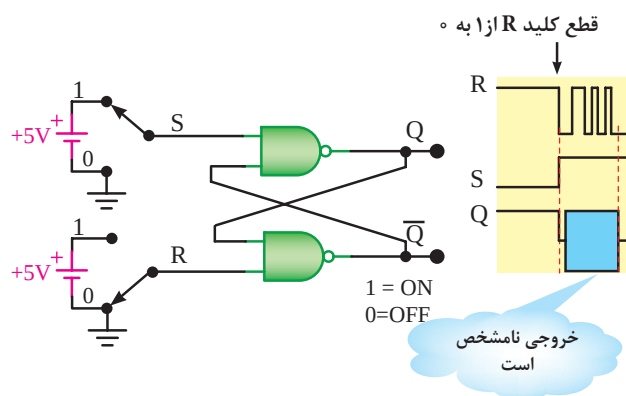


شکل ۵-۱۰ - حالت پنجم $S=1$ و $R=1$

اگر وضعیت خروجی‌های فلیپ‌فلاپ را قبل از تغییر

حالت با $Q(t-1)$ و $\bar{Q}(t-1)$ وضعیت خروجی‌های آن را

بعد از تغییر حالت با $Q(t)$ و $\bar{Q}(t)$ نشان دهیم، تحلیل

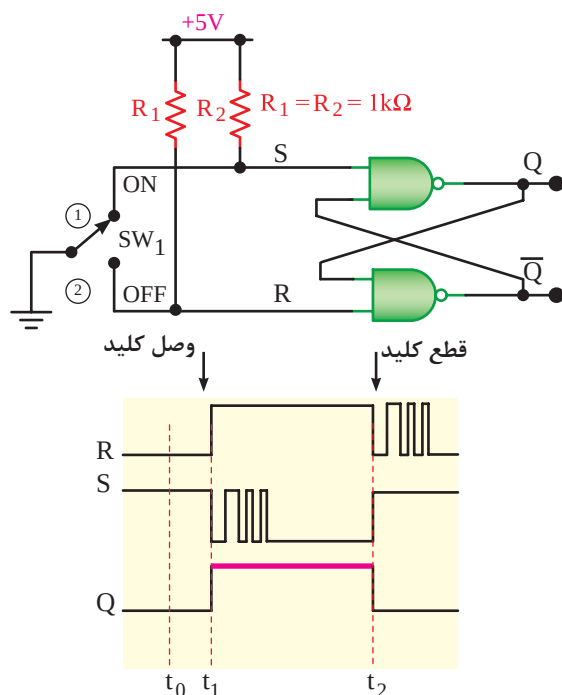


جدول ۳-۵ جدول صحت فلیپ فلاپ SR با گیت

NAND

S	R	Q (t)	
0	0	*	← غیر مجاز
0	1	1	← Set
1	0	0	← Reset
1	1	Q (t-1)	← حالت ذخیره

شکل ۱۲-۵ اثر لرزش کلید در مدار فلیپ فلاپ SR با گیت NAND این قطع و وصل ها ممکن است باعث بروز اشتباهاتی در عملکرد مدارهای منطقی ترتیبی شود برای حذف این لرزش ها از مدار شکل ۱۳-۵ استفاده می کنیم. مقاومت های Pull up یا افزایشده سطح ولتاژ



شکل ۱۳-۵ مدار فلیپ فلاپ SR بدون اثر لرزش کلید

در شکل ۱۳-۵ اگر کلید را در حالت ۱ فرض کنیم فلیپ فلاپ Set می شود. حال اگر کلید تغییر وضعیت دهد، به محض اولین اتصال با کنتاکت ۲ مقدار $S=1$ می شود و فلیپ فلاپ را Reset می کند. جدا شدن کنتاکت متحرک کلید از کنتاکت ثابت ۲، در فلیپ فلاپ حالت ذخیره ($S=R=1$) به وجود می آید. لذا خروجی های آن تغییر وضعیت نمی دهد. همین طور

تمرین کلاسی ۱-۵: جدول صحت ۴ حالتی مدار شکل ۱۱-۵ را به دست آورید و آن را با جدول صحت ۴ حالتی فلیپ فلاپ طراحی شده با دروازه های NOR مقایسه کنید.

فلیپ فلاپ SR را به نام قفل SR (SR-Latch) نیز می نامند. زیرا پس از، از بین رفتن فرمان های Set یا Reset فلیپ فلاپ طبق جدول ۴-۵ در آخرین وضعیت خود قفل می شود.

جدول ۴-۵ جدول فلیپ فلاپ قفل SR

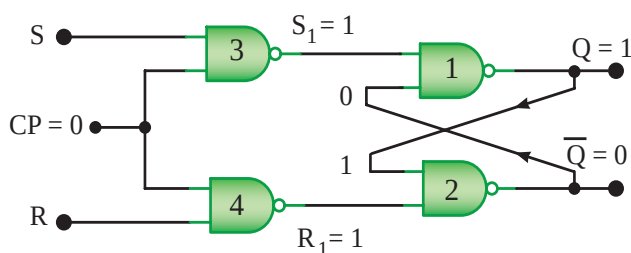
S	R	Q (t)	
0	0	*	← غیر مجاز
0	1	1	← Set
1	0	0	← Reset
1	1	Q (t-1)	← حالت ذخیره

یکی از کاربردهای مدار شکل ۱۱-۵ حذف لرزش کلیدهای مکانیکی (Bounce) است. وقتی یک کلید، تغییر وضعیت می دهد به دلیل لرزش ناشی از این تغییر وضعیت، در طی چند میلی ثانیه اول قطع و وصل های مکرر در بین کنتاکت ثابت و کنتاکت متحرک کلید پدید می آید، شکل ۱۲-۵ وضعیت اثر لرزش کلیدها را نشان می دهد.

Clock Pulse یا پالس ساعت ورودی (CP) به عنوان یک سیگنال فعال ساز عمل می کند. هنگامی که $CP = 0$ است، S_1 و R_1 یک می شود. در این شرایط خروجی Q و $\bar{Q}$ تغییر وضعیت نمی دهند و حالت قبل خود را حفظ می کنند، شکل ۵-۱۵ و ۵-۱۶ این حالت ها را نشان می دهد.

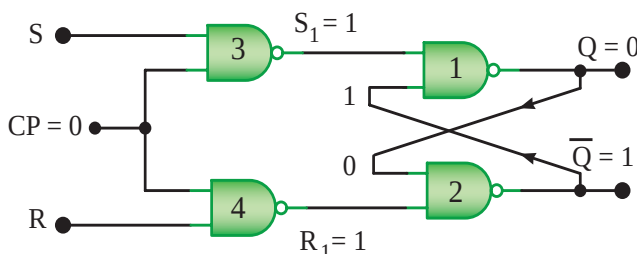
در واقع این شکل ها نشان می دهد که وضعیت S و R هر چه باشد چون پالس ساعت در وضعیت صفر منطقی است، خروجی حالت قبل خود را حفظ می کند و ثابت می ماند.

ورودی های S و R اثری در خروجی ندارند.



شکل ۵-۱۵ - خروجی $Q = 1$ حالت قبل را حفظ می کند و ثابت می ماند.

ورودی های S و R اثری در خروجی ندارند.



شکل ۵-۱۶ - خروجی $Q = 0$ حالت قبل را حفظ می کند و ثابت می ماند.

اگر $CP = 1$ شود خروجی گیت NAND شماره ۳ و ۴ براساس ورودی های S و R تغییر می کند و در این حالت خروجی Q و $\bar{Q}$ مطابق جدول درستی فلیپ فلاپ $S-R$ می شود شکل ۵-۱۷ مدار فلیپ فلاپ $S-R$ ساعتی را در زمان اعمال پالس ساعت نشان می دهد.

به هنگام تغییر وضعیت از ۲ به ۱ نیز با اولین تماس کنتاکت متحرک با کنتاکت ثابت ۱ فلیپ فلاپ Set می شود.

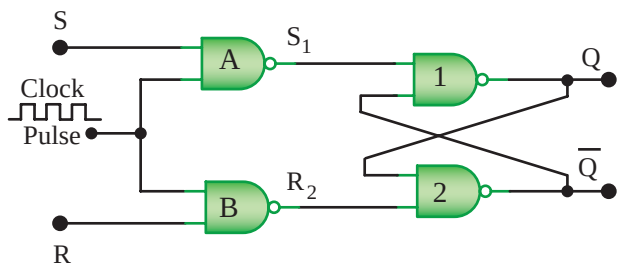
۵-۲-۵ - فلیپ فلاپ SR ساعتی: فلیپ فلاپ SR

دو اشکال اساسی دارد:

۱) عکس العمل نشان دادن فوری نسبت به تغییر وضعیت ورودی ها

۲) وجود حالت تعریف نشده (غیر مجاز)

نخستین اشکال، عکس العمل نشان دادن فوری نسبت به تغییر وضعیت ورودی ها است. یعنی به محض آن که ورودی های مدار تغییر کند، خروجی های آن نیز متناسب با این تغییر وضعیت ها، تغییر می کند. برای رفع این مشکل، مدار فلیپ فلاپ SR را مطابق شکل ۵-۱۴ اصلاح می کنیم. در این مدار پالس ساعت (Clock Pulse) به عنوان یک سیگنال فعال ساز عمل می کند.



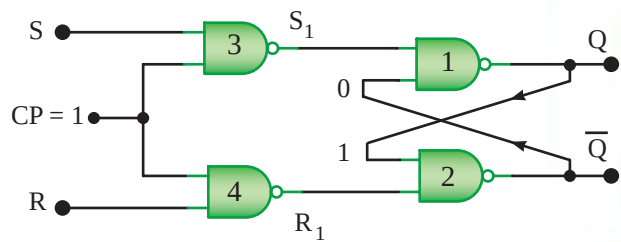
شکل ۵-۱۴ - مدار فلیپ فلاپ SR ساعتی

جدول ۵-۵ جدول صحت فلیپ فلاپ SR ساعتی را نشان می دهد.

جدول ۵-۵ - جدول صحت فلیپ فلاپ SR ساعتی

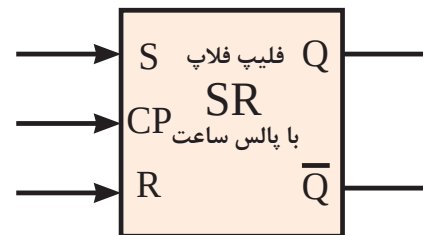
Clock	S	R	Q
0	0	0	تغییر نمی کند
0	0	1	" "
0	1	0	" "
0	1	1	" "
1	0	0	تغییر نمی کند
1	0	1	0 Reset
1	1	0	1 Set
1	1	1	غیر مجاز

صفر منطقی باشد، ورودی‌های دروازه‌های (۱) و (۲) که فلیپ‌فلاپ RS را می‌سازند، در حالت $S_1 = R_1 = 1$ هستند و فلیپ‌فلاپ در حالت ذخیره باقی می‌ماند. به عبارت دیگر، ورودی‌های S و R را حس نمی‌کند. وقتی پالس ساعت حالت یک منطقی داشته باشد، دروازه‌های ۳ و ۴ شکل ۵-۱۷ باز شده و اطلاعات ورودی توسط فلیپ‌فلاپ خوانده می‌شود.



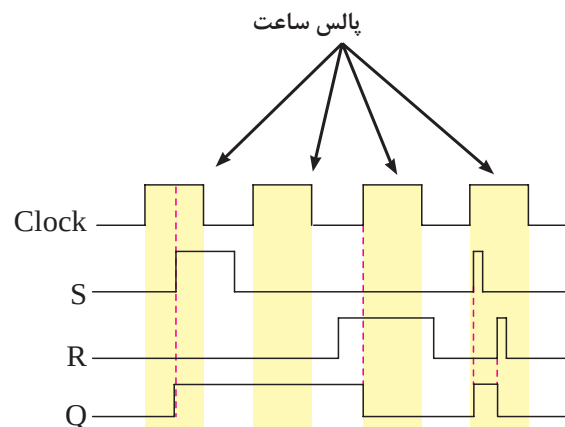
شکل ۵-۱۷ - CP=1 است. Q و Q-bar از مقادیر S و R تبعیت می‌کنند.

شکل ۵-۱۸ - بلوک دیاگرام فلیپ‌فلاپ SR ساعتی را نشان می‌دهد.



شکل ۵-۱۸ - بلوک دیاگرام فلیپ‌فلاپ SR ساعتی

در شکل ۵-۱۹ - نمودار زمانی ورودی‌ها و خروجی مدار فلیپ‌فلاپ SR ساعتی را مشاهده می‌کنید. ورودی‌های S و R فقط در زمان حضور Clock می‌توانند مؤثر واقع شوند.



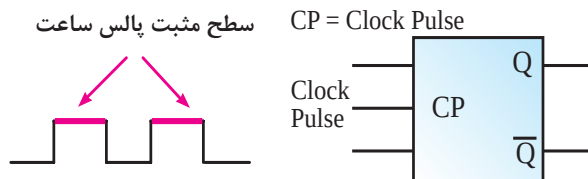
شکل ۵-۱۹ - نمودار زمانی ورودی‌ها و خروجی فلیپ‌فلاپ SR ساعتی

شکل موج ورودی‌ها و خروجی Q در نمودار زمانی مدار با توجه به جدول صحت فلیپ‌فلاپ SR ساعتی مطابق جدول ۵-۵ رسم شده است. در شکل ۵-۱۹ مادامی که پالس ساعت در حالت

۳-۵ - تقسیم‌بندی فلیپ فلاپ‌ها براساس پالس ساعت

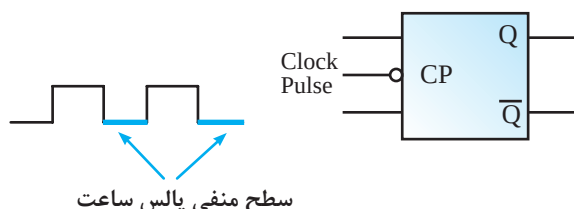
چگونگی عملکرد فلیپ‌فلاپ‌ها را براساس پالس ساعت نیز تقسیم‌بندی می‌کنند. در این تقسیم‌بندی چهار حالت به وجود می‌آید.

حالت اول: عامل با سطح مثبت پالس ساعت: اگر فلیپ‌فلاپ با سطح مثبت پالس ساعت عمل کند (عامل با سطح مثبت)، یعنی در شرایطی که Clock در حالت پایدار یک است، اطلاعات ورودی را بپذیرد آن را به صورت شکل ۵-۲۰ نشان می‌دهند.



شکل ۵-۲۰ - فلیپ‌فلاپ عامل با سطح مثبت پالس ساعت

حالت دوم: عامل با سطح منفی پالس ساعت: چنانچه فلیپ‌فلاپ با سطح منفی پالس ساعت عمل کند (عامل با سطح منفی)، در شرایطی که Clock Pulse در حالت پایدار صفر است و اطلاعات ورودی را بپذیرد آن را به صورت شکل ۵-۲۱ نشان می‌دهند.



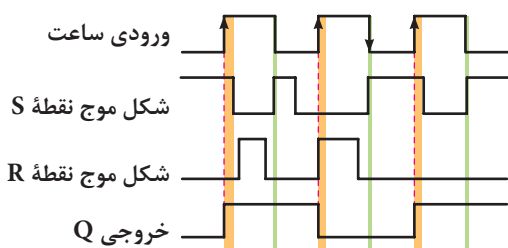
شکل ۵-۲۱ - فلیپ‌فلاپ عامل با سطح منفی پالس ساعت

شکل ۵-۲۵ نمودار زمانی ورودی‌های فلیپ‌فلاپ و خروجی آن را بر اساس حالت‌های مختلف پالس ساعت در جدول ۵-۶ نشان می‌دهد.

جدول ۵-۶ - جدول صحت فلیپ‌فلاپ RS ساعتی با

ورودی پالس ساعت

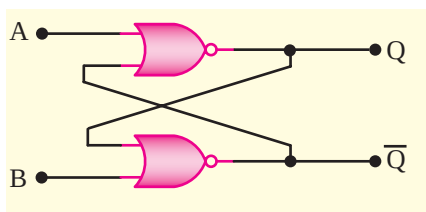
Clock	S	R	Q
0	x	x	بدون تغییر
1	x	x	" "
↓	x	x	" "
↑	0	0	بدون تغییر
↑	0	1	0 Reset
↑	1	0	1 Set
↑	1	1	ممنوع



شکل ۵-۲۵ - نمودار زمانی پالس ساعت به ورودی‌ها و عملکرد خروجی فلیپ‌فلاپ SR ساعتی

۵-۴ - الگوی پرسش

۵-۴-۱ - در شکل ۵-۲۶ اگر $A = 1$ و $B = 1$ باشد Q و $\bar{Q}$ در چه حالت منطقی قرار دارند؟



شکل ۵-۲۶ - مربوط به سؤال ۱ الگوی پرسش

۵-۴-۲ - در شکل ۵-۲۷ الف و ب وضعیت خروجی Q و $\bar{Q}$ فلیپ‌فلاپ RS ساعتی با گیت NAND را تعیین کنید.

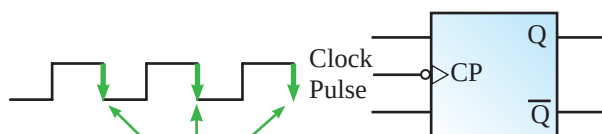
حالت سوم: عامل با لبه بالارونده پالس ساعت: اگر فلیپ‌فلاپ باله بالارونده (مثبت) پالس ساعت عمل کند (عامل با لبه بالارونده)، یعنی در شرایطی که پالس ساعت لبه بالارونده را طی می‌کند، اطلاعات را بپذیرد آن را به صورت شکل ۵-۲۲ نشان می‌دهند.



لبه بالارونده (مثبت) پالس ساعت

شکل ۵-۲۲ - فلیپ‌فلاپ عامل با لبه بالارونده پالس ساعت

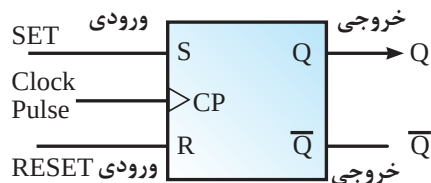
حالت چهارم: عامل با لبه پایین رونده پالس ساعت: اگر فلیپ‌فلاپ با لبه پایین رونده (منفی) پالس ساعت عمل کند (عامل با لبه پایین رونده)، یعنی در شرایطی که پالس ساعت لبه پایین رونده را طی می‌کند، اطلاعات را بپذیرد آن را به صورت شکل ۵-۲۳ نمایش می‌دهند.



لبه پایین رونده (منفی) پالس ساعت

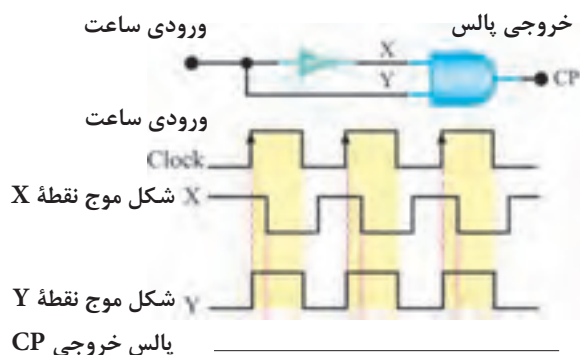
شکل ۵-۲۳ - فلیپ‌فلاپ عامل با لبه پایین رونده پالس ساعت

وضعیت بی‌اهمیت Don't care: در مدارهای منطقی اگر وضعیت منطقی متغیر با یک خط ورودی (صفر یا یک بودن آن) اثری روی خروجی نداشته باشد، آن را وضعیت بی‌اهمیت می‌نامند و با X نشان می‌دهند. در شکل ۵-۲۴ و جدول ۵-۶ عملکرد ورودی‌های S و R با حالت X و عملکرد پالس ساعت در فلیپ‌فلاپ SR ساعتی نشان داده شده است.



شکل ۵-۲۴ - فلیپ‌فلاپ RS ساعتی با پالس ساعت

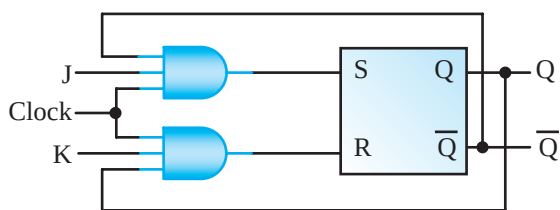
زمانی ورودی‌های آن و مشخصه تأخیر در انتشار، نمودار خروجی را رسم کنید.



شکل ۵-۳۰ - مربوط به سؤال ۵ الگوی پرسش

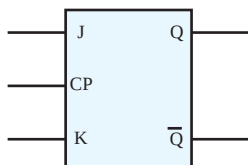
۵-۵ - فلیپ فلاپ J-K

یکی از اشکال‌های فلیپ فلاپ R-S مربوط به حالت تعریف نشده آن یعنی وضعیت $S = R = 1$ است. زیرا در این حالت وضعیت غیر مجاز پیش می‌آید. برای اصلاح این حالت از فلیپ فلاپ J-K استفاده می‌شود. در شکل ۵-۳۱ مدار فلیپ فلاپ J-K رسم شده است. فلیپ فلاپ دارای مدار داخلی با گیت NOR است.



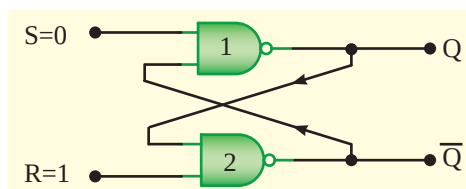
شکل ۵-۳۱ - فلیپ فلاپ J-K

بلوک دیاگرام فلیپ فلاپ J-K را در شکل ۵-۳۲ مشاهده می‌کنید.



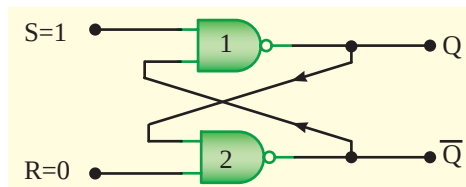
شکل ۵-۳۲ - نماد بلوکی فلیپ فلاپ J-K

جدول درستی فلیپ فلاپ J-K در جدول ۵-۷ آمده است.



در $R=1$ و $S=0$

الف

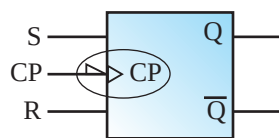


در $R=0$ و $S=1$

ب

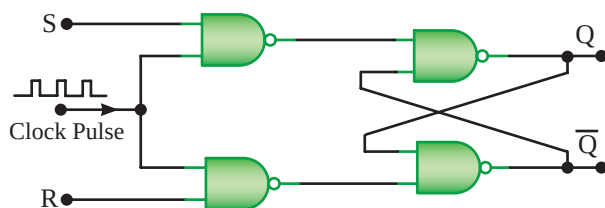
شکل ۵-۲۷ - مربوط به سؤال ۲ الگوی پرسش

۵-۴-۳ - فلیپ فلاپ شکل ۵-۲۸ با کدام مشخصه پالس ساعت کار می‌کند؟



شکل ۵-۲۸ - مربوط به سؤال ۳ الگوی پرسش

۵-۴-۴ - مدار SR-FF شکل ۵-۲۹ را در نظر بگیرید. در فاصله زمانی که پالس ساعت فعال است (در حالت «یک» منطقی قرار دارد) چنانچه در این شرایط وضعیت ورودی‌های فلیپ فلاپ تغییر کند خروجی‌های آن در چه وضعیتی قرار می‌گیرند؟ آیا تغییر وضعیت خروجی‌ها در سیستم اختلال ایجاد می‌کند یا خیر؟ شرح دهید.



شکل ۵-۲۹ - مربوط به سؤال ۴ الگوی پرسش

۵-۴-۵ - با استفاده از مدار شکل ۵-۳۰ و نمودار

جدول ۷-۵- جدول صحت فلیپ‌فلاپ J-K

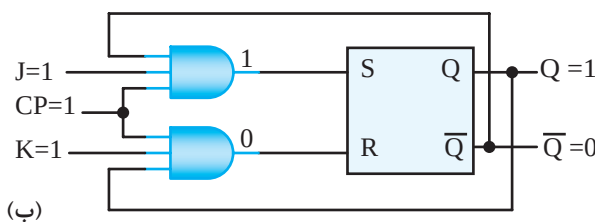
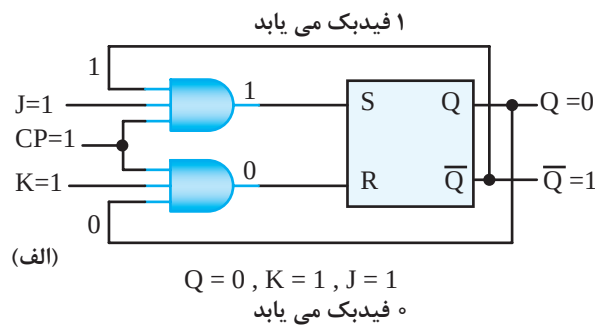
خروجی بعد از اعمال پالس ساعت		
ورودی J	ورودی K	Q(t)
0	0	$Q_{(t-1)}$
0	1	0
1	0	1
1	1	$\overline{Q}_{(t-1)}$

خروجی قبل از اعمال پالس ساعت $Q_{(t-1)}$

وضعیت را که شبیه قطع و وصل کردن یک کلید است حالت کلیدی می‌نامند.

باید توجه داشت تغییر وضعیت Q و $\overline{Q}$ زمانی رخ می‌دهد که پالس ساعت فعال باشد، ($CP=1$) طبیعی است اگر پالس ساعت فعال نباشد یعنی $CP=0$ شود Q و $\overline{Q}$ تغییر وضعیت نمی‌دهند و حالت اولیه خود را حفظ می‌کنند.

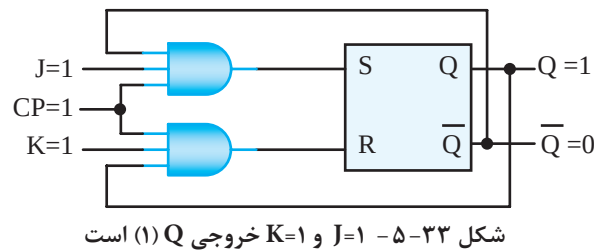
۵-۵-۱- عیب فلیپ‌فلاپ J-K: همان‌طور که مشاهده کردید فلیپ‌فلاپ J-K توانسته است حالت تعریف نشده فلیپ‌فلاپ R-S را برطرف کند. چون خروجی‌های Q و $\overline{Q}$ مستقیماً به ورودی‌ها فیدبک شده‌اند. اگر در این حالت پالس ساعت برابر با (۱) باقی بماند، به دلیل وجود فیدبک، مقادیر مرتباً تغییر می‌کنند و خروجی فلیپ‌فلاپ دائماً بین صفر و یک نوسان می‌کند. در شکل ۳۵-۵ الف و ب تغییر وضعیت Q و $\overline{Q}$ نشان داده شده است.



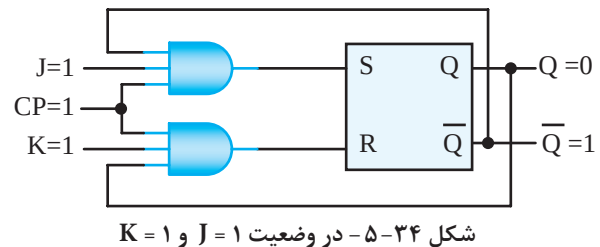
شکل ۳۵-۵- با فیدبک خروجی Q و $\overline{Q}$ به ورودی وضعیت جدید $Q=1$ و $\overline{Q}=0$ ظاهر شده است.

حال اگر مطابق شکل ۳۶-۵ پالس ساعت مساوی صفر ($CP=0$) شود، در این لحظه Q روی آخرین وضعیت خود ثابت می‌ماند. این حالت فلیپ‌فلاپ را

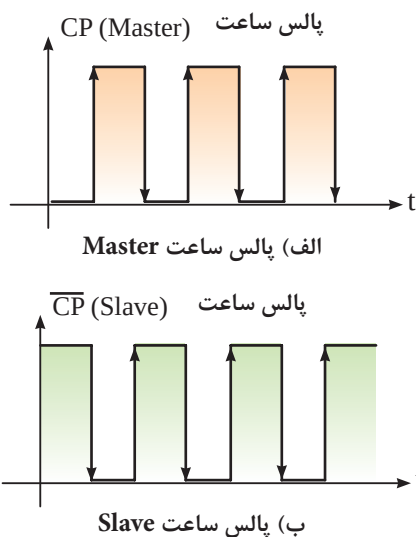
این جدول نشان می‌دهد حالت ممنوعه برطرف شده است یعنی هنگامی که $J=K=1$ می‌شود، اگر فلیپ‌فلاپ مطابق شکل ۳۳-۵ در حالت Set یعنی $Q=1$ قرار داشته باشد، وضعیت آن تغییر می‌کند و Reset می‌شود.



بنابراین مطابق شکل ۳۴-۵، خروجی $Q=1$ به حالت $Q=0$ تغییر حالت می‌دهد.

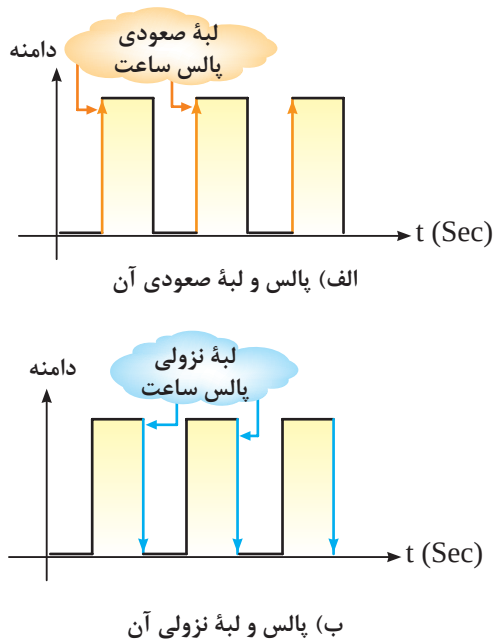


Q و $\overline{Q}$ برعکس حالت قبل شده است. هم‌چنین اگر فلیپ‌فلاپ در وضعیت Reset یعنی $Q=0$ باشد با برقراری $J=K=1$ به وضعیت Set می‌رود یعنی $Q=1$ می‌شود به عبارت دیگر حافظه به حالتی برعکس وضعیت قبلی خود تغییر حالت می‌دهد. این



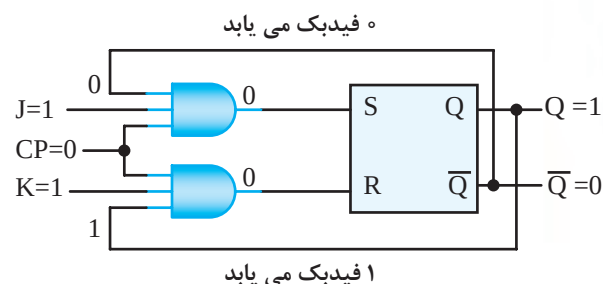
شکل ۵-۳۸ - پالس‌های Master و Slave

هنگامی که پالس از ولتاژ صفر به سمت سطح ولتاژ زیاد تغییر می‌کند، به این بخش لبه صعودی پالس (لبه بالا رونده) گویند. شکل ۵-۳۹ - الف لبه صعودی پالس را نشان می‌دهد. هنگامی که پالس از سطح ولتاژ زیاد به سمت سطح ولتاژ صفر نزول می‌کند این بخش، لبه نزولی پالس (پایین رونده) نام دارد. شکل ۵-۳۹ - ب لبه نزولی پالس را نشان می‌دهد.



شکل ۵-۳۹ - پالس ساعت و لبه‌های صعودی و نزولی

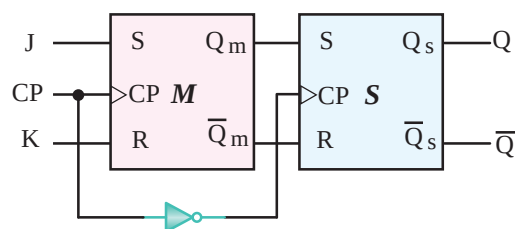
پدیده دور خود چرخیدن Race Around می‌گویند. در این حالت وضعیت خروجی بین صفر و یک در حال نوسان است. برای برطرف کردن این عیب از فلیپ‌فلاپ JK-MS استفاده می‌شود.



شکل ۵-۳۶ - Q و Q-bar فیدبک می‌شوند چون CP=0 است خروجی تغییر نمی‌کند

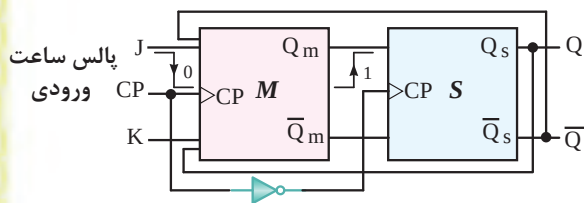
۵-۵-۲ - فلیپ‌فلاپ JK-MS (JK-Master slave):

فلیپ‌فلاپ JK-MS از دو فلیپ‌فلاپ S-R مجزا و مشابه هم درست شده است که یکی مستر (اصلی - Master) و دیگری اسلیو (فرعی-Slave) نام دارد. این فلیپ‌فلاپ‌ها هر دو بآل‌به‌بالا رونده عمل می‌کنند. شکل ۵-۳۷ - بلوک دیاگرام این فلیپ‌فلاپ را نشان می‌دهد. فیدبک از Q و Q-bar به ورودی‌ها رسم نشده است.



شکل ۵-۳۷ - بلوک دیاگرام فلیپ‌فلاپ JK-MS بدون رسم مسیر فیدبک

با توجه به بلوک دیاگرام شکل ۵-۳۷ درمی‌یابیم پالس ساعت فلیپ‌فلاپ Master معکوس (NOT) می‌شود و به عنوان پالس ساعت فلیپ‌فلاپ Slave عمل می‌کند. شکل‌های ۵-۳۸ الف و ب وضعیت پالس ساعت Master و Slave را نسبت به هم نشان می‌دهد.



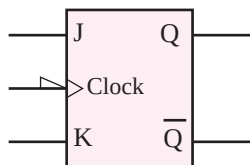
شکل ۵-۴۲ - هنگامی که Q و Q̄ به ورودی مدار فیدبک می‌رسند CP=۰ است.

جدول درستی فلیپ‌فلاپ JK-MS مانند جدول درستی فلیپ‌فلاپ JK است. فقط در فلیپ‌فلاپ JK-MS اطلاعات در لبه نزولی پالس ساعت وارد حافظه می‌شوند.

جدول ۵-۸ جدول درستی فلیپ‌فلاپ JK-MS را نشان می‌دهد بلوک دیاگرام فلیپ‌فلاپ JK-MS را در شکل ۵-۴۳ مشاهده می‌کنید.

جدول ۵-۸ - درستی فلیپ‌فلاپ JK-MS

J	K	CP	Q _t
0	0		Q _(t-1) حالت قبلی را حفظ می‌کند
0	1		0 RESET
1	0		1 SET
1	1		Q̄ _(t-1) حالت قبلی عکس می‌شود

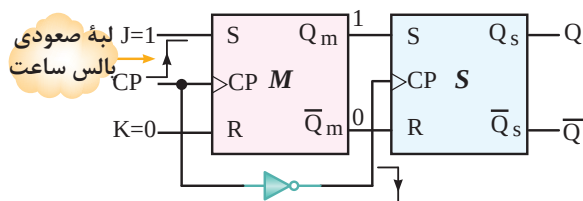


شکل ۵-۴۳ - بلوک دیاگرام فلیپ‌فلاپ JK-MS

تمرین کلاسی ۲-۵: در شکل ۵-۴۴ الف مدار یک فلیپ‌فلاپ JK را مشاهده می‌کنید. جدول ۵-۹ جدول صحت فلیپ‌فلاپ JK را نشان می‌دهد. شکل موج‌های ورودی و پالس ساعت در شکل ۵-۴۴ ب رسم شده است.

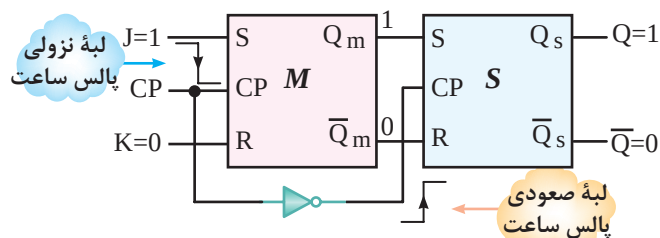
شکل موج خروجی Q و Q̄ را در نمودار شکل ۵-۴۵ ب رسم کنید.

در فلیپ‌فلاپ JK-MS در هنگام لبه صعودی پالس Master، اطلاعات ورودی وارد حافظه Master می‌شود. شکل ۵-۴۰ نشان می‌دهد که اطلاعات ورودی وارد حافظه Master شده است.

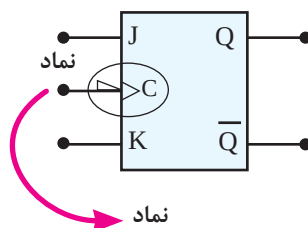


شکل ۵-۴۰ - در هنگام لبه صعودی پالس ورودی، اطلاعات ورودی وارد حافظه Master می‌شود.

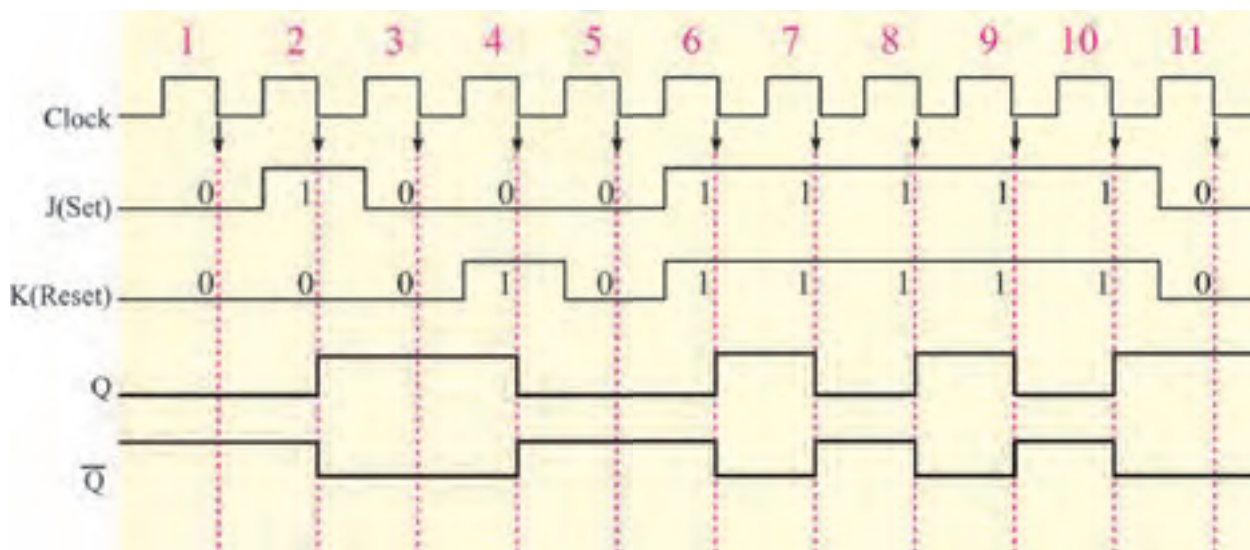
در هنگام لبه نزولی پالس ساعت ورودی، پالس ساعت فلیپ‌فلاپ Slave صعود می‌کند و اطلاعات حافظه Master، وارد حافظه Slave که حافظه خروجی است می‌شود. در شکل ۵-۴۱ لبه نزولی پالس ساعت Master و لبه صعودی پالس ساعت Slave و ورود اطلاعات حافظه Master به حافظه Slave نشان داده شده است. مشاهده می‌شود هنگامی که اطلاعات به خروجی فلیپ‌فلاپ Slave انتقال می‌یابد و می‌خواهد به ورودی فلیپ‌فلاپ Master فیدبک شود، دروازه فلیپ‌فلاپ Master بسته است یعنی CP=۰ است (شکل ۵-۴۲). بدین ترتیب اطلاعات برگشتی نمی‌تواند وارد حافظه Master شود و حافظه را به نوسان درآورد.



شکل ۵-۴۱ - در هنگام لبه نزولی پالس ساعت ورودی، پالس ساعت Slave صعود می‌کند و اطلاعات وارد حافظه Slave می‌شود.



الف) نماد قراردادی فلیپ فلاپ JK با لبه پایین رونده پالس ساعت



ب) شکل موج ورودی‌ها و خروجی‌های فلیپ فلاپ

شکل ۴۴-۵ - مدار فلیپ‌فلاپ JK و نمودار زمانی ورودی‌های آن



جهت هنرجویان علاقه‌مند: با توجه به مدار شکل ۴۵-۵ و پالس ساعت ورودی

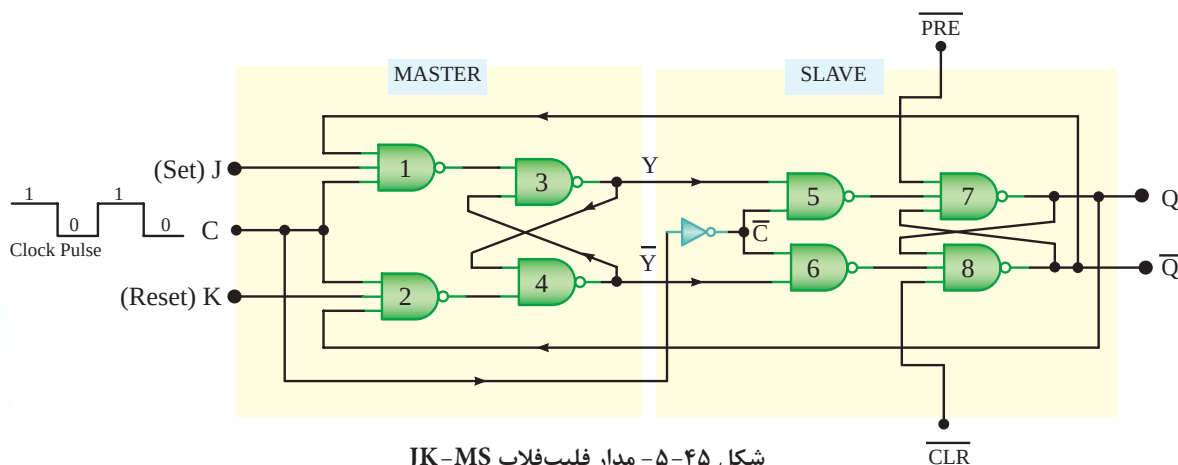
الف) چنانچه ورودی J را یک منطقی و ورودی K را صفر منطقی قرار دهیم و با توجه به این که $Q = 1$ و $\bar{Q} = 0$ است. خروجی‌های Master (اصلی) یعنی y و $\bar{y}$ چه مقداری خواهند داشت؟

ب) اگر پالس ساعت لبه پایین‌رونده خود را طی کند، Q و $\bar{Q}$ چه مقداری را خواهند داشت؟

پ) اگر ورودی J و K برابر ۱ قرار دهیم، وضعیت خروجی‌های y و $\bar{y}$ و Q و $\bar{Q}$ را بنویسید.

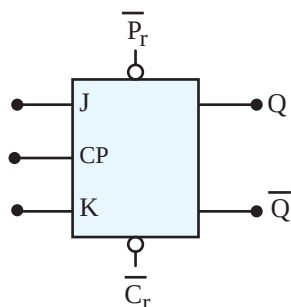
جدول ۹-۵ - جدول صحت فلیپ‌فلاپ JK

CP	J	K	Q_t
0	x	x	بدون تغییر $Q_{(t-1)}$
1	x	x	$Q_{(t-1)}$ " "
↓	0	0	بدون تغییر $Q_{(t-1)}$
↓	0	1	0 Reset عکس حالت قبل
↓	1	0	1 Set
↓	1	1	$\bar{Q}_{(t-1)}$ Toggle

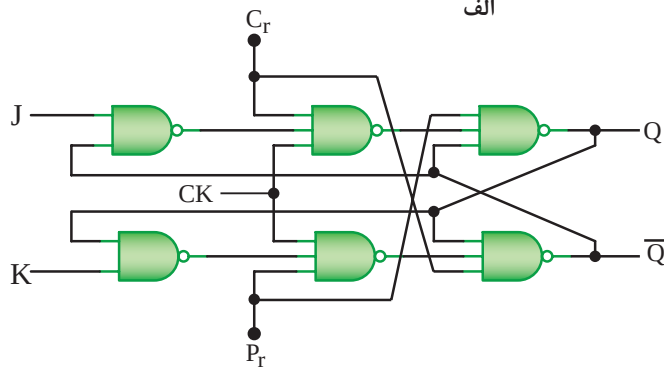


شکل ۴۵-۵- مدار فلیپ‌فلاپ JK-MS

خواهد شد. ایجاد شرایط $Pr = 0$ و $Cr = 0$ حالت ناپایدار ایجاد می‌کند. وضعیت $Pr = 1$ و $Cr = 1$ تغییری در حافظه به وجود نمی‌آورد.



الف



ب

شکل ۴۶-۵- ورودی‌های Preset و Clear و بلوک دیاگرام فلیپ‌فلاپ JK

$Pr = 0$
 $Cr = 1$

$Q = 1$

$Pr = 1$
 $Cr = 0$

$Q = 0$

۳-۵-۵- عملکرد ورودی‌های پیش تنظیم

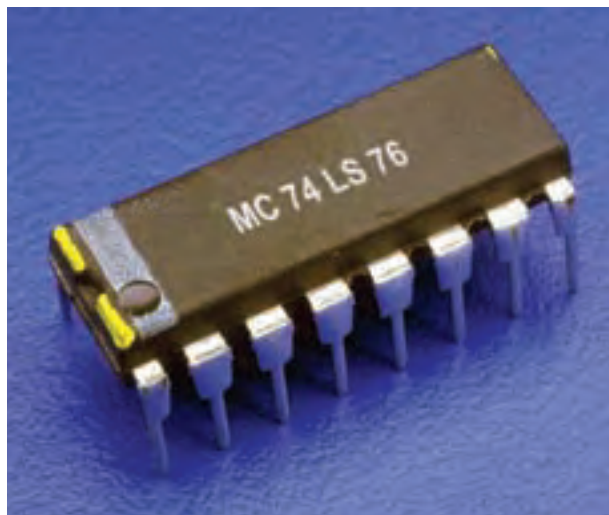
Pre (Preset) و پاک کردن Clr (Clear): در زمان وصل تغذیه به مدار فلیپ‌فلاپ، وضعیتی که حافظه در آن قرار می‌گیرد یعنی حالت Q، در انواع فلیپ‌فلاپ‌ها کاملاً تصادفی است. برای ایجاد یک حالت معین و تعریف شده اولیه از ورودی پیش تنظیم (Preset) و پاک کردن (Clear) استفاده می‌کنیم. Clr و مانند شکل ۴۶-۵- ب مستقیماً روی Q و $\bar{Q}$ اثر می‌گذارند. در شکل ۴۶-۵- الف بلوک دیاگرام فلیپ‌فلاپ JK با Pr و Clr نشان داده شده است. این فلیپ‌فلاپ با سطح مثبت پالس ساعت عمل می‌کند.



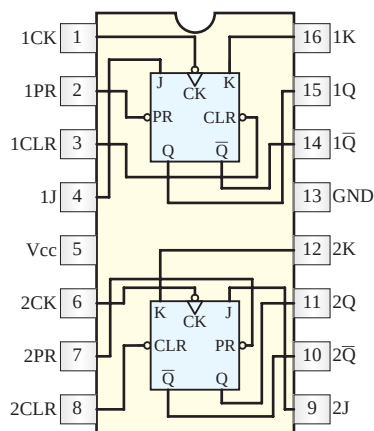
نکته: با توجه به این که پر کردن حافظه با حالت‌های $Pr = 0$ و پاک شدن آن، با حالت $Cr = 0$ انجام می‌شود، برای نمایش خطوط ورودی در نقشه‌ها، از نمادهای $\bar{Pr}$ و $\bar{Cr}$ استفاده می‌کنند. این نمادها فقط Active Low یعنی پر شدن و خالی شدن حافظه را با صفر نشان می‌دهد و قرار گرفتن علامت نات ($\bar{Pr}$ و $\bar{Cr}$) روی نمادها به معنی تغییر حالت دادن ورودی نیست.

در صورتی که $Pr = 0$ و $Cr = 1$ باشد مقدار $Q = 1$ می‌شود، همچنین اگر $Pr = 1$ و $Cr = 0$ باشد مقدار $Q = 0$

JK-MS جاسازی شده است. شکل ۵-۴۷ شکل ظاهری این آی سی را نشان می‌دهد. در شکل ۵-۴۸ فلیپ‌فلاپ‌های داخل این آی سی رسم شده‌اند.



شکل ۵-۴۷ - شکل ظاهری آی سی ۷۴۷۶



شکل ۵-۴۸ - نماد داخلی آی سی ۷۴۷۶

جدول ۵-۱۱ جدول درستی یکی از فلیپ‌فلاپ‌های ۷۴LS۷۶ را نشان می‌دهد. حالت X به معنی این است که وضعیت ورودی اهمیتی ندارد و می‌تواند صفر یا یک باشد. (جدول در صفحه بعد)

۵-۶ - فلیپ‌فلاپ نوع D (تأخیری یا Delay)

این فلیپ‌فلاپ تنها دارای یک ورودی است که ورودی (D) نام دارد (شکل ۵-۴۹).

در جدول ۵-۱۰ جدول درستی کامل یک فلیپ‌فلاپ JK که با لبه پایین رونده پالس ساعتکار می‌کند همراه با خط‌های Pr و Cr رسم شده است.

جدول ۵-۱۰ - جدول درستی کامل یک فلیپ‌فلاپ JK با ورودی Pr و Cr

P_r	C_r	CP	J	K	Q_t
0	0	X	X	X	حالت ناپایدار *
0	1	X	X	X	Preset پر شده 1
1	0	X	X	X	Clear پاک شده 0
1	1	-	X	X	حالت قبلی را حفظ می‌کند $Q_{(t-1)}$
1	1		0	0	$Q_{(t-1)}$
1	1		0	1	Reset 0
1	1		1	0	Set 1
1	1		1	1	حالت قبلی عکس می‌شود $\overline{Q_{(t-1)}}$

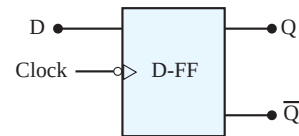
همان‌طور که قبلاً بیان شد در هنگام وصل اولیه تغذیه مدارهای ترتیبی، حالتی که هر فلیپ‌فلاپ انتخاب می‌کند کاملاً تصادفی است. برای ایجاد یک حالت معین و تعریف شده اولیه، از ورودی‌های $Preset$ و $Clear$ استفاده می‌کنند. این ورودی‌ها مستقیماً بر Q و $\overline{Q}$ تأثیر می‌گذارند و چون برای اثرگذاری آن‌ها روی فلیپ‌فلاپ به‌فعال بودن پالس ساعت نیاز نیست، ورودی‌های موازی یا ورودی‌های ناهم‌زمان (Asynchronous Inputs) نامیده می‌شود.

همان‌گونه که در شکل ۵-۴۶ ب مشاهده می‌کنید، این ورودی‌ها مستقیماً دروازه‌های انتهایی مدار را تحت تأثیر قرار می‌دهند. مطابق جدول ۵-۱۰، جدول صحت کامل فلیپ‌فلاپ JK با خط‌های Pr و Clr باید از ایجاد حالت $Pr = Cr = 0$ که موجب ناپایداری مدار می‌شود، جلوگیری کرد.

۵-۵-۴ - تراشه ۷۴LS۷۶: آی سی ۷۴LS۷۶ یک تراشه ۱۶ پایه است که در داخل آن دو عدد فلیپ‌فلاپ

جدول ۵-۱۱- جدول درستی یکی از فلیپ‌فلاپ‌های
آی‌سی ۷۴۷۶

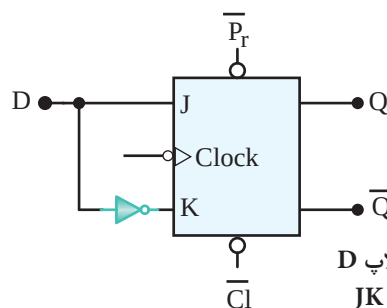
INPUTS					OUTPUTS	
Preset	Clear	Clock	J	K	Q	$\bar{Q}$
L	H	X	X	X	H	L
H	L	X	X	X	L	H
L	L	X	X	X	H	H
H	H	↓	L	L	Q	$\bar{Q}$
H	H	↓	H	L	H	L
H	H	↓	L	H	L	H
H	H	↓	H	H	TOGGLE	
H	H	H	X	X	Q	$\bar{Q}$



شکل ۴۹- ۵- فلیپ‌فلاپ D

از این فلیپ‌فلاپ به عنوان یک سلول ثبات (ثبت کننده) استفاده می‌کنند. زیرا اطلاعات ورودی آن پس از هر پالس ساعت وارد حافظه فلیپ‌فلاپ می‌شود و تا پالس ساعت بعدی آن را حفظ می‌کند.

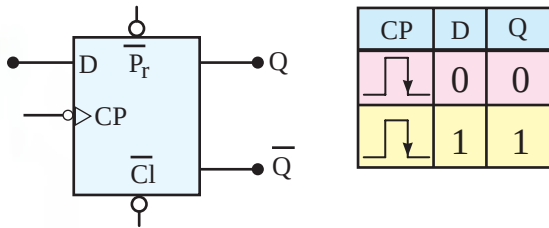
این فلیپ‌فلاپ را می‌توان به کمک هر یک از انواع فلیپ‌فلاپ‌های SR, JK یا JK-MS طراحی کرد. برای این منظور باید ورودی S را نفی کنیم سپس آن را به R اتصال دهیم. همچنین می‌توان ورودی J را نفی کرد و به ورودی K اتصال داد. شکل ۵-۵۰ یک فلیپ‌فلاپ D را با استفاده از فلیپ‌فلاپ J-K نشان می‌دهد.



شکل ۵۰- ۵- فلیپ‌فلاپ D
با استفاده از فلیپ‌فلاپ JK

جدول درستی فلیپ‌فلاپ D مطابق جدول ۵-۱۲ است. در شکل ۵-۵۱ بلوک دیاگرام فلیپ‌فلاپ نوع D رسم شده است.

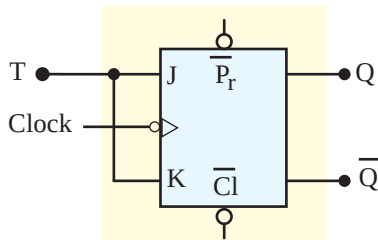
جدول ۵-۱۲- جدول درستی فلیپ‌فلاپ D



شکل ۵۱- ۵- بلوک دیاگرام فلیپ‌فلاپ D

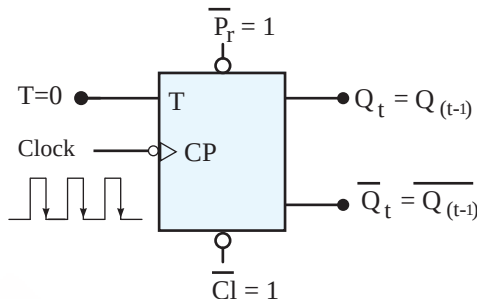
۵-۷- فلیپ‌فلاپ نوع T (کلیدی یا Toggle)

اگر دو ورودی فلیپ‌فلاپ JK را به هم وصل کنیم و اتصال مشترک را T بنامیم، فلیپ‌فلاپ جدیدی ساخته می‌شود که به آن فلیپ‌فلاپ نوع T یا کلیدی گویند. شکل ۵-۵۲ نحوه تبدیل فلیپ‌فلاپ J-K را به T نشان می‌دهد. با توجه به شکل درمی‌یابیم که اطلاعات ورودی‌های J و K با هم برابرند.



شکل ۵۲- ۵- تبدیل فلیپ‌فلاپ J-K به T

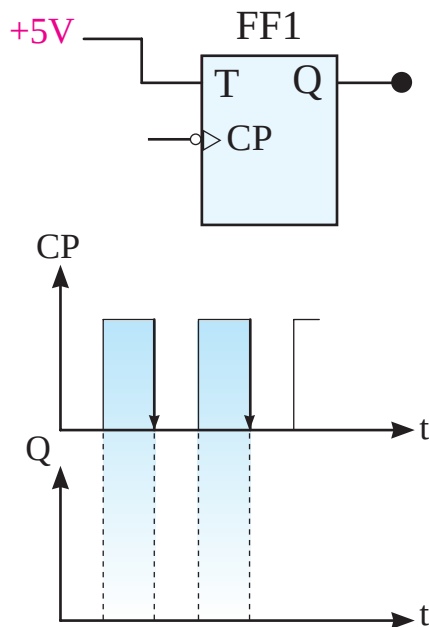
پس اگر $T=0$ باشد، مطابق شکل ۵-۵۳، $J=K=0$ است. در این صورت حافظه بدون تغییر می‌ماند.



شکل ۵۳- ۵- $T=0$ است و Q و Q-bar تغییر نمی‌کند.



تمرین کلاسی ۳-۵: شکل موج خروجی Q فلیپ فلاپ T را به ازای دو پالس ساعت در شکل ۵-۵۶ رسم کنید.



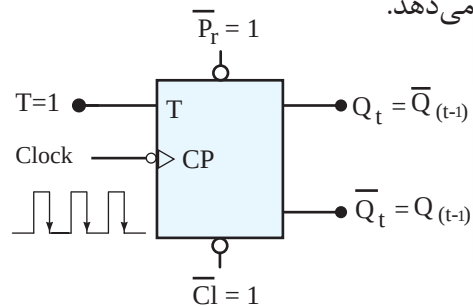
شکل ۵-۵۶ - فلیپ فلاپ T و شکل موج پالس ساعت و خروجی آن

از فلیپ فلاپ T اغلب به عنوان تقسیم کننده فرکانس در ساختمان مدارهای ساعت یا شمارنده استفاده می شود. شکل ۵-۵۷-الف یک شمارنده و شکل ۵-۵۷-ب شمارنده به عنوان تقسیم کننده فرکانس را نشان می دهد.



الف) یک شمارنده

حال چنانچه $T=1$ باشد، $J=K=1$ است. در این حالت طبق شکل ۵-۵۴ با هر پالس ساعت وضعیت حافظه برعکس حالت قبل می شود. یعنی اگر حافظه Set است به حالت Reset و اگر Reset است به حالت Set تغییر حالت می دهد.



شکل ۵-۵۴ - $T=1$ است در لبه نزولی پالس ساعت Q_t برعکس می شود.

جدول ۵-۱۳ جدول درستی T-FF را بر اساس عملکرد JK-FF نشان می دهد. این جدول را می توان به صورت جدول ۵-۱۴ خلاصه کرد. بلوک دیاگرام فلیپ فلاپ T در شکل ۵-۵۵ آمده است.

جدول ۵-۱۳ - جدول درستی T-FF بر اساس عملکرد

JK-FF

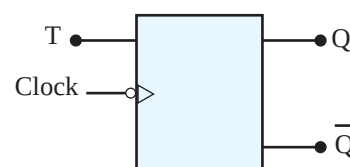
T	CLK	J	K	$Q_{(t-1)}$	Q_t
0		0	0	0	0
0		0	0	1	1
1		1	1	0	1
1		1	1	1	0

جدول ۵-۱۴ - جدول درستی T-FF

T	CP	Q_t
0		$Q_{(t-1)}$
1		$\bar{Q}_{(t-1)}$

حالت قبلی را حفظ می کند

حالت قبلی عکس می شود



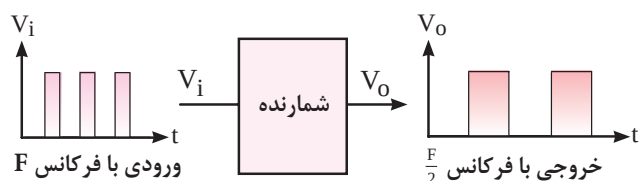
شکل ۵-۵۵ - بلوک دیاگرام T-FF

حل: در بررسی مدار فوق فرض شده است که کلیه فلیپ‌فلاپ‌ها در ابتدا Reset شده باشند. به علاوه، فلیپ‌فلاپ‌ها را با لبه پایین‌رونده ساعت در نظر گرفته‌ایم.

همان‌طور که مشاهده می‌کنید، فلیپ‌فلاپ طبقه C در حکم یک تقسیم‌کننده فرکانس پالس ساعت عمل می‌کند، چون پالس ساعت فلیپ‌فلاپ طبقه B از خروجی طبقه C دریافت شده است، خروجی این طبقه بار دیگر فرکانس پالس ساعت را تقسیم بر ۲ می‌کند

($Q_B = \frac{Q_C}{2} = \frac{\frac{\text{Clock}}{2}}{2} = \frac{\text{Clock}}{4}$) و به همین ترتیب، فلیپ‌فلاپ طبقه A فرکانس پالس ساعت را تقسیم بر ۸ می‌کند. در شکل ۵-۵۹ دیاگرام زمانی یک شمارنده سه بیتی را مشاهده می‌کنید.

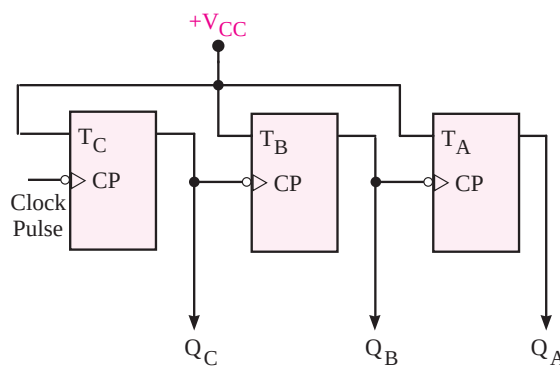
$$Q_A = \frac{Q_B}{2} = \frac{\frac{\text{Clock}}{4}}{2} = \frac{\text{Clock}}{8}$$



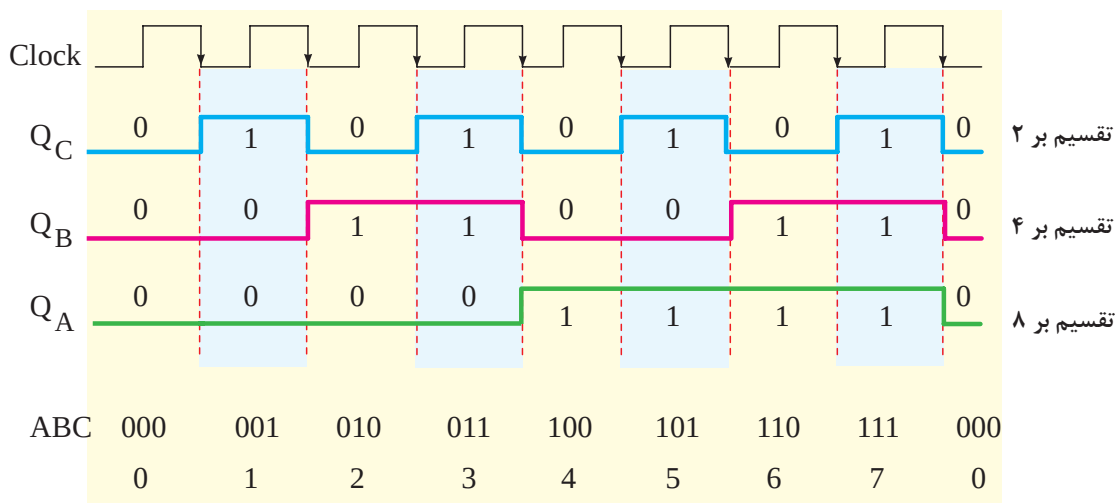
ب) شمارنده به عنوان مقسم فرکانس

شکل ۵-۵۷ - یک شمارنده و شمارنده به عنوان مقسم فرکانس

مثال ۵-۱: اگر سه طبقه فلیپ‌فلاپ را مطابق شکل ۵-۵۸ به هم وصل کنیم، یک شمارشگر باینری سه بیتی تشکیل می‌شود. فرکانس و شکل موج خروجی هر یک از فلیپ‌فلاپ‌ها را بدست آورید.



شکل ۵-۵۸ - مدار شمارنده سه بیتی



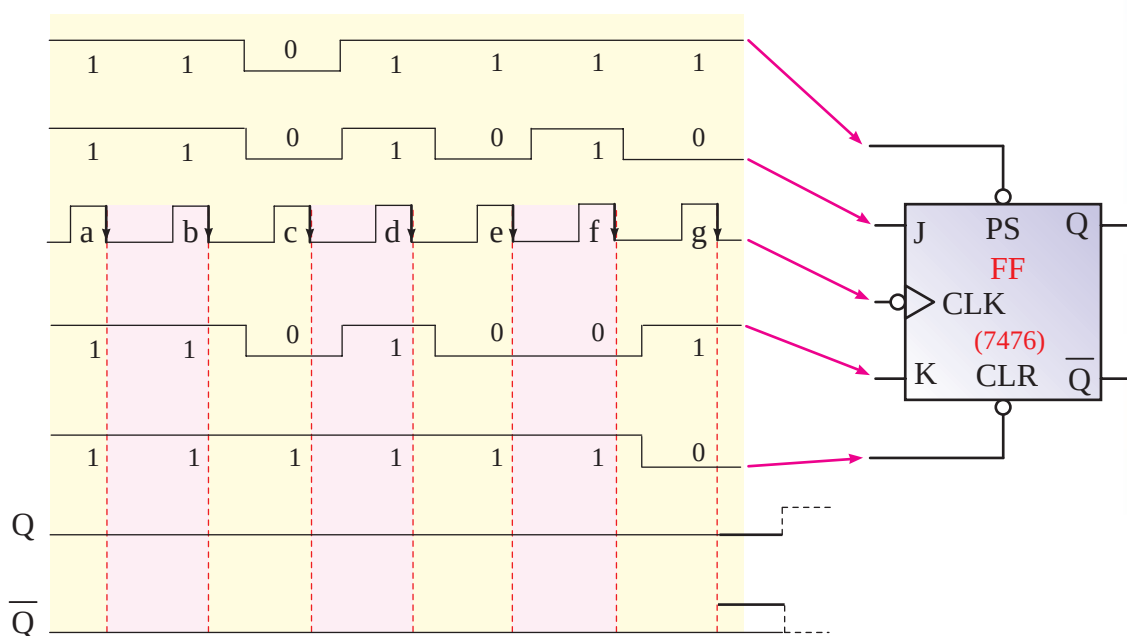
شکل ۵-۵۹ - دیاگرام زمانی یک شمارنده سه بیتی

۵-۸ الگوی پرسش

دیاگرام تغییرات خروجی‌های Q و $\bar{Q}$ را رسم کنید.

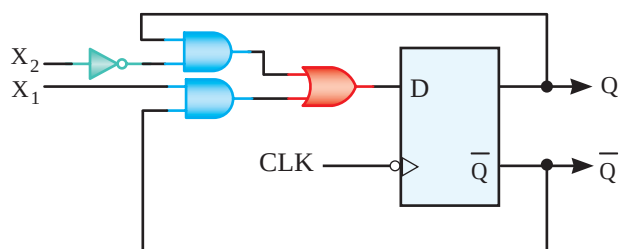
راهنمایی: فلیپ‌فلاپ را براساس جدول ۵-۱۱ تحلیل کنید.

۱- در شکل ۵-۶۰ فرض کنید که فلیپ‌فلاپ JK-MS در آغاز کار در حالت Reset قرار دارد نمودار



شکل ۵-۶۰ - نمودار دیاگرام زمانی مربوط به سؤال ۱ الگوی پرسش

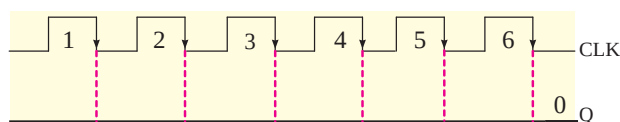
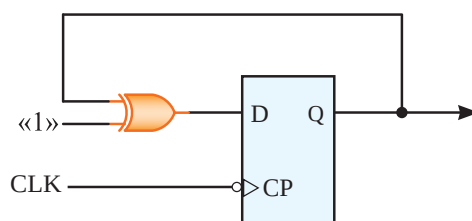
۲- خروجی Q یک D-FF عامل با لبه پایین رونده پالس ساعت را مطابق شکل ۵-۶۱ به ورودی آن برمی گردانیم.



Clock	X_2	X_1	$Q_{(t-1)}$	$Q(t)$	$\overline{Q}(t)$
	0	0	0		
	0	0	1		
	0	1	0		
	0	1	1		
	1	0	0		
	1	0	1		
	1	1	0		
	1	1	1		

شکل ۵-۶۲ - مدار و جدول صحت سؤال ۳ الگوی پرسش

با فرض این که در آغاز کار فلیپ فلاپ Reset است، دیاگرام زمانی تغییر وضعیت های بعدی آن را رسم کنید، رفتار این مدار، رفتار کدام یک از فلیپ فلاپ ها را نشان می دهد؟

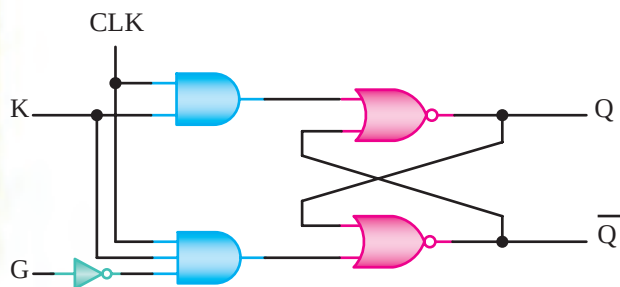


شکل ۵-۶۱ - مدار و نمودار زمانی سؤال ۲ الگوی پرسش

۳- فرض کنید فلیپ فلاپ شکل ۵-۶۲ در آغاز Reset باشد و با لبه پایین رونده پالس ساعت عمل کند. با توجه به این فرضیه جدول صحت مدار را کامل کنید.

۴- با فرض آن که فلیپ فلاپ شکل ۵-۶۳ در ابتدا Reset باشد، تغییرات بعدی وضعیت خروجی Q را در نمودار رسم کنید. نتیجه حاصل، رفتار کدام یک از فلیپ فلاپ ها را نشان می دهد؟

۶- جدول صحت مدار شکل ۵-۶۵ را تکمیل کنید.



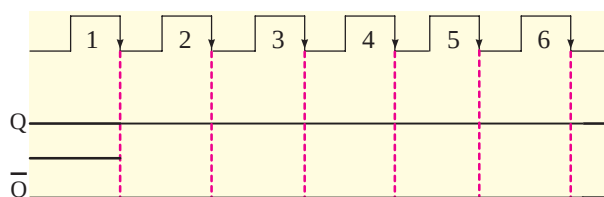
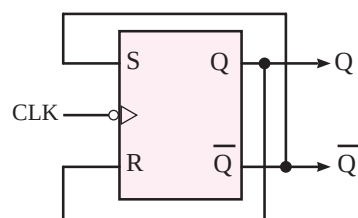
شکل ۵-۶۵ - مدار سؤال ۶ الگوی پرسش

جدول ۵-۱۵ - جدول سؤال ۶ الگوی پرسش

CLK	K	G	Q(t)

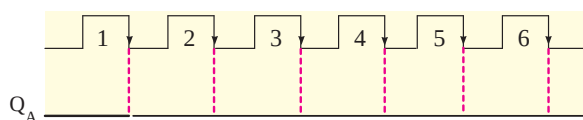
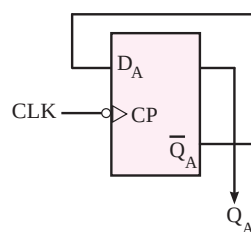
۵-۹ - کار با نرم افزار

مدار شکل ۵-۶۶ فلیپ فلاپ با پالس ساعت را نشان می دهد. مدار را توسط نرم افزار مولتی سیم ببندید و صحت عملکرد آن را مطابق جدول صحت مربوطه بررسی کنید.

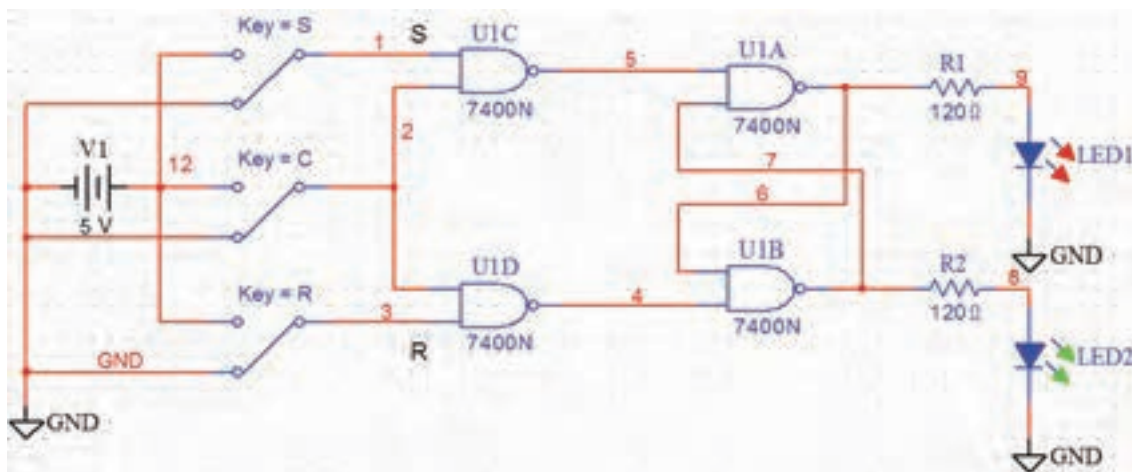


شکل ۵-۶۳ - مدار دیاگرام زمانی سؤال ۴ الگوی پرسش

۵- فرض کنید فلیپ فلاپ شکل ۵-۶۴ در آغاز در حالت Reset قرار دارد. پالس دیاگرام زمانی Q_A را در نمودار رسم کنید. رفتار این مدار معادل کدام فلیپ فلاپ است؟



شکل ۵-۶۴ - مدار دیاگرام زمانی سؤال ۵ الگوی پرسش



شکل ۵-۶۶ - مدار فلیپ فلاپ با پالس ساعت

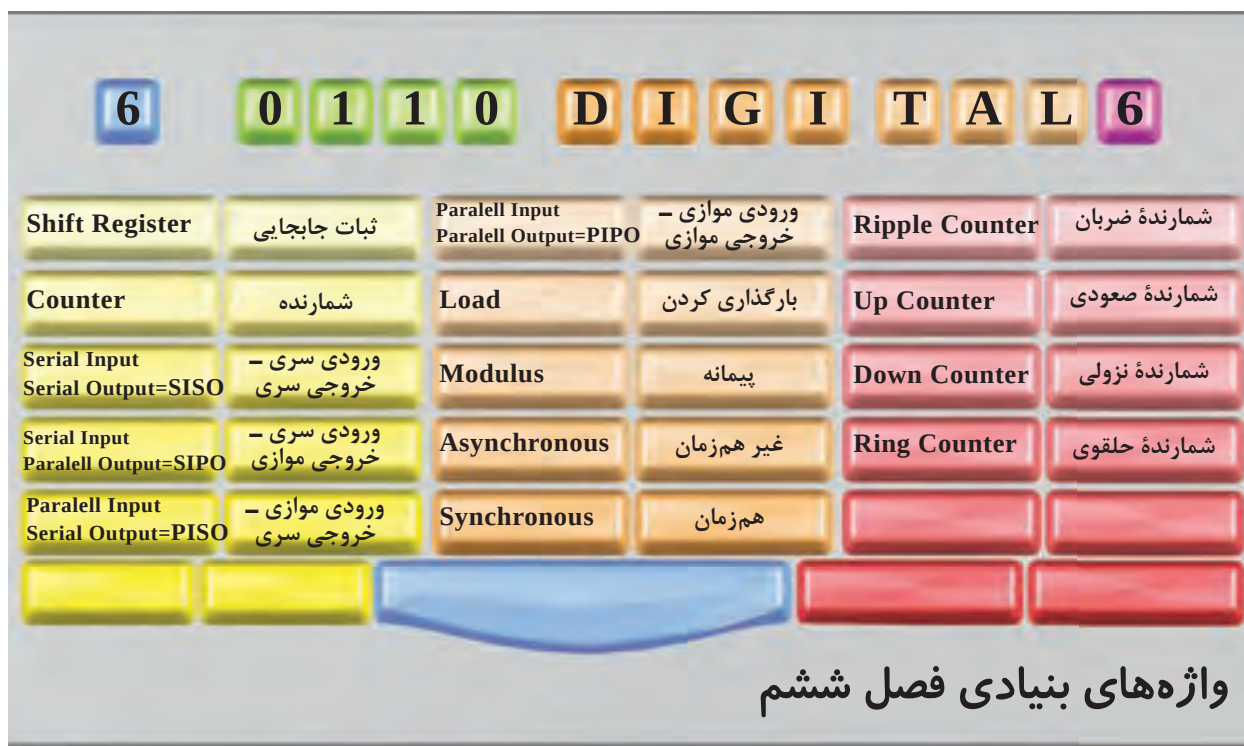
شیفت رجیسترها و شمارنده‌ها (Shift Registers and Counters)

هدف کلی: بررسی انواع شیفت رجیسترها و شمارنده‌ها

کل زمان اختصاص داده شده به فصل : ۲۰ ساعت آموزشی

هدف‌های رفتاری: در پایان این فصل از فراگیرنده انتظار می‌رود که:

- ۱- مفهوم شیفت رجیستر را شرح دهد.
- ۲- انواع شیفت رجیستر را از نظر ورودی و خروجی داده‌ها نام ببرد.
- ۳- ساختمان شیفت رجیستر ورودی سری خروجی سری را شرح دهد.
- ۴- ساختمان شیفت رجیستر ورودی سری خروجی موازی را شرح دهد.
- ۵- ساختمان شیفت رجیستر ورودی موازی خروجی سری را شرح دهد.
- ۶- ساختمان شیفت رجیستر ورودی موازی خروجی موازی را شرح دهد.
- ۷- ساختمان شیفت رجیستر چپ رو- راست رو را شرح دهد.
- ۸- به الگوی پرسش شیفت رجیسترها پاسخ دهد.
- ۹- شمارنده‌ها را شرح دهد.
- ۱۰- انواع شمارنده‌های سنکرون و آسنکرون را تعریف کند.
- ۱۱- ساختمان شمارنده آسنکرون صعودی را شرح دهد.
- ۱۲- جدول صحت شمارنده آسنکرون صعودی را بنویسد.
- ۱۳- دیاگرام‌های زمانی شمارنده آسنکرون صعودی را رسم کند.
- ۱۴- ساختمان شمارنده آسنکرون نزولی را شرح دهد.
- ۱۵- جدول صحت شمارنده آسنکرون نزولی را بنویسد.
- ۱۶- ساختمان شمارنده آسنکرون ده‌دهی را شرح دهد.
- ۱۷- جدول صحت شمارنده ده‌دهی را بنویسد.
- ۱۸- دیاگرام‌های زمانی شمارنده ده‌دهی را رسم کند.
- ۱۹- ساختمان شمارنده سنکرون را شرح دهد.
- ۲۰- ساختمان شمارنده صعودی و نزولی را شرح دهد.
- ۲۱- ساختمان شمارنده حلقوی را شرح دهد.
- ۲۲- جدول صحت شمارنده حلقوی را بنویسد.
- ۲۳- ساختمان شمارنده جانشون را شرح دهد.
- ۲۴- جدول صحت شمارنده جانشون را بنویسد.
- ۲۵- ساختمان یک مدار کاربردی از مدارهای ترتیبی نظیر ساعت دیجیتال، فرکانس متر یا ولت متر را به صورت بلوکی توضیح دهد.
- ۲۶- با استفاده از data book آی‌سی‌های شیفت رجیستر و شمارنده‌ها را شناسایی کند.
- ۲۷- با استفاده از نرم افزار مولتی سیم، مدار شیفت رجیسترها و شمارنده‌ها را شبیه سازی کند.
- ۲۸- به سؤالات الگوی پرسش پاسخ دهد.



پیش‌گفتار

ارقام باینری به آن‌ها وارد یا از آن‌ها خارج می‌شود. این نوع مدارها را معمولاً شیفت رجیستر یا ثبات انتقالی می‌نامند. یک شیفت رجیستر n بیتی از n فلیپ‌فلاپ تشکیل می‌شود و می‌تواند n بیت اطلاعات را در خود ذخیره کند. یک نمونه از کاربرد شیفت رجیستر در ماشین حساب است.

با ورود هر رقم از صفحه‌کلید، اعداد روی نمایشگر به چپ جابجا می‌شوند. مثلاً برای ورود عدد ۲۶۸ ابتدا با فشار دادن کلید ۲ و رهاسازی آن رقم ۲ در سمت راست نمایشگر ظاهر می‌شود. سپس با فشردن کلید ۶ و رهاسازی آن رقم ۲ یک مکان به چپ می‌رود و برای ظهور ۶ روی صفحه‌کلید جا باز می‌کند. نهایتاً اگر کلید ۸ را بفشارید و رها کنید عدد ۲۶۸ روی صفحه‌نمایش ظاهر خواهد شد. ذکر این مثال، دو مشخصه مهم یک شیفت رجیستر را نشان می‌دهد.

۱- مدار داخلی ماشین حساب یک ثبات موقت است، به طوری که حتی اگر دکمه صفحه‌کلید را رها کنید، اعداد روی نمایشگر باقی می‌ماند.

رجیسترها یا ثبات‌ها مدارهایی هستند که اطلاعات باینری را به صورت موقتی ذخیره می‌کنند، و موارد کاربردی آن به شرح زیر است:

- انجام محاسبات ریاضی و منطقی روی اطلاعات
- نگهداری اطلاعات ورودی به یک رمز گشا
- نگهداری اطلاعات خروجی از یک رمز‌گذار
- نگهداری اطلاعات ورودی و خروجی در کامپیوتر

۱-۶- شیفت رجیسترها (Shift Registers) و شمارنده‌ها (Counters)

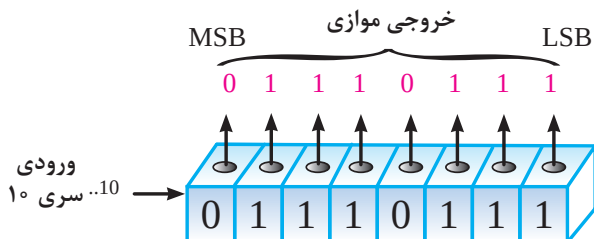
یک ثبات یا رجیستر مجموعه‌ای از فلیپ‌فلاپ‌ها (سلول‌های حافظه) است که می‌تواند اطلاعات دودویی (باینری) را در خود نگه‌دارد. رجیستری که قادر است اطلاعات باینری ذخیره‌شده در خود را به سمت راست یا چپ انتقال دهد، شیفت رجیستر نامیده می‌شود.

اتصال فلیپ‌فلاپ‌ها به گونه‌ای است که یک رشته



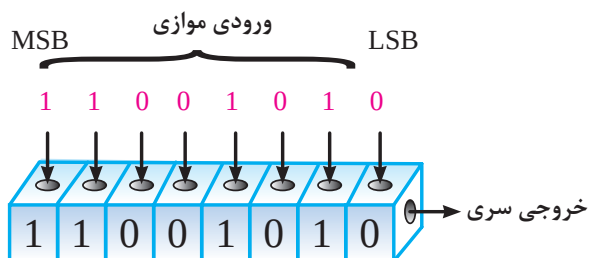
شکل ۶-۲- شیفت رجیستر سری - سری

در شکل ۶-۳ اطلاعات به صورت سری وارد می‌شود و خروجی‌ها هم‌زمان به صورت موازی دریافت می‌شوند به عبارت دیگر ورودی به صورت سریال وارد مدار می‌شود و خروجی‌ها به طور هم‌زمان و موازی دریافت می‌گردد.



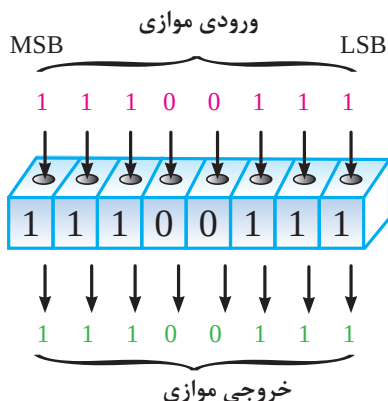
شکل ۶-۳- شیفت رجیستر سری موازی

در شکل ۶-۴ اطلاعات به صورت موازی وارد شیفت رجیستر شده و سری دریافت می‌شود.



شکل ۶-۴- شیفت رجیستر موازی - سری

اگر بخواهیم در یک شیفت رجیستر اطلاعات را به صورت موازی وارد و موازی نیز از آن خارج کنیم، می‌توانیم از شیفت رجیستر شکل ۶-۵ استفاده نمائیم.



شکل ۶-۵- شیفت رجیستر موازی - موازی

۲- هر بار که یک رقم جدید را روی صفحه کلید می‌فشارید، مدار داخلی اعداد روی صفحه نمایش را یک رقم به چپ جابه‌جا می‌کند. مدارهایی که عمل جابه‌جایی و ذخیره‌سازی را انجام می‌دهند، شیفت رجیستر نام دارند. مدار شیفت رجیستر در سیستم‌های الکترونیکی دیجیتالی کاربرد دارد.

۱-۶- انواع شیفت رجیستر: بر حسب این که اطلاعات، چگونه ثبت (نوشته) و به چه صورت خوانده شود، شیفت رجیسترها را به چهار گروه زیر دسته‌بندی می‌کنند:

- ۱- ورودی سری - خروجی سری (SISO) یا متوالی - متوالی یا سری - سری Serial input-Serial output
- ۲- ورودی سری - خروجی موازی (SIPO) یا متوالی - موازی یا سری - موازی Serial input - Paralell output
- ۳- ورودی موازی - خروجی سری (PISO) یا موازی - متوالی یا موازی - سری Serial output - Paralell input
- ۴- ورودی موازی - خروجی موازی (PIPO) یا موازی - موازی Paralell input - Paralell output

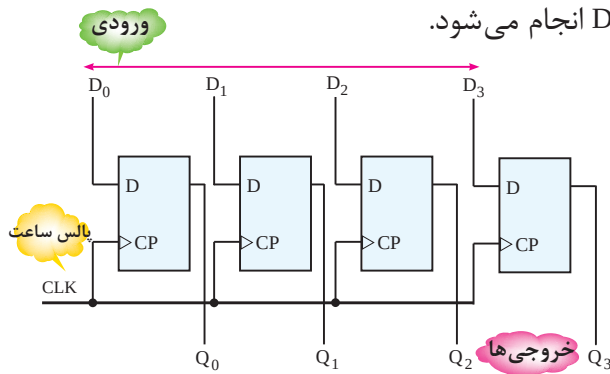
در شکل ۶-۱ یک شیفت رجیستر ۸ بیتی را مشاهده می‌کنید که اطلاعات ۱۰۰۱۰۱۱۰ در آن ذخیره شده است.



شکل ۶-۱- شیفت رجیستر ۸ بیتی

در شکل ۶-۲ شیفت رجیستر «ورودی سری - خروجی سری» نشان داده شده است. با ورود ۰۱، از خروجی ۱۰ دریافت می‌شود. به عبارت دیگر بیت‌های ورودی یکی پس از دیگری و به صورت سریال وارد اولین بیت فلیپ فلاپ می‌شوند و سپس از فلیپ فلاپ‌های بعدی عبور می‌کنند.

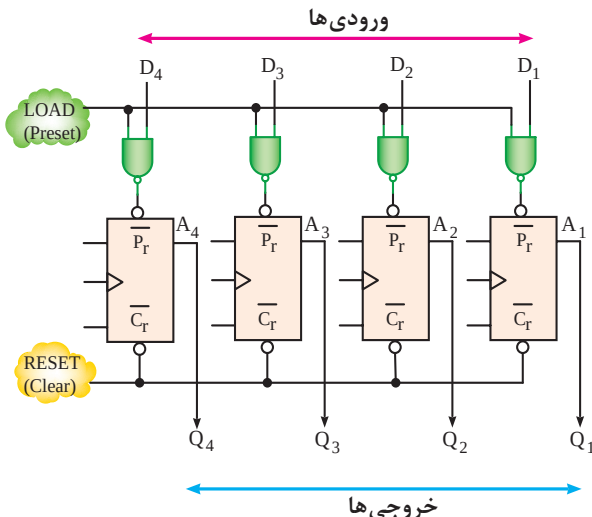
صورت می گیرد. در شکل ۷-۶ یک شیفت رجیستر با ورودی موازی و خروجی موازی نشان داده شده است که در آن انتقال اطلاعات از طریق ورودی های فلیپ فلاپ D انجام می شود.



شکل ۷-۶- شیفت رجیستر با ورودی موازی و خروجی موازی

همان طور که مشاهده می شود داده های ورودی به هر یک از فلیپ فلاپ ها به طور مستقل وارد می شود و از خروجی آن دریافت می گردد.

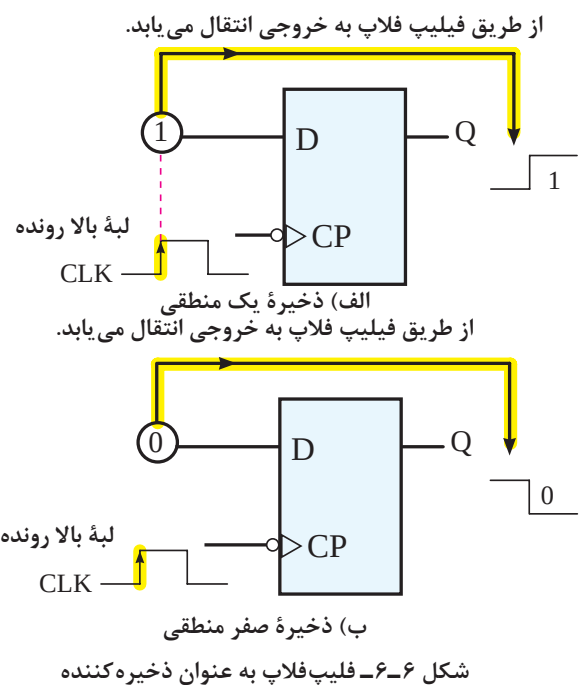
انتقال اطلاعات در شیفت رجیستر می تواند از طریق ورودی های Preset مطابق شکل ۸-۶ نیز انجام شود. توجه داشته باشید که قبل از انتقال اطلاعات، باید محتویات قبلی فلیپ فلاپ با استفاده از ورودی Preset پاک شود. در این مدار فرض بر این است که حالت فعال Preset و Clear صفر منطقی (Low) باشد. چگونگی عملکرد خطوط ورودی pr و cr در صفحه ۱۴۵ توضیح داده شده است.



شکل ۸-۶- شیفت رجیستر موازی - موازی با ورودی اطلاعات از طریق Preset

کامپیوترها ممکن است با روش سری، موازی یا ترکیبی از هر دو روش کار کنند. عملیات سری به دلیل زمانی که برای انتقال اطلاعات به داخل و خارج از شیفت رجیسترها صرف می کند، کندتر است ولی از نظر سخت افزاری به مدارهای کمتری نیاز دارد. با مقایسه شیفت رجیسترهای سری و موازی می توان نتیجه گرفت که حالت های موازی از سرعت بیشتری نسبت به حالت های سری برخوردارند زیرا به دلیل نوع اتصالات، اطلاعات به طور همزمان به ورودی یا خروجی می رسد.

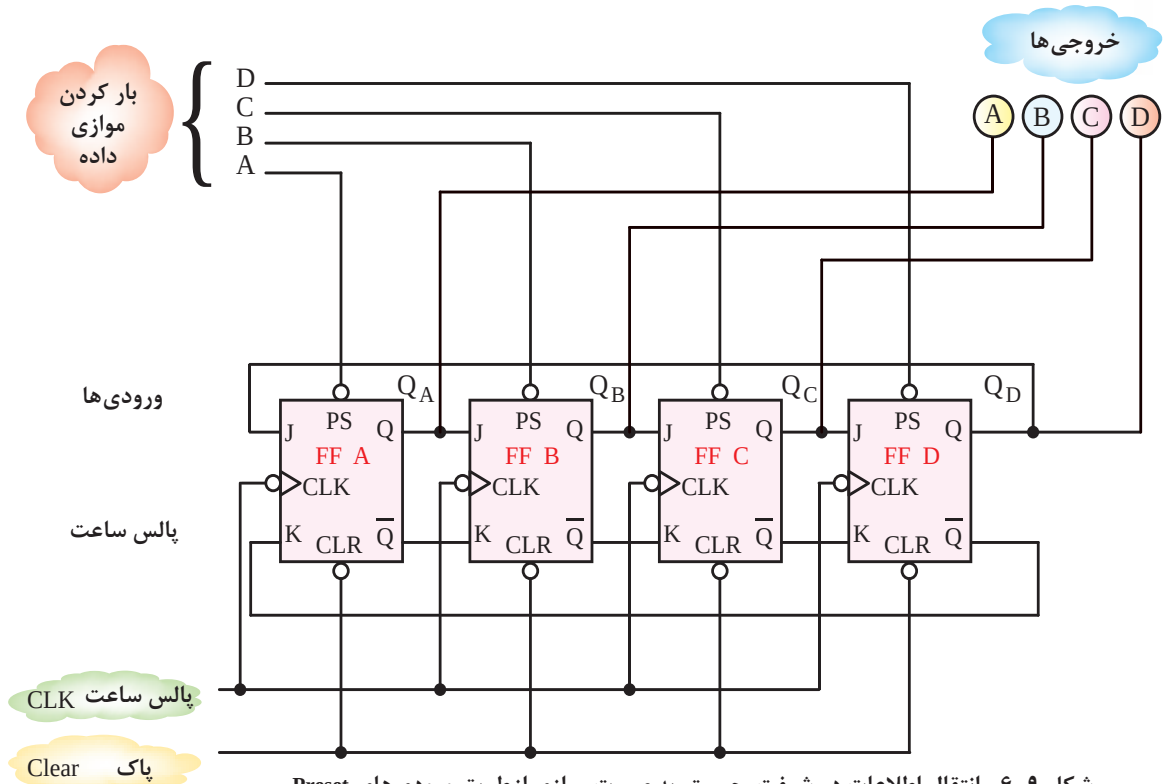
یک شیفت رجیستر ۸ بیتی از ۸ فلیپ فلاپ تشکیل شده است که انتقال اطلاعات از ورودی به خروجی ممکن است از طریق لبه های بالا رونده یا پایین رونده مثبت یا منفی پالس ساعت ورودی صورت بگیرد. در شکل ۶-۶ مفهوم ذخیره کردن «یک» یا «صفر» منطقی از فلیپ فلاپ نوع D در لبه بالا رونده پالس ساعت ورودی نشان داده شده است.



۲-۱-۶- انتقال اطلاعات در شیفت رجیستر:

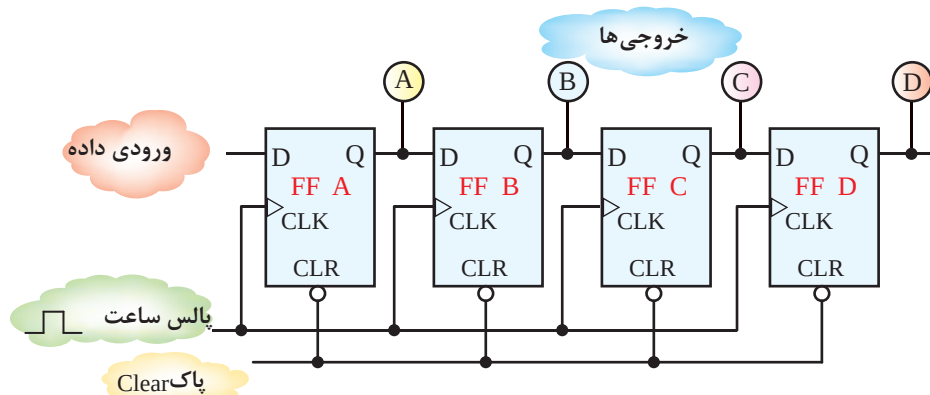
انتقال اطلاعات در شیفت رجیستر از طریق ورودی های اصلی فلیپ فلاپ D یا از ورودی های Preset و Clear

یعنی با صفر شدن ورودی Preset فلیپ‌فلاپ‌ها Set می‌شوند یا با صفر شدن ورودی Clear فلیپ‌فلاپ‌ها Reset می‌شوند. در شکل ۹-۶ چنانچه اطلاعات خروجی فقط از D دریافت شود، انتقال اطلاعات در شیفت رجیستر به صورت «موازی به صورت ورودی موازی و خروجی سری یعنی «موازی سری» انجام می‌شود، زیرا ورودی‌های A، B، C و D به طور همزمان و به صورت موازی به ورودی‌ها داده می‌شود و اطلاعات خروجی از طریق فلیپ‌فلاپ‌های A به B، B به C و C به D منتقل می‌شود. اگر از خروجی Q_A ، Q_B ، Q_C و Q_D اطلاعات به صورت موازی دریافت شود، شیفت رجیستر به صورت «موازی - موازی» عمل می‌کند. در این شکل تمام فلیپ‌فلاپ‌ها از نوع D می‌باشند زیرا از طریق خطوط فیدبک Q_D و $\bar{Q}_D$ به ورودی J و K اولین فلیپ‌فلاپ (FFA) اطلاعات دریافت می‌شود و رفتار فلیپ‌فلاپ مشابه فلیپ‌فلاپ D خواهد شد.



شکل ۹-۶ انتقال اطلاعات در شیفت رجیستر به صورت موازی از طریق ورودی‌های Preset

در شکل ۱۰-۶ اطلاعات ورودی به صورت سری اعمال می‌شود. به عنوان مثال کلیه اطلاعات ورودی از طریق اولین



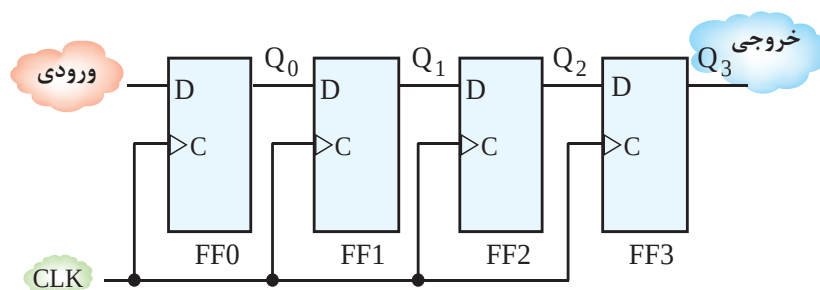
شکل ۱۰-۶ انتقال اطلاعات در شیفت رجیستر به صورت سری از طریق ورودی‌های D

را به صورت سری می‌پذیرد و در خروجی آن را به صورت سری نیز ارائه می‌دهد. در شکل ۶-۱۱ یک شیفت رجیستر نوع D تشکیل شده است.

ظرفیت ذخیره‌سازی این شیفت رجیستر ۴ بیت است، انتقال اطلاعات ورودی در لبه بالا رونده پالس ساعت انجام می‌شود.

فلیپ‌فلاپ (FFA) به پایه D وارد می‌شود و پس از ایجاد خروجی A، اطلاعات بعدی از طریق خروجی فلیپ‌فلاپ اول وارد ورودی فلیپ‌فلاپ دوم (FFB) می‌شود و خروجی فلیپ‌فلاپ دوم را به وجود می‌آورد و این روند ادامه می‌یابد.

۶-۱-۳- شیفت رجیستر سری - سری یا متوالی - متوالی: این شیفت رجیستر، اطلاعات ورودی

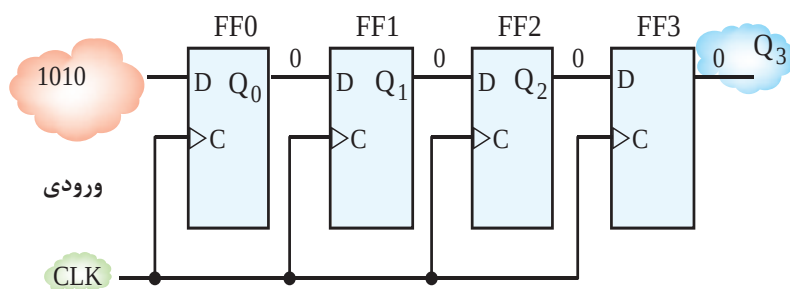


شکل ۶-۱۱- شیفت رجیستر سری - سری

برای بررسی دقیق کار این شیفت رجیستر فرض کنید ثبات نشان می‌دهد. مراحل اجرای کار به شرح زیر می‌خواهیم عدد باینری ۴ بیتی ۱۰۱۰ را یک بار در آن است:

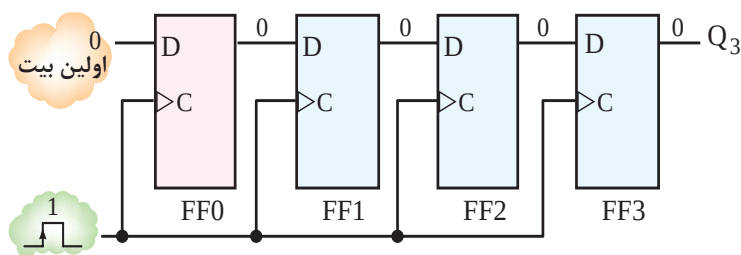
ذخیره و بار دیگر از آن خارج کنیم. **مرحله اول:** در ابتدا ثبات خالی است، شکل ۶-۱۲

شکل ۶-۱۲- ورودی عدد باینری ۱۰۱۰ را به داخل



شکل ۶-۱۲- ثبات‌ها خالی هستند.

مرحله دوم: در این مرحله بیت صفر سمت راست شیفت رجیستر FF می‌شود. شکل ۶-۱۳ ذخیره شدن عدد چهار بیتی ۱۰۱۰ از طریق ورودی D وارد مدار بیت صفر را در فلیپ‌فلاپ FF نشان می‌دهد.

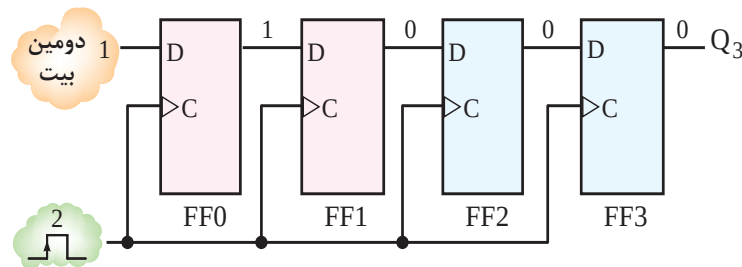


شکل ۶-۱۳- ذخیره اولین بیت صفر در فلیپ‌فلاپ FF.



ملاحظه می‌شود اطلاعات در ورودی به صورت متوالی و با تأخیر زمانی وارد می‌شود و از خروجی نیز به صورت متوالی (سری) و با تأخیر زمانی دریافت می‌شود.

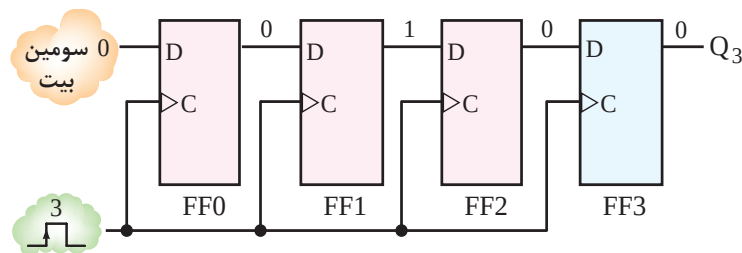
مرحله سوم: به محض این که بیت دوم از سمت راست یعنی «۱» وارد FF_0 می‌شود، طبق شکل ۶-۱۴ بیت ذخیره‌شده در FF_0 به فلیپ‌فلاپ دوم FF_1 انتقال می‌یابد و در FF_1 بیت (۱) ذخیره می‌شود. همان‌طور که



شکل ۶-۱۴- ذخیره دومین بیت در FF_1

انتقال می‌یابد و بیت ذخیره‌شده FF_1 به فلیپ‌فلاپ سوم FF_2 انتقال می‌یابد.

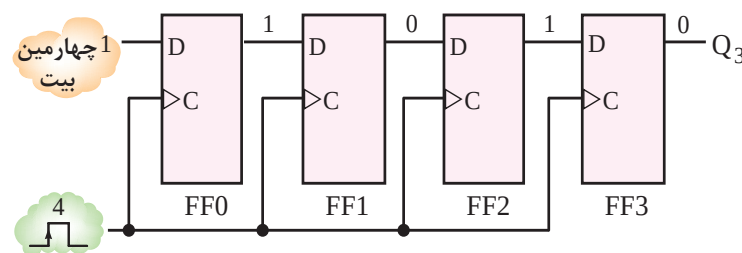
مرحله چهارم: به محض این که بیت سوم از سمت راست یعنی «۰» وارد فلیپ‌فلاپ FF_0 می‌شود، طبق شکل ۶-۱۵ بیت ذخیره‌شده در FF_0 به فلیپ‌فلاپ FF_1



شکل ۶-۱۵- ذخیره سومین بیت در FF_1

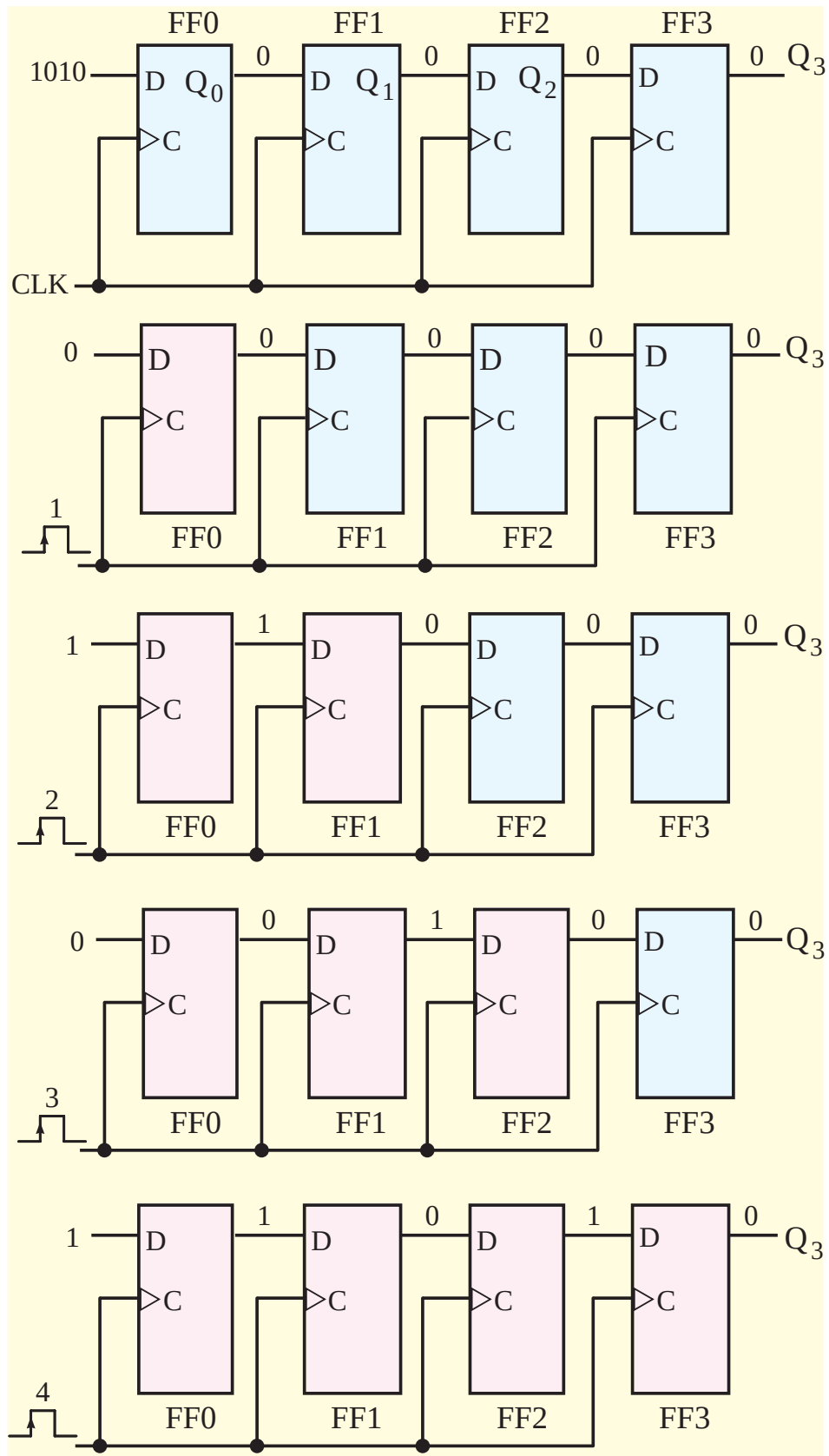
FF_2 و ... انتقال می‌یابد. این عمل ورود متوالی یک عدد چهار بیتی را به داخل ثبات انتقالی تکمیل می‌کند.

مرحله پنجم: در این مرحله آخرین بیت یعنی بیت (۱) از سمت راست وارد FF_0 می‌شود، طبق شکل ۶-۱۶ بیت ذخیره‌شده در FF_0 به FF_1 و بیت ذخیره‌شده FF_1 به



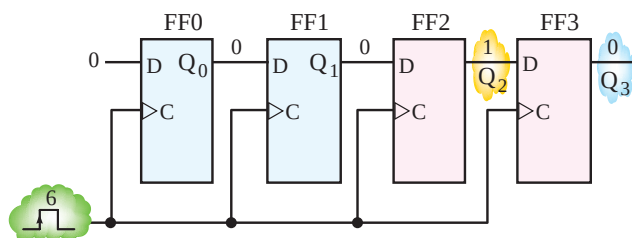
شکل ۶-۱۶- ذخیره چهارمین بیت در FF_1

در شکل ۶-۱۷ مراحل ذخیره‌سازی عدد چهاربیتی مشاهده می‌کنید. ۱۰۱۰ را به صورت متوالی (سری) در چهار فلیپ‌فلاپ



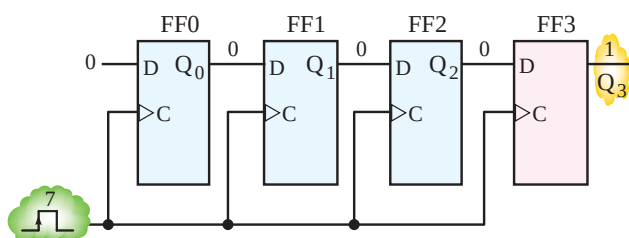
شکل ۱۷-۶- داده‌ها به صورت متوالی وارد ثبات می‌شوند.

انتقال می‌یابد. شکل ۶-۲۰ مراحل این انتقال را نشان می‌دهد.



شکل ۶-۲۰ با ورود پالس ششم، بیت صفر خارج می‌شود.

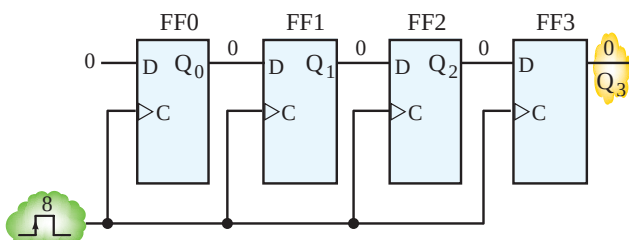
مرحله چهارم: با ورود پالس ۷ اطلاعات آخرین فلیپ‌فلاپ FF_3 خارج می‌شود و اطلاعات FF_3 به FF_2 انتقال می‌یابد. شکل ۶-۲۱ اعمال پالس ۷ به شیفت رجیستر را نشان می‌دهد.



شکل ۶-۲۱ با ورود پالس هفتم، بیت «یک» خارج می‌شود.

مرحله پنجم: و بالاخره با ورود پالس ۸ اطلاعات از آخرین فلیپ‌فلاپ FF_3 خارج می‌شود و فلیپ‌فلاپ‌ها خالی می‌شوند.

شکل ۶-۲۲ اعمال پالس ۸ به شیفت رجیستر را نشان می‌دهد.

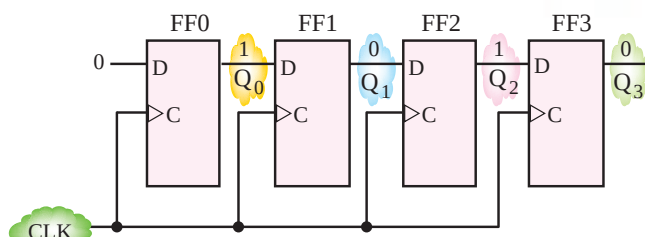


شکل ۶-۲۲ با ورود پالس هشتم، فلیپ‌فلاپ FF_3 خالی می‌شود.

جدول ۶-۱ مراحل ورود و خروج عدد چهار بیتی ۱۰۱۰ را نشان می‌دهد.

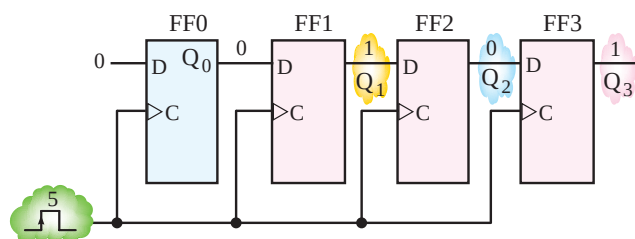
در شکل‌های ۶-۱۸ تا ۶-۲۲ مراحل خالی شدن شیفت رجیستر با استفاده از پالس‌های ۵ تا ۸ به صورت متوالی نشان داده شده است. مراحل اجرای کار به شرح زیر است:

مرحله اول: اگر بخواهیم اطلاعات ۱۰۱۰ از شیفت رجیستر خارج شود باید به صورت متوالی اطلاعات از Q_3 خروجی آخرین فلیپ‌فلاپ (FF_3) گرفته شود. اولین مرحله شیفت رجیسترها کاملاً از اطلاعات داده شده پر است، شکل ۶-۱۸ این مرحله را نشان می‌دهد.



شکل ۶-۱۸ حافظه شیفت رجیستر پر است.

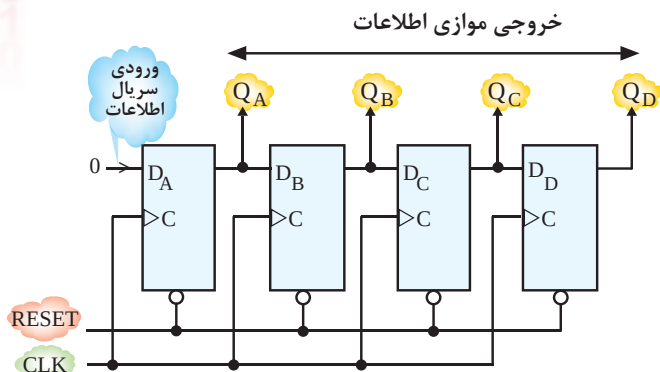
مرحله دوم: با اعمال پالس پنجم اولین بیت از Q_3 خروجی فلیپ‌فلاپ FF_3 خارج می‌شود و اطلاعات فلیپ‌فلاپ FF_3 به FF_2 و اطلاعات FF_2 به FF_1 و در نهایت اطلاعات FF_1 به FF_0 انتقال می‌یابد. در این مرحله فلیپ‌فلاپ اول FF_0 خالی می‌شود. شکل ۶-۱۹ مراحل این انتقال را نشان می‌دهد.



شکل ۶-۱۹ با اعمال پالس ساعت پنجم، اطلاعات از شیفت رجیستر FF_3 خارج می‌شود.

مرحله سوم: با اعمال ششمین پالس ساعت بیت دوم از Q_3 خروجی فلیپ‌فلاپ FF_3 خارج می‌شود و اطلاعات فلیپ‌فلاپ‌ها به ترتیب از سمت چپ به راست

۴-۱-۶- شیفت رجیستر ورودی سری خروجی موازی (سری - موازی): در شیفت رجیستر «سری - سری» معمولاً خروجی هر فلیپ فلاپ در دسترس است و این امکان گرفتن اطلاعات را به صورت موازی نیز فراهم می‌کند. در شکل ۶-۲۳ یک شیفت رجیستر با ورودی سری و خروجی موازی نشان داده شده است.



شکل ۶-۲۳- شیفت رجیستر «سری - موازی»

با اعمال چهار پالس ساعت می‌توان اطلاعات چهار بیتی ورودی را به شیفت رجیستر انتقال داد و خروجی‌های Q_A ، Q_B ، Q_C و Q_D را هم‌زمان مشاهده کرد. این قابلیت برای استفاده شیفت رجیستر خروجی موازی مناسب است به این ترتیب که می‌توانیم در هر لحظه خروجی هر فلیپ فلاپ را به عنوان خروجی مدار در نظر بگیریم.

مثال ۶-۱: با توجه به مدار شیفت رجیستر شکل ۶-۲۴ به سؤالات زیر پاسخ دهید.

الف) نوع شیفت رجیستر را مشخص کنید.

ب) محتوای شیفت رجیستر را پس از ورود شش پالس ساعت مشخص کنید. خروجی A را بیت چپ و C را بیت راست در نظر بگیرید.

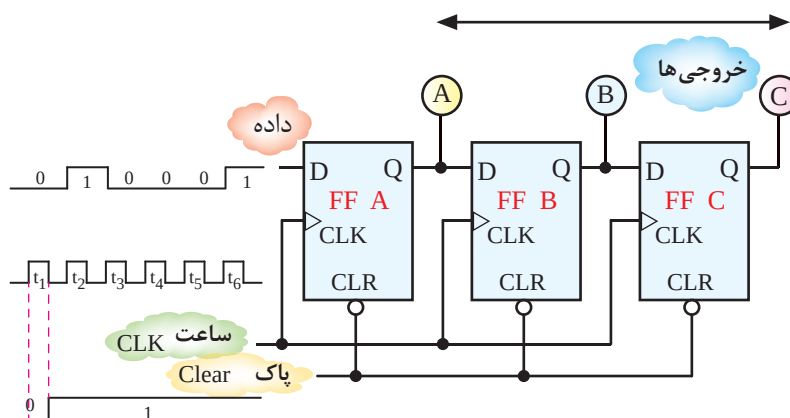
پ) ورودی Clear در زمان پالس t_1 High است یا Low؟
ت) ورودی Clear باید در چه وضعیتی باشد تا انتقال اطلاعات از طریق لبه بالارونده پالس ساعت ورودی صورت گیرد؟

جدول ۶-۱- مراحل ورود و خروج چهار بیت ۱۰۱۰ (سری - سری)

پالس ساعت	Q_0	Q_1	Q_2	Q_3
0	0	0	0	0
1	0	0	0	0
2	1	0	0	0
3	0	1	0	0
4	1	0	1	0
5	0	1	0	1
6	0	0	1	0
7	0	0	0	1
8	0	0	0	0

تمرین کلاسی ۶-۱: مراحل خارج شدن چهار بیت ۱۰۱۰ را در یک شکل به ترتیب رسم کنید.

تمرین کلاسی ۶-۲: مراحل ورود و خروج عدد پنج بیتی ۱۱۰۱۰ را در ۵ فلیپ فلاپ به صورت سری رسم کنید و جدول مربوط به این مراحل را بنویسید.



شکل ۶-۲۴ مدار شیفت رجیستر مثال ۱

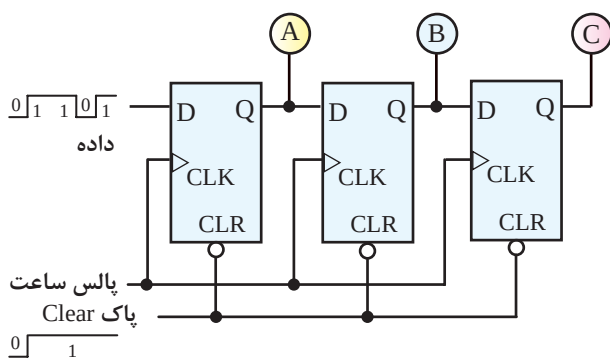
حل:

اتصال CLR به فلیپ فلاپ NOT شده است)
ت) انتقال اطلاعات در لبه صعودی (بالارونده) پالس
ساعت انجام می‌شود.

الف) اطلاعات به صورت سری وارد شیفت رجیستر می‌شود. اگر خروجی A, B و C هم‌زمان دریافت شوند، شیفت رجیستر از نوع سری-موازی است. اگر اطلاعات فقط از طریق خروجی C دریافت شود، شیفت رجیستر به نوع «سری-سری» تبدیل می‌شود.

ب) وقتی پالس ساعت t_1 وارد می‌شود به علت صفر بودن خط Clear (پاک) تمام خروجی‌های A, B و C برابر با صفر می‌شود. یعنی حالت Reset پیش می‌آید. با اعمال پالس ساعت t_4 به بعد تغییرات خروجی‌های A, B و C طبق جدول ۶-۲ است.

تمرین کلاسی ۳-۶: با توجه به مدار شکل ۶-۲۵ جدول خروجی‌ها را پس از ۵ پالس ساعت رسم کنید.



شکل ۶-۲۵ مدار مربوط به تمرین کلاسی ۳

جدول ۶-۲ جدول مربوط به مثال ۱

اطلاعات ورودی
0 1 0 0 0 1

		A	B	C
0	t_1	0	0	0
1	t_2	1	0	0
0	t_3	0	1	0
0	t_4	0	0	1
0	t_5	0	0	0
1	t_6	1	0	0

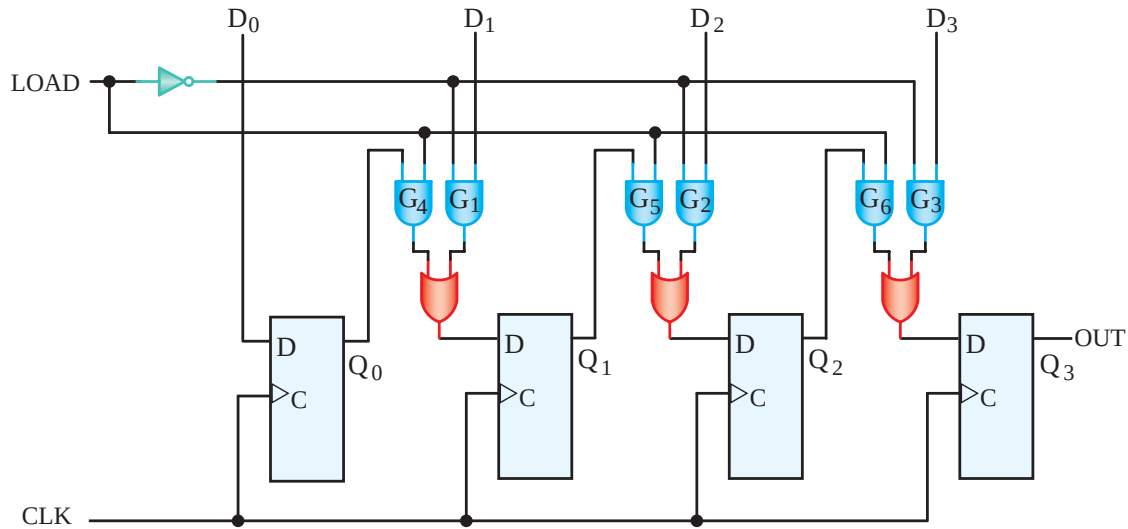
۶-۱-۵ شیفت رجیستر ورودی موازی خروجی

سری (موازی - سری): در این شیفت رجیستر، اطلاعات ورودی توسط خط Load و به کمک پالس ساعت (CLK) به طور هم‌زمان (موازی) در شیفت رجیستر ذخیره می‌شوند. اطلاعات ذخیره شده را می‌توان به طور سری از شیفت رجیستر دریافت کرد.

در شکل ۶-۲۶ مدار یک شیفت رجیستر ۴ بیتی

پ) خط CLR باید Low یا صفر باشد یا ورودی «پاک» باید روی High قرار گیرد تا اطلاعات انتقال یابد. (محل

PISO (موازی سری) نشان داده شده است.

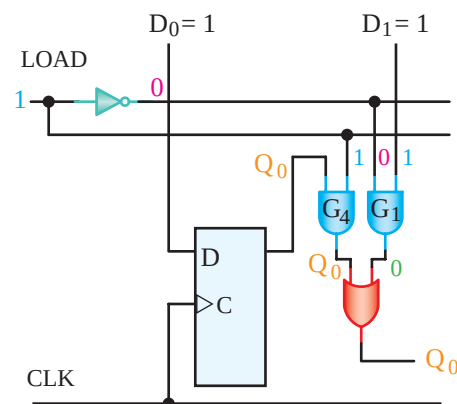


شکل ۲۶-۶- مدار یک شیفت رجیستر با ورودی موازی و خروجی سری

$$\begin{aligned} \text{LOAD} = 0 &\Rightarrow \begin{cases} G_1, G_2, G_3 & \text{فعال} \\ G_4, G_5, G_6 & \text{غير فعال} \end{cases} \\ \text{LOAD} = 1 &\Rightarrow \begin{cases} G_1, G_2, G_3 & \text{غير فعال} \\ G_4, G_5, G_6 & \text{فعال} \end{cases} \end{aligned}$$

اگر خط Load روی صفر باشد گیت‌های G_1, G_2 و G_3 فعال می‌شوند و هنگامی که پالس ساعت وارد می‌شود، اطلاعات D_0, D_1, D_2 و D_3 هم‌زمان در چهار فلیپ‌فلاپ ذخیره می‌شوند. اگر خط Load روی «یک» منطقی قرار گیرد، گیت‌های G_4, G_5 و G_6 فعال هستند (G_1, G_2 و G_3 غیرفعال). لذا با اعمال چهار پالس ساعت، بیت‌های ذخیره‌شده از هر طبقه به طبقه بعدی به سمت راست انتقال می‌یابند. به این ترتیب می‌توان بیت‌های ذخیره شده را از خروجی Q_3 (خروجی آخرین فلیپ‌فلاپ) دریافت کرد.

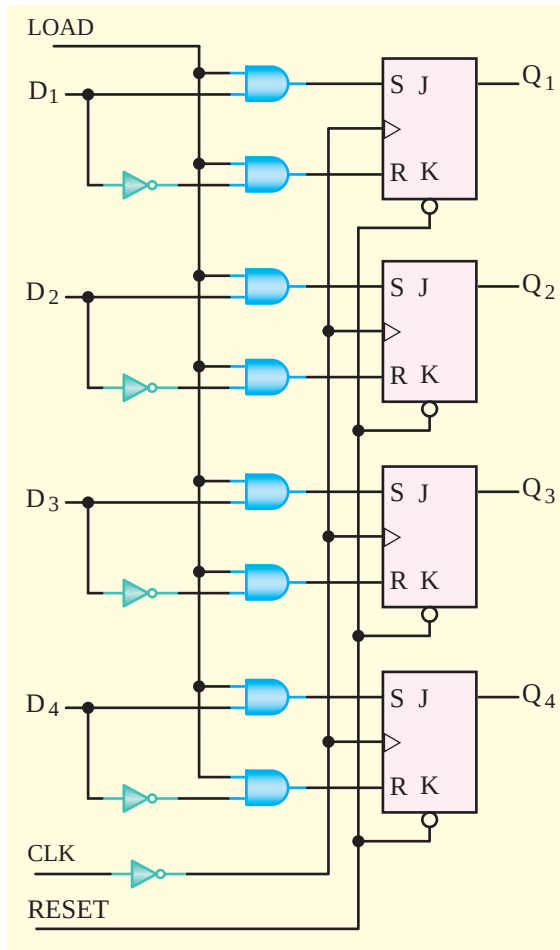
برای مثال اطلاعات $D_1, D_2, D_3 = 1101$ را می توان مطابق شکل ۶-۲۷ با اعمال اولین پالس ساعت به فلیپ فلاپ دوم انتقال داد.



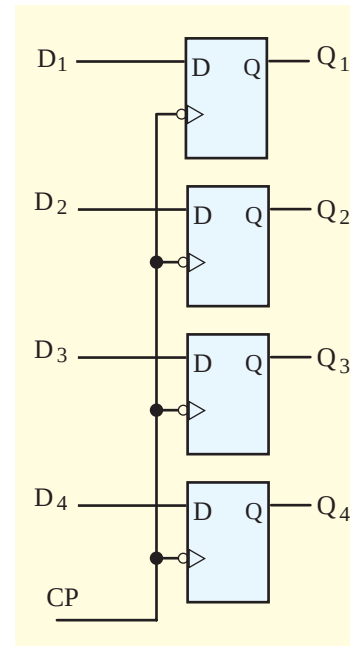
شکل ۲۷-۶- مدار شیفتر رجیستر ۴ بیتی و بارگذاری آن

۶-۱-۶- شیفترجیستر ورودی موازی- خروجی موازی (موازی - موازی): ثبت اطلاعات ورودی را نوشتن و دریافت اطلاعات خروجی از فلیپ فلاپ را خواندن می گویند. بنابراین شیفترجیستر موازی - موازی را می توان شیفترجیستر با توانایی نوشتن موازی - خواندن موازی نیز نام برد. ساده ترین ثبات مطابق شکل ۲۸-۶ است، می دانیم در فلیپ فلاپ نوع D با اعمال پالس ساعت، اطلاعات ورودی به خروجی انتقال می یابد. هنگامی که پالس ساعت، $CP=0$ است، اطلاعات خروجی Q_1 تا Q_n تغییر پیدا نمی کند. هنگامی

که $CP=1$ شود اطلاعات D_1, D_2, D_3 و D_4 به خروجی‌های Q_1, Q_2, Q_3 و Q_4 انتقال می‌یابند.



شکل ۶-۲۹ شیفت رجیستر موازی - موازی

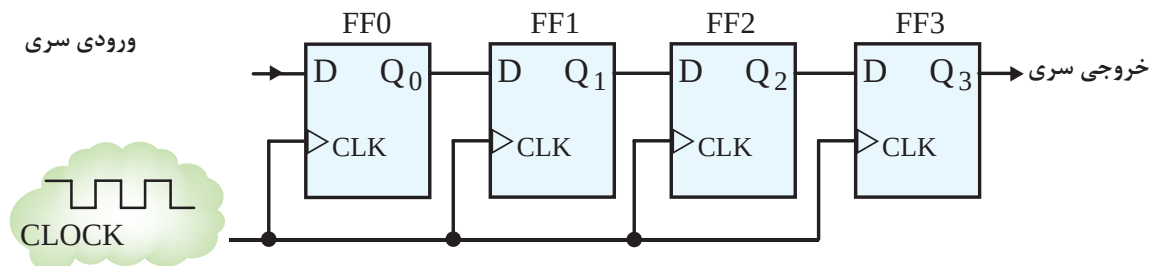


شکل ۶-۲۸ ثابت ورودی موازی - خروجی موازی (PIPO)

شیفت رجیستر شکل ۶-۲۹ نیز از نوع PIPO است. فلیپ‌فلاپ‌ها می‌توانند از نوع SR یا JK باشند. ابتدا توسط Reset همه حافظه‌ها را پاک می‌کنند. این ثابت با لبه بالا رونده پالس ساعت، اطلاعات ورودی D_1 تا D_4 را به طور هم‌زمان وارد حافظه‌های Q_1 تا Q_4 می‌کند. برای انتقال اطلاعات باید خط LOAD برابر با ۱ باشد. اطلاعات ثبت شده در حافظه‌ها را نیز می‌توان به طور هم‌زمان خواند.

۶-۲ شیفت رجیستر چپ‌رو / راست‌رو

در شکل ۶-۳۰ یک شیفت رجیستر چهاربیتی از نوع SISO نشان داده شده است. در این شیفت رجیستر اطلاعات، نخست وارد فلیپ‌فلاپ FF می‌شود و از آنجا به فلیپ‌فلاپ‌های دیگر منتقل می‌شود. در این مدار، جهت انتقال از چپ به راست یعنی از FF_3 به FF_0 اطلاعات انتقال می‌یابد.



شکل ۶-۳۰ مدار شیفت رجیستر سری - سری راست‌رو

خود را انتقال می‌دهند. شکل ۶-۳۴ مرحله چهارم را نشان می‌دهد.

1 0 0 1 0 110

اطلاعات
خارج شده

شکل ۶-۳۴- شیفت رجیستر بعد از سومین پالس ساعت

مرحله پنجم: شکل ۶-۳۵ حالت رجیستر را بعد از چهارمین پالس ساعت نشان می‌دهد.

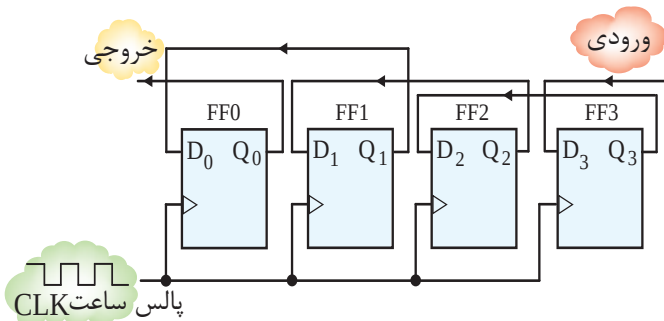
1 0 0 1 0110

اطلاعات قبلی شیفت
رجیستر که خارج شده
است

شکل ۶-۳۵- شیفت رجیستر بعد از چهارمین پالس ساعت

در مرحله پنجم اطلاعات قبلی از کلیه فلیپ‌فلاپ‌ها خارج شده است و اطلاعات جدید وارد فلیپ‌فلاپ‌ها شده است.

حال اگر همین چهار فلیپ‌فلاپ را مطابق شکل ۶-۳۶ به هم متصل کنیم، اطلاعات، نخست وارد فلیپ‌فلاپ FF_3 می‌شود و با هر پالس ساعت، یک بیت به سمت چپ منتقل می‌گردد.



شکل ۶-۳۶- مدار شیفت رجیستر چپ رو

شکل ۶-۳۷ چگونگی انتقال اطلاعات را بعد از هر پالس ساعت نشان می‌دهد.

برای مثال می‌خواهیم اطلاعات ۱۰۰۱ را مرحله به مرحله وارد شیفت رجیستر سری سری کنیم. مراحل انتقال اطلاعات را در شکل ۶-۳۱ تا شکل ۶-۳۵ مشاهده می‌کنید.

مرحله اول: شیفت رجیستر را در شکل ۶-۳۱ با اطلاعات قبلی می‌بینید و قرار است اطلاعات ۱۰۰۱ وارد شیفت رجیستر شود.

1 0 0 1 0 1 1 0

حالت اولیه شیفت رجیستر

شکل ۶-۳۱- شیفت رجیستر با اطلاعات قبلی

مرحله دوم: بعد از اولین پالس ساعت اطلاعات ۱ از سمت چپ وارد اولین فلیپ‌فلاپ می‌شود، در نتیجه اطلاعات قبلی فلیپ‌فلاپ اول به فلیپ‌فلاپ دوم انتقال می‌یابد و به همین ترتیب تا این که اطلاعات آخرین فلیپ‌فلاپ از آن خارج شود. شکل ۶-۳۲ این مرحله را نشان می‌دهد.

1 0 0 1 0 1 1 0

حالت شیفت رجیستر
بعد از اولین پالس ساعت

اطلاعات
خارج شده

شکل ۶-۳۲- شیفت رجیستر بعد از اولین پالس ساعت

مرحله سوم: بعد از اعمال پالس ساعت دوم اطلاعات صفر از سمت چپ وارد اولین فلیپ‌فلاپ می‌شود، در نتیجه بقیه فلیپ‌فلاپ‌ها مشابه مرحله دوم اطلاعات خود را به فلیپ‌فلاپ بعدی انتقال می‌دهند. شکل ۶-۳۳ مرحله سوم را نشان می‌دهد.

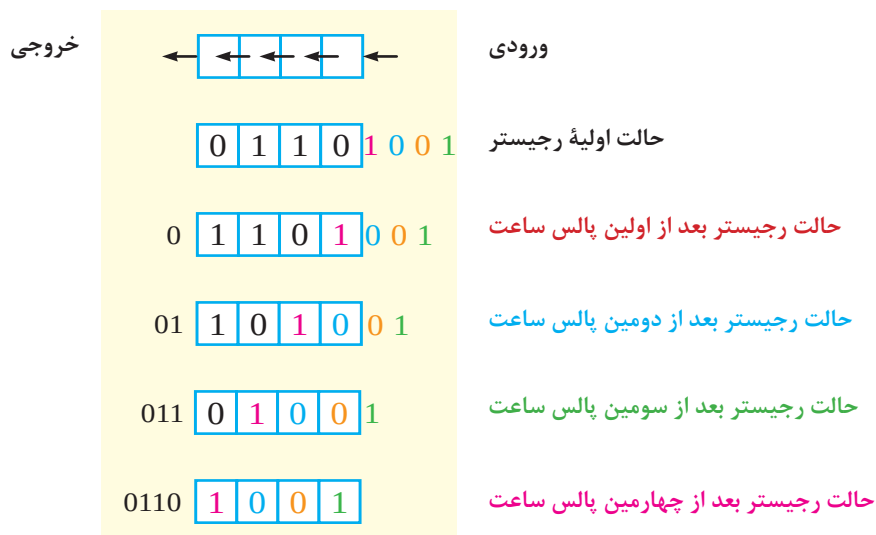
1 0 0 1 0 1 10

شیفت رجیستر بعد از
دومین پالس ساعت

اطلاعات خارج شده از
مرحله دوم و سوم

شکل ۶-۳۳- شیفت رجیستر بعد از دومین پالس ساعت

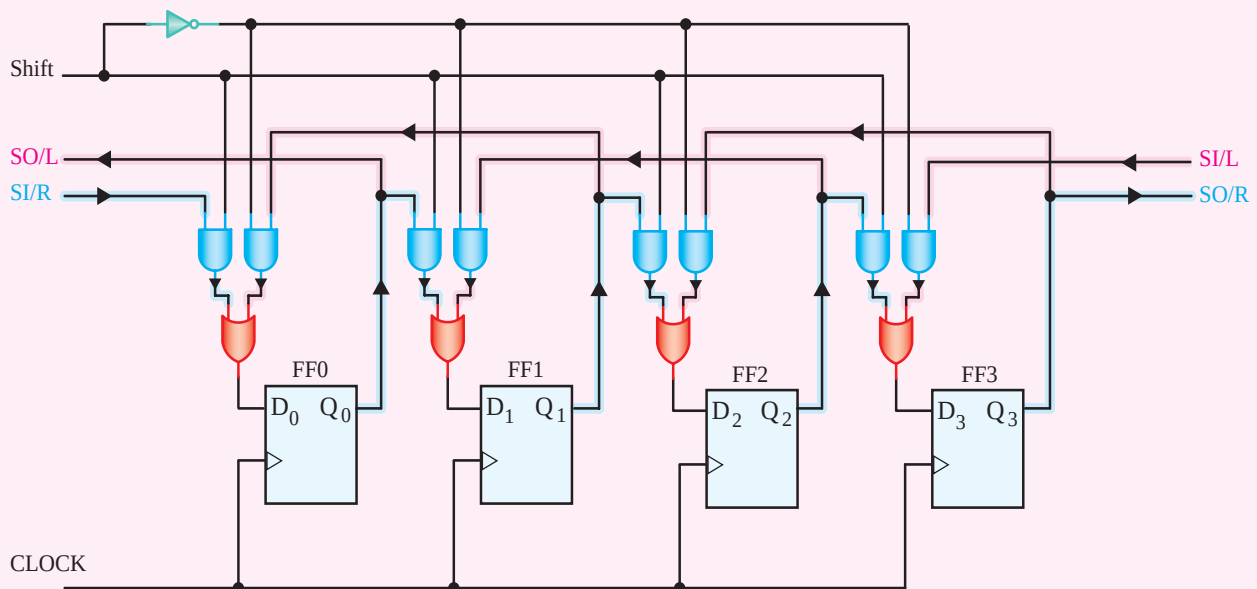
مرحله چهارم: بعد از اعمال پالس ساعت سوم اطلاعات صفر از سمت چپ وارد اولین فلیپ‌فلاپ می‌شود و در نتیجه بقیه فلیپ‌فلاپ‌ها مشابه مراحل قبلی اطلاعات



شکل ۳۷-۶. چگونگی انتقال اطلاعات

برای هنرجویان علاقمند

از ترکیب مدارهای شکل ۳۰-۶ (شیفت رجیستر راست رو) و شکل ۳۶-۶ (شیفت رجیستر چپ رو) مدار شکل ۳۸-۶ یک شیفت رجیستر چپ/رو/راست رو ساخته می‌شود. به کمک یک خط کنترل می‌توانیم جهت انتقال اطلاعات را



شکل ۳۸-۶. شیفت رجیستر چپ رو / راست رو

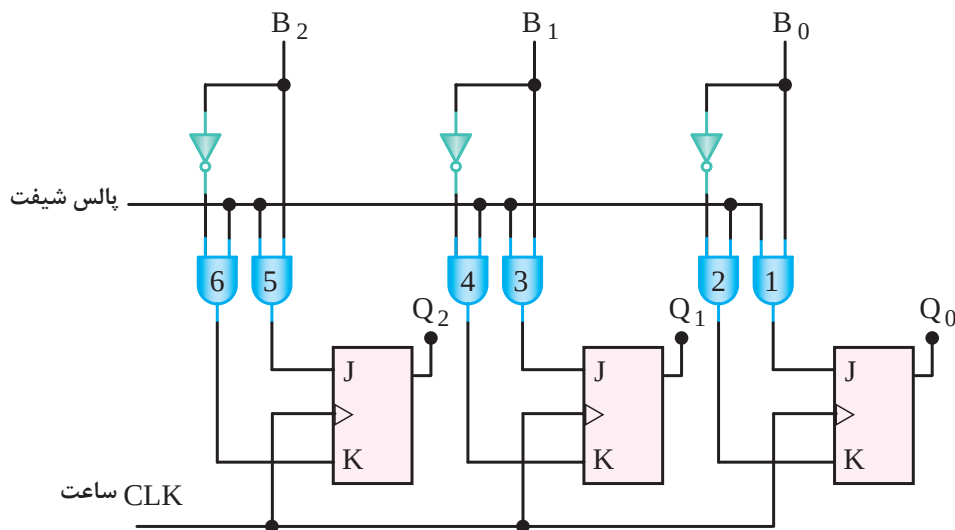
خط شیفت اگر در حالت منطقی یک باشد، انتقال حالت منطقی صفر باشد، اطلاعات از سمت راست اطلاعات از چپ به راست صورت می‌گیرد و اگر در به چپ منتقل می‌شود. در یک ماشین محاسبه‌گر

۳-۶- الگوی پرسش

- ۱- فرق بین انتقال سری و موازی چیست؟
- ۲- در شکل ۹-۶ چگونه می‌توان اطلاعات خروجی را به صورت سری و یا موازی دریافت نمود؟ شرح دهید.
- ۳- محتوای اولیه یک ثبات ۴ بیتی سری- سری به صورت ۱۱۰۱ است. ورودی ۱۰۱۱۰۱ طی شش پالس ساعت وارد این شیفت رجیستر می‌شود، محتوای ثبات را پس از هر جابه‌جایی بنویسید.
- ۴- مدار یک شیفت رجیستر SIPO را برای ثبت سه بیت اطلاعات رسم کنید و با حداقل تغییرات آن را به SISO تبدیل کنید.
- ۵- چگونگی انتقال اطلاعات $B_7B_6B_5=101$ را در شکل ۳۹-۶ شرح دهید.

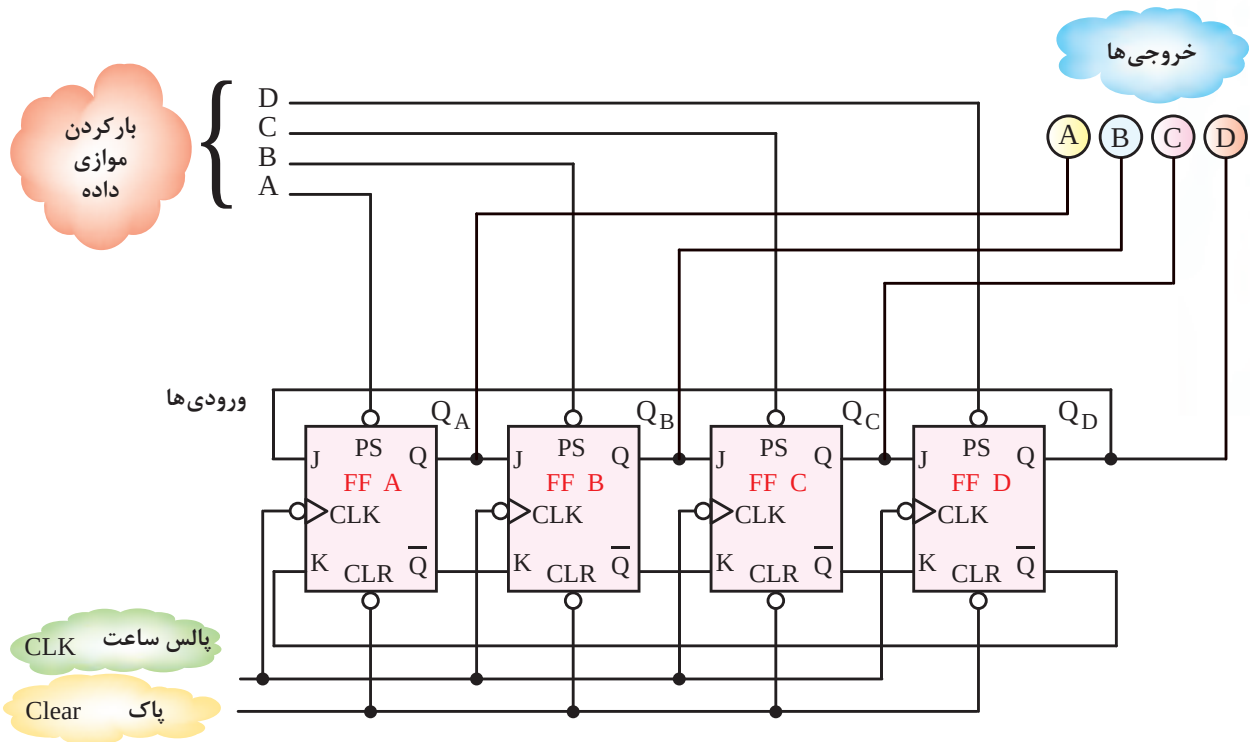
دیجیتالی ممکن است اطلاعات به صورت سری، موازی یا ترکیبی از این دو جابه‌جا و پردازش شود. در انتقال سری به علت این که مدت زمانی طول می‌کشد تا یک کلمه در رجیسترها نوشته شود یا از آنها خوانده شود سرعت پردازش اطلاعات به میزان زیادی کاهش می‌یابد اما به علت امکان استفاده پیاپی از یک مدار، سخت‌افزار کمتری به کار گرفته می‌شود.

زمان بین دو پالس ساعت متوالی زمان یک حرف (Bit time) و زمان لازم برای انتقال کامل محتویات یک رجیستر، زمان یک کلمه (Word time) نامیده می‌شود. در انتقال موازی همه اطلاعات، یک کلمه کامل در یک پالس ساعت نوشته یا خوانده می‌شود این نوع انتقال اطلاعات با وجود آن که دارای سیستم سخت‌افزار پیچیده‌تری است، به علت سرعت زیاد در پردازش اطلاعات نسبت به انتقال سری مزایای زیادی دارد.

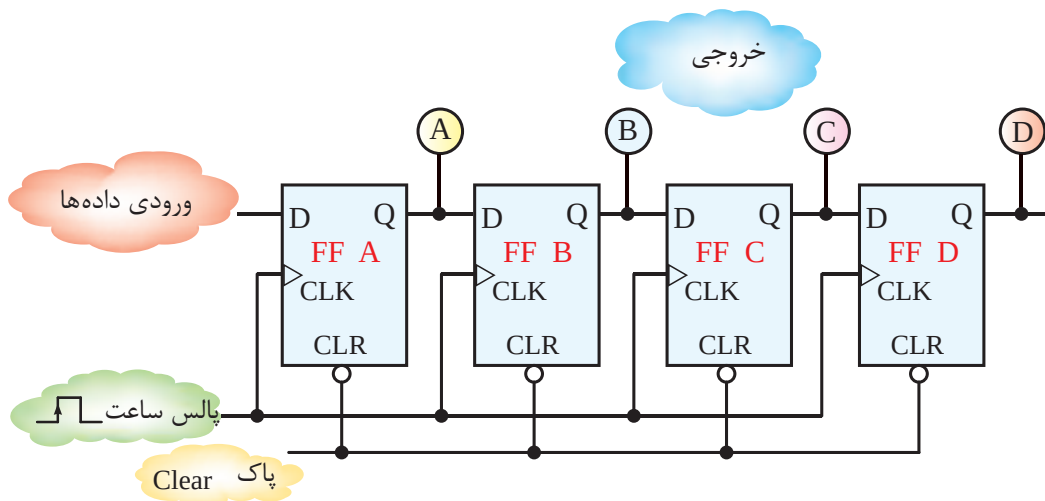


شکل ۳۹-۶- مدار سؤال ۵ الگوی پرسش

۶- چگونگی انتقال اطلاعات در شکل ۶-۴۰ و ۶-۴۱ را شرح دهید.

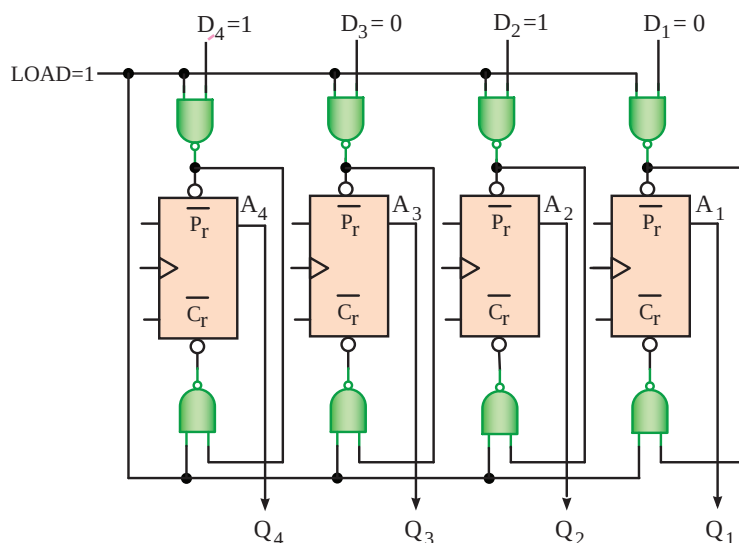


شکل ۶-۴۰- انتقال اطلاعات در شیفت رجیستر به صورت موازی مربوط به سؤال ۶ الگوی پرسش



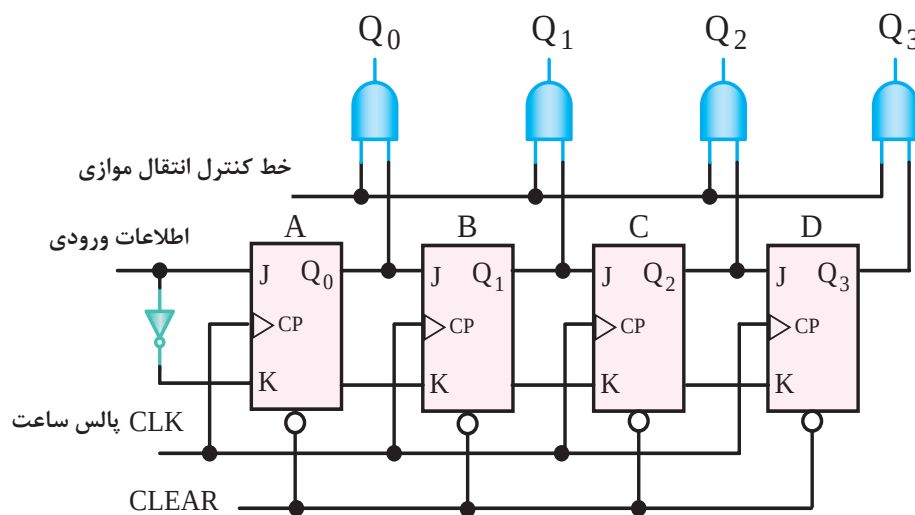
شکل ۶-۴۱- انتقال اطلاعات در شیفت رجیستر به صورت سری مربوط به سؤال ۶ الگوی پرسش

۷- با توجه به داده‌های ورودی، $\bar{Pr}$ و Q حافظه‌ها را مشخص کنید.



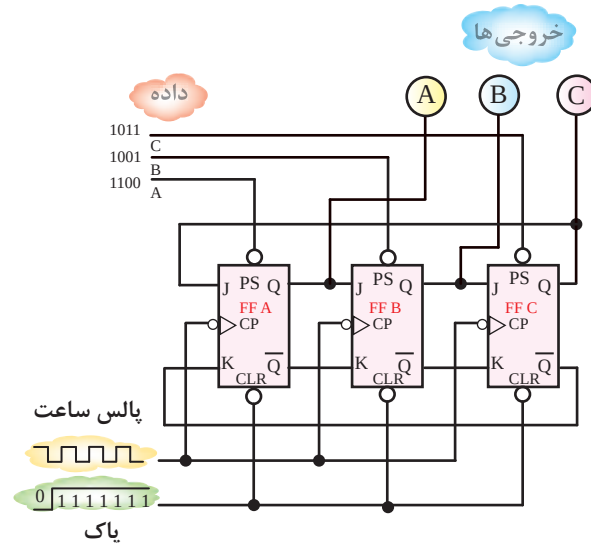
شکل ۴۲-۶- مدار سؤال ۷ الگوی پرسش

۸- در شکل ۴۳-۶ می‌خواهیم عدد ۱۰۱۱ را در داخل را با توجه به خط کنترل و پالس ساعت ورودی رسم شیفتر رجیستر ذخیره کنیم. جدول تغییرات خروجی‌ها کنید.



شکل ۴۳-۶- مدار سؤال ۸ الگوی پرسش

۹- مدار شکل ۴۴- ۶ چه نوع شیفت رجیستری است؟ شیفت دهید؟
تغییرات خروجی‌های A, B, C را به ازای ۴ پالس ورودی



شکل ۴۴- ۶- مدار و داده‌های ورودی سؤال ۹ الگوی پرسش

۴-۶- شمارنده‌ها (Counters)

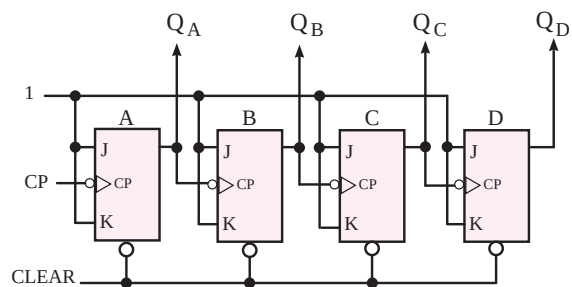
تعداد وضعیت‌هایی را که یک شمارنده قبل از رسیدن به حالت اولیه طی می‌کند، مدول (modules) یا پیمانه شمارنده می‌نامند. مثلاً یک شمارنده باینری ۳ بیتی از مدول ۸ یعنی ۸ وضعیت و یک شمارنده باینری ۴ بیتی از مدول ۱۶ یعنی ۱۶ وضعیت است.

۴-۶-۱- انواع شمارنده‌ها: شمارنده‌ها براساس نحوه کار به شمارنده آسنکرون (Asynchronous) غیرهم زمان و شمارنده‌های سنکرون (synchronous) هم زمان تقسیم‌بندی می‌شوند.

۴-۶-۲- شمارنده آسنکرون: در شمارنده آسنکرون پالس ساعت فلیپ‌فلاپ‌ها به طور هم‌زمان به آن‌ها اعمال نمی‌شود و هر طبقه پالس ساعت خود را از خروجی طبقه ماقبل خود دریافت می‌کند.

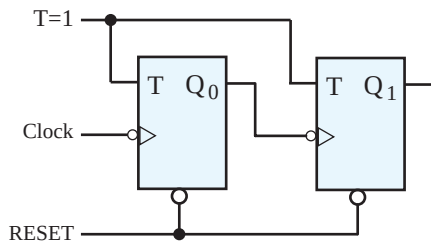
شمارنده آسنکرون به شمارنده ضربانی (Ripple Counter) نیز معروف است. فلیپ‌فلاپ‌های به کار رفته در این نوع شمارنده از نوع T است و باید همواره $T=1$ باشد.

شمارنده‌ها مدارهایی هستند که از تعدادی فلیپ‌فلاپ که به صورت سری به هم متصل شده‌اند، تشکیل می‌شود و عملاً پالس‌های ورودی به مدار را شمارش می‌کنند. شمارنده‌ها به عنوان تقسیم‌کننده فرکانس نیز به کار می‌روند. شمارش ممکن است بر مبنای ۱۰ یا هر مبنای دیگری انجام شود. عنصر اصلی هر شمارنده فلیپ‌فلاپ است. یک شمارنده با n طبقه فلیپ‌فلاپ حداکثر می‌تواند 2^n حالت تعریف شده داشته باشد. شکل ۴۵- ۶ یک شمارنده ۴ بیتی را نشان می‌دهد.



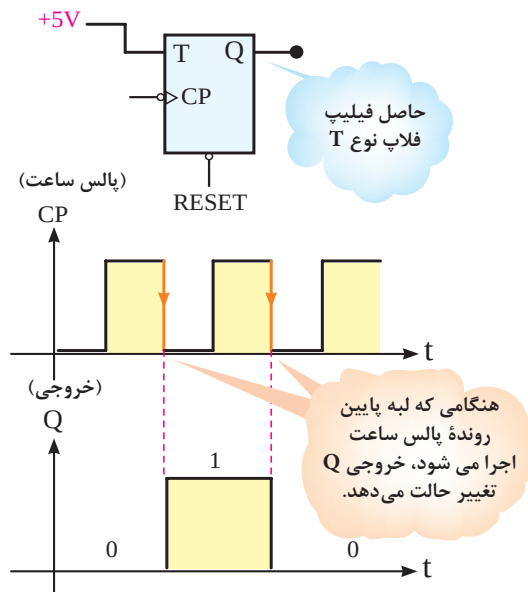
شکل ۴۵- ۶- مدار شمارنده ۴ بیتی

فلیپ‌فلاپ‌ها با لبه پایین رونده پالس ساعت عمل می‌کنند.



شکل ۶-۴۶- شمارنده دوییتی

در فلیپ‌فلاپ نوع T در حالت $T=1$ هنگامی که هر پالس ساعت لبه پایین رونده (نزولی) را طی می‌کند، خروجی آن برعکس حالت قبل می‌شود. در شکل ۶-۴۷ فلیپ‌فلاپ T و سیگنال‌های پالس ساعت (CP) و خروجی Q با حفظ رابطه زمانی نشان داده شده است.



شکل ۶-۴۷- فلیپ‌فلاپ نوع T و سیگنال‌های پالس ساعت و خروجی

فلیپ‌فلاپ‌ها از یک منبع تأمین می‌شود. بدین ترتیب اشکال مربوط به شمارنده آسنکرون را برطرف می‌کند. در شمارنده سنکرون از گیت‌های بیشتری نسبت به شمارنده آسنکرون استفاده می‌شود. در شکل ۶-۴۸ یک شمارنده سنکرون دوییتی نشان داده شده است، که در آن از دو فلیپ‌فلاپ نوع T استفاده شده است.

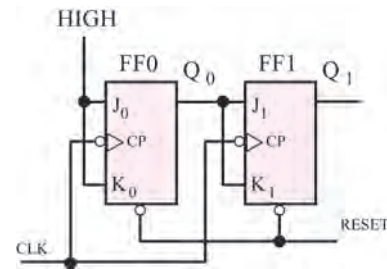
در شمارنده آسنکرون تغییر وضعیت هر فلیپ‌فلاپ به تغییر وضعیت فلیپ‌فلاپ طبقه ماقبل بستگی دارد. به همین دلیل، سرعت عمل شمارنده‌های آسنکرون نسبت به شمارنده‌های سنکرون مشابه کم‌تر است. در شمارنده آسنکرون از فلیپ‌فلاپ نوع T استفاده می‌شود. در صورتی که از فلیپ‌فلاپ‌های نوع JK استفاده کنیم، باید ورودی‌های J و K را در کلیه طبقات همواره در حالت یک نگه‌داریم. به عبارت دیگر از این فلیپ‌فلاپ‌ها فقط به صورت (Toggle) استفاده می‌شود. شمارنده‌های آسنکرون می‌توانند اعداد را به‌طور منظم شمارش کنند. این نوع شمارنده‌ها نمی‌توانند هر ترتیب شمارش دل‌خواهی را اجرا کنند. در شکل ۶-۴۶ یک شمارنده آسنکرون با دو فلیپ‌فلاپ نوع T نشان داده شده است. این شمارنده دارای چهار وضعیت مختلف (مدول ۴) یا دوییتی است.

۳-۴-۶- شمارنده سنکرون (هم‌زمان): در شمارنده آسنکرون تغییر وضعیت هر فلیپ‌فلاپ به تغییر وضعیت فلیپ‌فلاپ ماقبل آن بستگی دارد. به همین جهت سرعت عمل در این نوع شمارنده کم است. همچنین اگر فرکانس پالس ساعت زیاد شود، در شمارش خطا به‌وجود می‌آید. در شمارنده سنکرون، پالس ساعت کلیه

جدول ۳-۶ جدول صحت شمارنده آسنکرون صعودی

پالس ساعت	Q_D	Q_C	Q_B	Q_A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1

همان‌طور که قبلاً بیان شد این شمارنده از نوع ضربانی است، که در آن هر فلیپ‌فلاپ، ورودی خود را از خروجی فلیپ‌فلاپ ماقبل خود دریافت می‌کند. با توجه به شکل ۶-۴۹ و جدول صحت ۳-۶ برای شمارش اعداد ابتدا با استفاده از خط Reset یا Clear تمام فلیپ‌فلاپ‌ها را در حالت صفر قرار می‌دهیم. وقتی که اولین پالس به ورودی فلیپ‌فلاپ A اعمال می‌شود، در صورتی که پالس از یک به صفر برود، Q_A تغییر حالت می‌دهد و به یک تبدیل می‌شود. این پالس به عنوان پالس ورودی برای فلیپ‌فلاپ B به حساب می‌آید. به عبارت دیگر در فلیپ‌فلاپ B، هنگامی که پالس ورودی از یک به صفر می‌رود تغییر وضعیت می‌دهد. از طرفی چون تغییر وضعیت‌ها فقط با لبه پایین رونده پالس ساعت صورت می‌گیرد، برای تغییر حالت فلیپ‌فلاپ B به ۴ پالس ورودی نسبت به فلیپ‌فلاپ

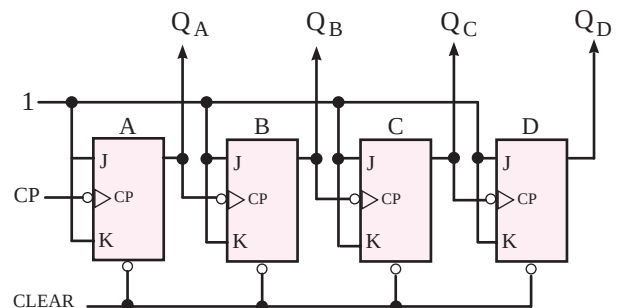


شکل ۶-۴۸- شمارنده دوبیتی هم‌زمان

در فلیپ‌فلاپ FF ورودی‌های J و K هر دو در وضعیت یک منطقی (High) قرار دارند. این نوع فلیپ‌فلاپ در لبه پایین رونده (نزولی) پالس ساعت تغییر وضعیت می‌دهد. چون Q_1 به J_1 متصل است لذا FF_1 زمانی تغییر وضعیت می‌دهد که Q_0 در حالت یک قرار می‌گیرد.

۶-۴-۴- شمارنده آسنکرون صعودی

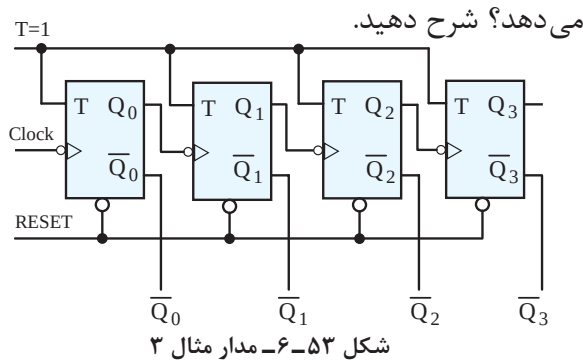
(Up Counter): این شمارنده قادر به شمارش منظم اعداد از کم به زیاد است. به همین علت به شمارنده صعودی معروف است. در شکل ۶-۴۹ یک شمارنده آسنکرون ۴ بیتی نشان داده شده است که در آن از چهار فلیپ‌فلاپ نوع T استفاده شده است.



شکل ۶-۴۹- شمارنده آسنکرون ۴ بیتی

جدول ۳-۶ جدول صحت این شمارنده تغییر وضعیت خروجی‌های Q_A , Q_B , Q_C و Q_D را نشان می‌دهد. این شمارنده اعداد از صفر تا ۱۵ را شمارش می‌کند و در انتهای پالس شانزدهم تمام خروجی‌ها مساوی صفر می‌شوند و شمارنده به حالت اولیه بر می‌گردد.

مثال ۳-۶: مدار شکل ۳-۵۳ چه عملی انجام

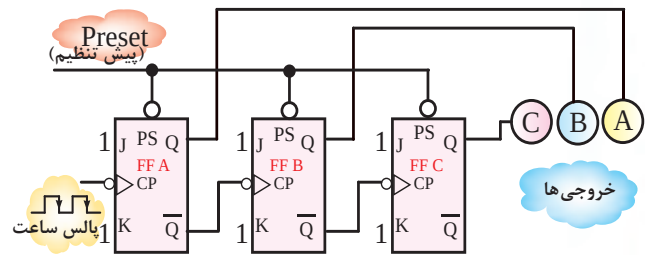


حل: مدار شکل ۳-۵۳ شمارندهٔ آسنکرون نزولی ۴ بیتی است، زیرا خروجی‌ها از $\bar{Q}$ فلیپ‌فلاپ‌ها دریافت شده‌اند، این شمارنده از عدد ۱۵ یعنی $(1111)_2$ شروع به شمارش می‌کند و بعد از هر پالس ساعت، یک عدد کاهش می‌یابد و در نهایت به صفر ختم می‌شود قبل از اعمال پالس تمام خروجی‌ها در وضعیت یک قرار دارند در پایان پالس ساعت شانزدهم نیز دوباره تمام خروجی‌ها در وضعیت یک قرار می‌گیرند. شمارنده ضربانی و شمارش از ۱۵ است. در جدول ۳-۶ تغییرات خروجی‌ها نشان داده شده است.

جدول ۳-۶- جدول تغییرات خروجی‌های مثال ۳

تعداد پالس ساعت	شمارش ده‌دهی	$\bar{Q}_0$	$\bar{Q}_1$	$\bar{Q}_2$	$\bar{Q}_3$
0	15	1	1	1	1
1	14	1	1	1	0
2	13	1	1	0	1
3	12	1	1	0	0
4	11	1	0	1	1
5	10	1	0	1	0
6	9	1	0	0	1
7	8	1	0	0	0
8	7	0	1	1	1
9	6	0	1	1	0
10	5	0	1	0	1
11	4	0	1	0	0
12	3	0	0	1	1
13	2	0	0	1	0
14	1	0	0	0	1
15	0	0	0	0	0
16	15	1	1	1	1

شده است. که در آن $\bar{Q}$ در هر فلیپ‌فلاپ به عنوان ورودی فلیپ‌فلاپ بعدی عمل می‌کند.



در شروع کار فرض می‌کنیم از طریق ورودی‌های Preset تمام خروجی‌ها برابر با یک شده‌اند. جدول ۳-۵ جدول صحت و تغییرات خروجی‌های A, B, C را در برابر ۸ پالس ورودی نشان می‌دهد.

جدول ۳-۵- جدول تغییرات خروجی‌ها به ازای پالس ساعت

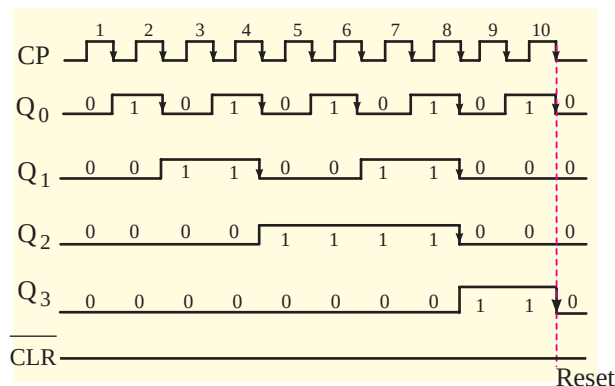
تعداد پالس‌های ساعت ورودی	خروجی‌ها			شمارش ده‌دهی خروجی
	C	B	A	
0	1	1	1	7
1	1	1	0	6
2	1	0	1	5
3	1	0	0	4
4	0	1	1	3
5	0	1	0	2
6	0	0	1	1
7	0	0	0	0
8	1	1	1	7

شمارنده از عدد ۷ شروع به شمارش می‌کند تا به صفر برسد. در پایان پالس ساعت هشتم خروجی‌ها به حالت اولیه برمی‌گردند.



تمرین کلاسی ۳-۵: دیاگرام زمانی مربوط به مدار ۳-۵۲ را رسم کنید و نشان دهید که مدار، شمارش را به صورت نزولی انجام می‌دهد.

می‌رساند. به این ترتیب کلیه فلیپ‌فلاپ‌ها Reset می‌شوند و شمارش را از صفر شروع می‌کنند. در شکل ۶-۵۵ دیاگرام زمانی شمارنده دهدهی نشان داده شده است و جدول ۶-۷ جدول تغییرات خروجی مدار شکل ۶-۵۵ را بر اساس دیاگرام زمانی نشان می‌دهد.



شکل ۶-۵۵- دیاگرام زمانی شمارنده دهدهی

جدول ۶-۷- جدول تغییرات خروجی شمارنده دهدهی

Q ₃	Q ₂	Q ₁	Q ₀	Decimal
0	0	0	0	0
0	0	0	1	1
0	0	1	0	2
0	0	1	1	3
0	1	0	0	4
0	1	0	1	5
0	1	1	0	6
0	1	1	1	7
1	0	0	0	8
1	0	0	1	9

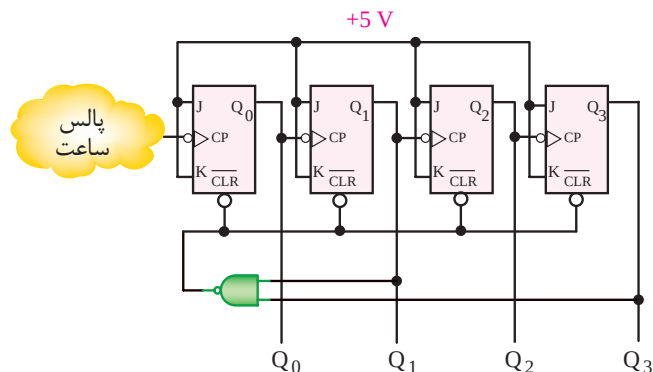
طبق دیاگرام زمانی مشاهده می‌کنیم که تمام خروجی‌های شمارنده در پایان پالس دهم مساوی صفر شده‌اند.

مثال ۴-۶: در شکل ۶-۵۶ مدار یک شمارنده آسنکرون مدول ۳ را ملاحظه می‌کنید. طرز کار این شمارنده را شرح دهید.

۶-۴-۶- شمارنده آسنکرون دهدهی
BCD (Binary Coded Decimal): شمارنده آسنکرون صعودی که قبلاً بررسی شده، ۱۶ حالت مختلف دارد و می‌تواند از صفر تا عدد ۱۵ را بشمارد.

در عمل نیاز به شمارنده‌هایی است که بتواند اعداد کمتر از ۱۶ حالت مثلاً از صفر تا ۱۰ را بشمارد. به این شمارنده‌ها دهدهی (اعشاری) یا BCD می‌گویند. برای طراحی یک شمارنده BCD ابتدا باید تعداد فلیپ‌فلاپ‌ها را تعیین کنید. اگر تعداد فلیپ‌فلاپ را n در نظر بگیریم باید n کوچکترین عدد طبیعی باشد که در رابطه $10 < 2^n$ صدق کند. زیرا اگر n را سه بگیریم می‌تواند تا $2^3 = 8$ رقم را بشمارد، بنابراین برای شمارنده BCD تعداد n را برابر ۴ می‌گیریم که می‌تواند ۱۶ رقم را بشمارد. بنابراین شمارنده BCD همان شمارنده آسنکرون صعودی است، با این تفاوت که باید بتواند اعداد صفر تا ۱۰ (۱۰۱۰) را بشمارد و به محض رسیدن به عدد ۱۰، خروجی را پاک (Reset) کند، این عمل توسط یک گیت کنترل صورت می‌گیرد.

در شکل ۶-۵۴ مدار شمارنده آسنکرون دهدهی با استفاده از چهار فلیپ‌فلاپ T نشان داده شده است.



شکل ۶-۵۴- مدار شمارنده آسنکرون دهدهی (مدول ۱۰)

در این مدار، پس از آن که شمارنده از عدد ۹ یعنی 1001 به عدد ۱۰ یعنی 1010 تغییر حالت می‌دهد، هردو ورودی گیت NAND برابر با یک می‌شود و خروجی آن را برای مدتی کوتاه به صفر

در این شمارنده پالس ساعت همه فلیپ‌فلاپ‌ها از یک منبع تأمین شده است. عملکرد مدار به شرح زیر است:

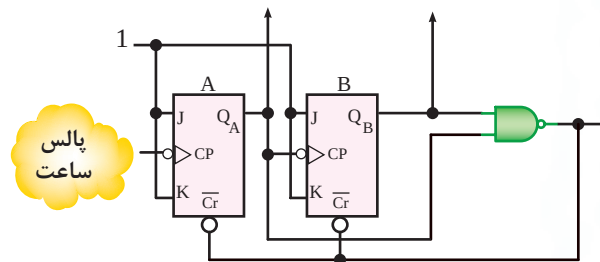
مرحله اول: چون $J_0=K_0=1$ است خروجی Q_0 زمانی تغییر حالت می‌دهد که پالس ساعت لبه پایین‌رونده را طی کند.

مرحله دوم: فلیپ‌فلاپ شماره ۱ (FF_1) زمانی تغییر حالت می‌دهد که Q_0 در وضعیت یک منطقی باشد.

مرحله سوم: چون $J_1=K_1=Q_0$ است، فلیپ‌فلاپ شماره ۲ (FF_2) زمانی تغییر وضعیت می‌دهد که $Q_1=Q_0$ و هر دو در حالت یک منطقی باشند.

مرحله چهارم: چون $J_2=K_2=Q_1Q_0$ است پس فلیپ‌فلاپ شماره ۳ (FF_3) زمانی تغییر وضعیت می‌دهد که $Q_2=Q_1=Q_0$.

در شکل ۶-۵۸ دیاگرام زمانی شمارنده سنکرون نشان داده شده است.



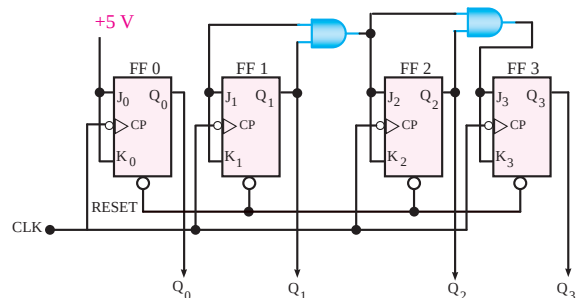
شکل ۶-۵۶- مدار شمارنده آسنکرون مدول ۳ مربوط به مثال ۴

حل: چون شمارنده آسنکرون مدول ۳ است، لذا کوچکترین عدد طبیعی n که در رابطه $2^n > 3$ صدق کند برابر ۲ است، پس برای شمارش اعداد به دو فلیپ‌فلاپ نیاز داریم که در شکل ۶-۵۶ رسم شده است. این شمارنده می‌تواند فقط اعداد ۰، ۱، ۲ را بشمارد و هنگامی که به عدد ۳ می‌رسد $Q_A=Q_B=1$ می‌شود و خروجی گیت NAND را صفر می‌کند. به این ترتیب خروجی هر دو فلیپ‌فلاپ A و B پاک (Clear) یا Reset می‌شود.

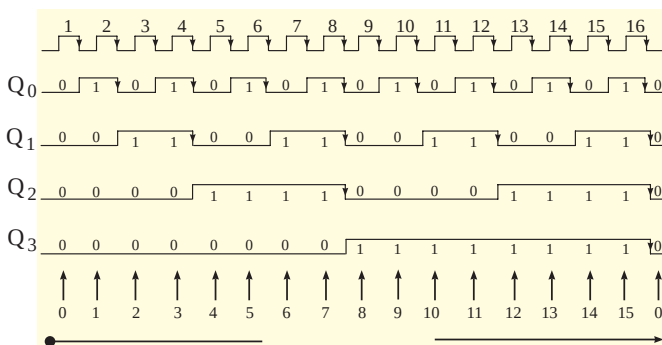


تمرین کلاسی ۶-۶: جدول صحت مدار مثال ۶-۴ را رسم کنید.

۶-۴-۷- شمارنده سنکرون صعودی: شمارنده سنکرون نیز مانند شمارنده آسنکرون می‌تواند صعودی یا نزولی باشد. در شکل ۶-۵۷ مدار یک شمارنده چهاربیتی سنکرون صعودی نشان داده شده است.



شکل ۶-۵۷- مدار شمارنده چهاربیتی سنکرون صعودی



شکل ۶-۵۸- دیاگرام زمانی شمارنده سنکرون صعودی چهاربیتی

جدول ۶-۸ جدول صحت شمارنده چهاربیتی سنکرون صعودی را نشان می‌دهد.

جدول ۸-۶- جدول صحت شمارنده چهاربیتی سنکرون صعودی

معدله دهدهی	Q ₀	Q ₁	Q ₂	Q ₃
0	0	0	0	0
1	1	0	0	0
2	0	1	0	0
3	1	1	0	0
4	0	0	1	0
5	1	0	1	0
6	0	1	1	0
7	1	1	1	0
8	0	0	0	1
9	1	0	0	1
10	0	1	0	1
11	1	1	0	1
12	0	0	1	1
13	1	0	1	1
14	0	1	1	1
15	1	1	1	1

شمارش دوباره تکرار می شود

حل: طبق شکل ۵۹-۶ چون سه فلیپ فلاپ داریم برای انتقال اعداد از یک گیت AND استفاده شده است. با توجه به شکل ۵۹-۶ جدول تغییرات خروجی آن به صورت جدول ۹-۶ رسم شده است. طبق جدول این شمارنده می تواند تا عدد ۷ را بشمارد و سپس Reset شود.

جدول ۹-۶- جدول تغییرات خروجی های شمارنده سنکرون صعودی مثال ۵

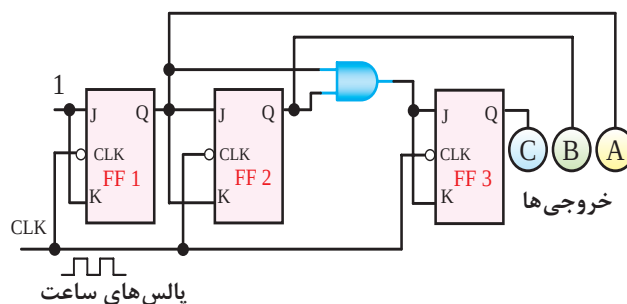
شمارش دهدهی	A	B	C	تعداد پالس های ساعت	سطر
0	0	0	0	0	1
1	1	0	0	1	2
2	0	1	0	2	3
3	1	1	0	3	4
4	0	0	1	4	5
5	1	0	1	5	6
6	0	1	1	6	7
7	1	1	1	7	8
0	0	0	0	8	9

۸-۴-۶- شمارنده صعودی - نزولی

(Up/Down Counter): از ترکیب دو شمارنده صعودی و نزولی طبق شکل ۶۰-۶، شمارنده ای شکل می گیرد که می تواند با استفاده از یک خط کنترل، به صورت صعودی یا نزولی شمارش کند.

اگر خط کنترل در حالت یک منطقی باشد گیت های AND شماره های ۱ و ۳ و ۵ فعال می شوند و شمارنده به صورت صعودی شمارش می کند. در این حالت خروجی گیت های AND شماره ۲ و ۴ و ۶ مساوی صفر منطقی اند. در صورتی که خط کنترل روی صفر باشد، خروجی گیت های AND شماره ۲ و ۴ و ۶ برابر با یک منطقی می شود و شمارنده به صورت نزولی شمارش می کند. در این حالت خروجی گیت های AND شماره ۱ و ۳ و ۵ صفر می شوند و به صورت غیرفعال در می آیند.

مثال ۵-۶: در شکل ۵۹-۶ مدار یک شمارنده سنکرون صعودی شامل ۳ فلیپ فلاپ T آمده است، طرز کار مدار را شرح دهید و جدول تغییرات خروجی های آن را برای ۸ پالس ورودی نمایش دهید.

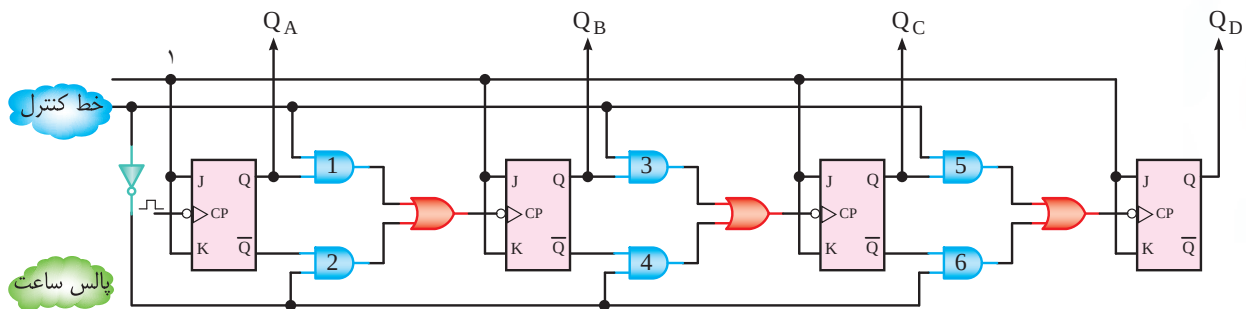


شکل ۵۹-۶- مدار شمارنده سنکرون صعودی مثال ۵



شمارنده‌ها جست‌وجو کنید و نتایج آن را به کلاس ارائه دهید.

جهت هنرجویان علاقه‌مند: با مراجعه به یکی از موتورهای و استفاده از کلمه‌های Up Counter و down Counter تعدادی مقاله فارسی و مدار درباره



شکل ۶۰- شمارنده صعودی - نزولی

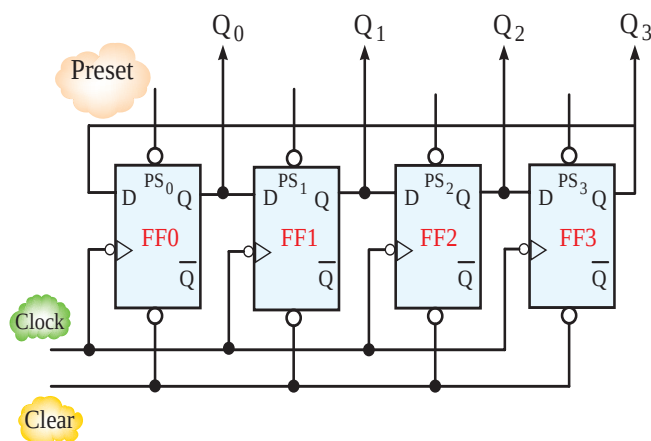
$$\Rightarrow \begin{cases} \text{فعال } AND_1, AND_3, AND_5 \\ \text{غیر فعال } AND_2, AND_4, AND_6 \end{cases} \Rightarrow \text{خط کنترل } = 1$$

شمارنده صعودی

$$\Rightarrow \begin{cases} \text{غیر فعال } AND_1, AND_3, AND_5 \\ \text{فعال } AND_2, AND_4, AND_6 \end{cases} \Rightarrow \text{خط کنترل } = 0$$

شمارنده نزولی

۹-۴-۶- شمارنده حلقوی (Ring counter) یا فلیپ‌فلاپ به ورودی D اولین فلیپ‌فلاپ فیدبک شده دایره‌ای: شمارنده حلقوی از ترکیب فلیپ‌فلاپ‌های است. شکل ۶۱-۶- شمارنده حلقوی ۴ بیتی را نشان نوع D به گونه‌ای شکل می‌گیرد که خروجی Q آخرین می‌دهد.



شکل ۶۱-۶- شمارنده حلقوی (دایره‌ای) چهار بیتی

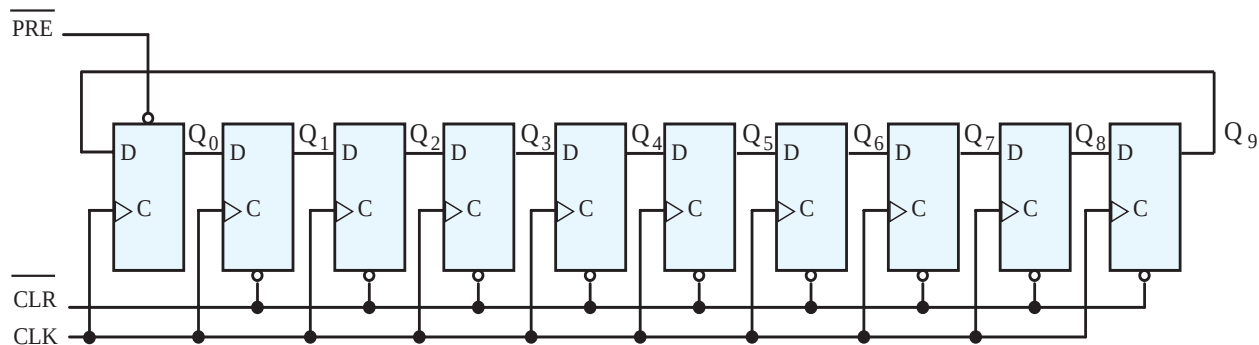
خروجی شمارنده حلقوی چهاربیتی مدارشکل ۶-۶۱ را نشان می‌دهد.

جدول ۶-۱۰- جدول تغییرات خروجی شمارنده حلقوی

تعداد پالس‌های ساعت ورودی	خروجی‌ها				شمارش ده‌دهی خروجی $N=(Q_3Q_2Q_1Q_0)$
	Q_3	Q_2	Q_1	Q_0	
0	0	0	0	1	1
1	0	0	1	0	2
2	0	1	0	0	4
3	1	0	0	0	8
4	0	0	0	1	1

مطابق جدول ۶-۱۰ در خروجی شمارنده حلقوی اعداد ۱ و ۲ و ۴ و ۸ شمارش می‌شوند.

مثال ۶-۶: در شکل ۶-۶۲ یک شمارنده حلقوی ۱۰ بیتی با استفاده از فلیپ‌فلاپ D رسم شده است. جدول تغییرات خروجی‌های آن را نمایش دهید.



شکل ۶-۶۲- شمارنده حلقوی ۱۰ بیتی

فلاپ اول پرمی شود (در آن مقدار یک قرار می‌گیرد). این حالت را در شکل ۶-۶۲ ملاحظه می‌کنید. جدول ۶-۱۱ جدول تغییرات خروجی مدار شکل ۶-۶۲ را در برابر تغییرات پالس ساعت نشان می‌دهد.

این شمارنده از نوع سنکرون است؛ ابتدا تمام فلیپ‌فلاپ‌ها را به وسیله خط Clear (پاک) Reset می‌کنیم. سپس به پرکردن فلیپ‌فلاپ اول (ff_0) به کمک ورودی PS می‌پردازیم. در زمان پرکردن اولیه FF، نیازی به پالس ساعت نیست. در این حالت $Q_0=1$ و $Q_1=Q_2=Q_3=0$ می‌شود. با شروع پالس ساعت، اطلاعات به سمت راست انتقال می‌یابد و در لبه نزولی (پایین رونده) اولین پالس ساعت $Q_0=0, Q_1=1, Q_2=0$ و $Q_3=0$ می‌شود.

همچنین در لبه صعودی پالس ساعت دوم شرایط خروجی‌ها به صورت $Q_0=0, Q_1=0, Q_2=1, Q_3=0$ درمی‌آید به همین ترتیب در لبه صعودی پالس ساعت سوم مقادیر $Q_0=0, Q_1=0, Q_2=0, Q_3=1$ می‌شود. در لبه صعودی پالس ساعت چهارم مقادیر $Q_0=1, Q_1=0, Q_2=0, Q_3=0$ می‌شود و شمارنده را به حالت اولیه برمی‌گرداند. جدول ۶-۱۰ تغییرات

حل: مدار شمارنده حلقوی ۱۰ بیتی نیاز به ۱۰ فلیپ‌فلاپ نوع D دارد و کلیه خروجی‌های Clear به هم و خروجی‌های پالس ساعت (Clock) نیز به هم وصل شده‌اند، این فلیپ‌فلاپ‌ها توسط خط Reset، CLR شده‌اند و سپس به وسیله خط PRE، فلیپ

جدول ۱۱-۶- جدول تغییرات خروجی شمارنده حلقوی ده‌بیتی

Clock Pulse	Q ₀	Q ₁	Q ₂	Q ₃	Q ₄	Q ₅	Q ₆	Q ₇	Q ₈	Q ₉
0	1	0	0	0	0	0	0	0	0	0
1	0	1	0	0	0	0	0	0	0	0
2	0	0	1	0	0	0	0	0	0	0
3	0	0	0	1	0	0	0	0	0	0
4	0	0	0	0	1	0	0	0	0	0
5	0	0	0	0	0	1	0	0	0	0
6	0	0	0	0	0	0	1	0	0	0
7	0	0	0	0	0	0	0	1	0	0
8	0	0	0	0	0	0	0	0	1	0
9	0	0	0	0	0	0	0	0	0	1

مثال ۷-۶ اگر در شمارنده حلقوی ۱۰ بیتی مثال

قبل حالت اولیه

$Q_9 Q_8 Q_7 Q_6 Q_5 Q_4 Q_3 Q_2 Q_1 Q_0 = 1010000000$ باشد،

شکل موج‌های خروجی را با حفظ رابطه زمانی رسم

حل: دیاگرام زمانی خروجی‌ها را در شکل ۶۳-۶

ملاحظه می‌کنید.

$Q_9 Q_8 Q_7 Q_6 Q_5 Q_4 Q_3 Q_2 Q_1 Q_0 = 1010000000$

در اولین پالس محتوای Q_۹ به این خروجی انتقال می‌یابد. در دومین پالس محتوای Q_۸ و...

در اولین پالس محتوای Q_۰ به این خروجی انتقال می‌یابد. در دومین پالس محتوای Q_۹ و...

در اولین پالس محتوای Q_۱ به این خروجی انتقال می‌یابد. در دومین پالس محتوای Q_۰ و...

در اولین پالس محتوای Q_۲ به این خروجی انتقال می‌یابد. در دومین پالس محتوای Q_۱ و...

در اولین پالس محتوای Q_۳ به این خروجی انتقال می‌یابد. در دومین پالس محتوای Q_۲ و...

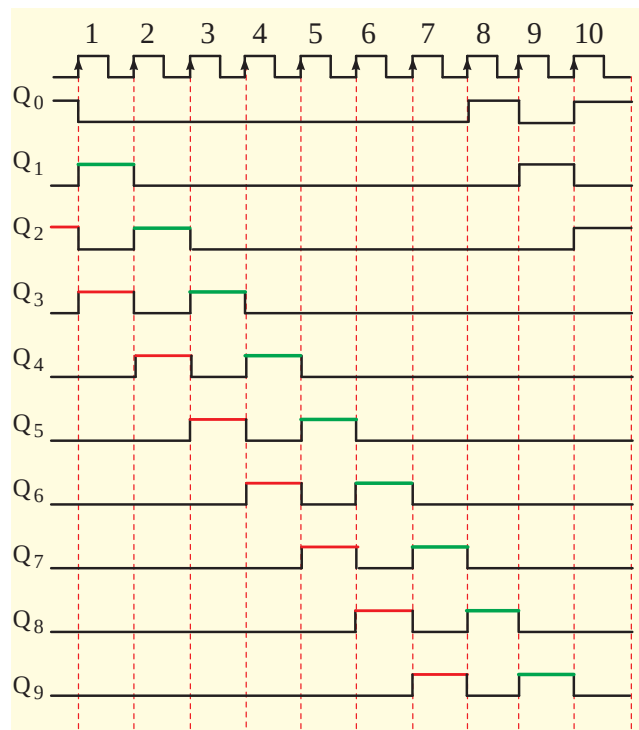
در اولین پالس محتوای Q_۴ به این خروجی انتقال می‌یابد. در دومین پالس محتوای Q_۳ و...

در اولین پالس محتوای Q_۵ به این خروجی انتقال می‌یابد. در دومین پالس محتوای Q_۴ و...

در اولین پالس محتوای Q_۶ به این خروجی انتقال می‌یابد. در دومین پالس محتوای Q_۵ و...

در اولین پالس محتوای Q_۷ به این خروجی انتقال می‌یابد. در دومین پالس محتوای Q_۶ و...

در اولین پالس محتوای Q_۸ به این خروجی انتقال می‌یابد. در دومین پالس محتوای Q_۷ و...



شکل ۶۳-۶- دیاگرام زمانی خروجی شمارنده حلقوی ۱۰ بیتی مثال ۷

فلیپ‌فلاپ از چپ به راست ابتدا با یک و سپس با صفر پر می‌شوند.

شمارندهٔ جانسون چهار بیتی دارای ۸ حالت مختلف است. شمارندهٔ جانسون ۵ بیتی دارای ۱۰ حالت مختلف است. شمارندهٔ جانسون n بیتی عموماً دارای $2n$ حالت مختلف است. n تعداد طبقات شمارنده را مشخص می‌کند.

جدول ۶-۱۳ حالات مختلف شمارندهٔ جانسون چهاربیتی و جدول ۶-۱۴ حالات مختلف خروجی‌های شمارندهٔ پنج بیتی را نشان می‌دهد.

جدول ۶-۱۳- خروجی‌های شمارندهٔ جانسون چهاربیتی

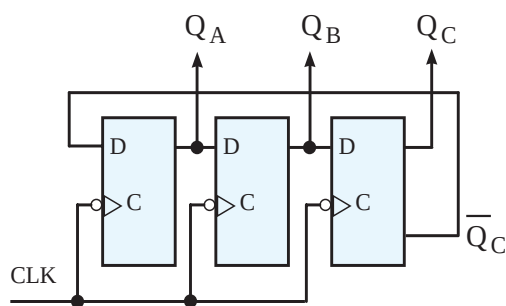
پالس ساعت	Q_A	Q_B	Q_C	Q_D
0	0	0	0	0
1	1	0	0	0
2	1	1	0	0
3	1	1	1	0
4	1	1	1	1
5	0	1	1	1
6	0	0	1	1
7	0	0	0	1



تمرین کلاسی ۶-۷: در شمارندهٔ حلقوی ۵ بیتی حالت اولیه به صورت ۱۱۰۰۱ است، شکل موج‌های خروجی را با حفظ رابطهٔ زمانی رسم کنید.

۶-۴-۱۰- شمارندهٔ جانسون (Johnson Counter):

این شمارنده یک شیفت رجیستر با ورودی سری و خروجی سری است، که در آن $\bar{Q}$ آخرین فلیپ‌فلاپ به ورودی (D) اولین فلیپ‌فلاپ متصل شده است. در شکل ۶-۶۴ شمارندهٔ جانسون ۳ بیتی را مشاهده می‌کنید.



شکل ۶-۶۴- شمارندهٔ جانسون سه بیتی

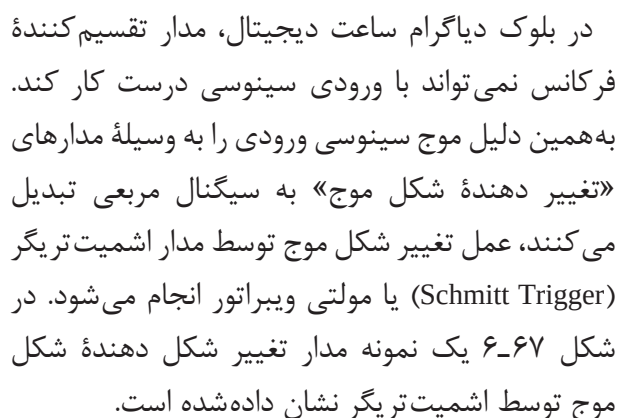
این شمارنده مطابق جدول ۶-۱۲ دارای ۶ حالت مختلف است.

جدول ۶-۱۲- حالات شمارندهٔ جانسون سه‌بیتی

پالس ساعت	Q_A	Q_B	Q_C
0	0	0	0
1	1	0	0
2	1	1	0
3	1	1	1
4	0	1	1
5	0	0	1



تمرین کلاسی ۶-۸: دیاگرام زمانی شمارندهٔ جانسون چهار بیتی جدول ۶-۱۳ را رسم کنید.

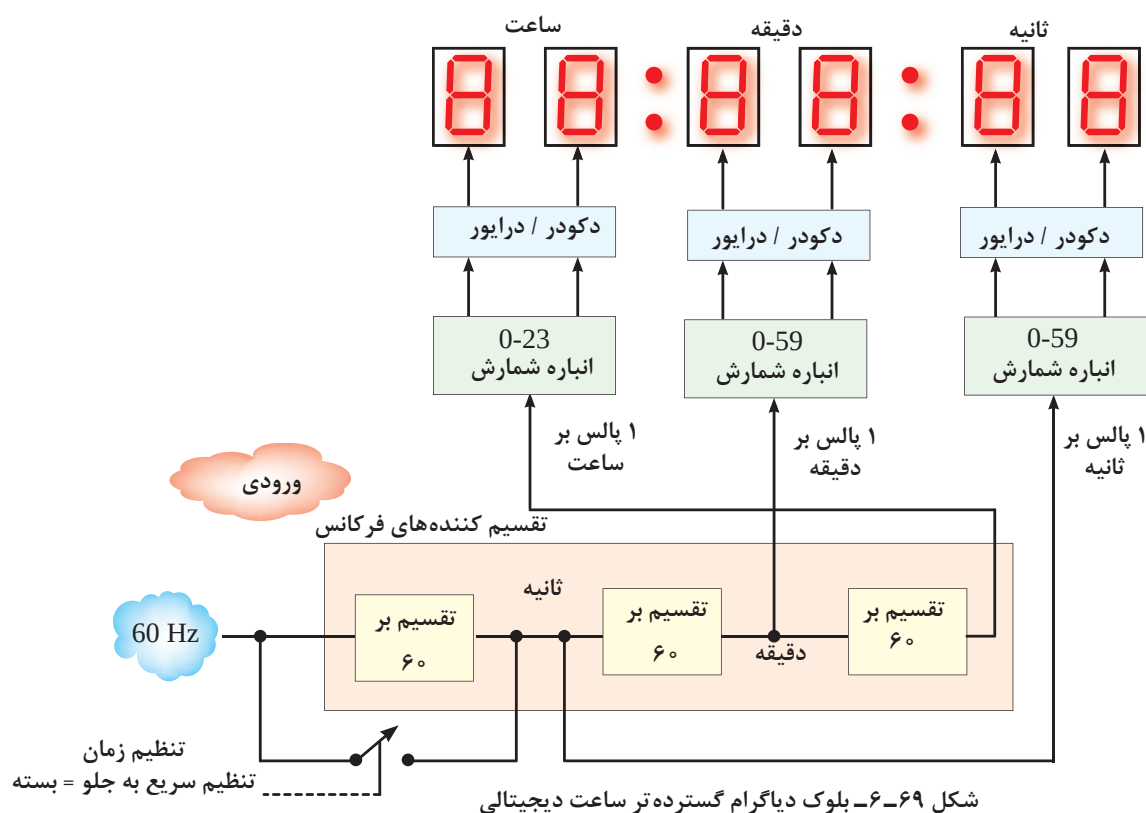


شکل ۶۷-۶. بلوک دیاگرام مدار تغییر دهنده شکل موج

این مدار می‌تواند زمان شروع و توقف شمارش را نیز کنترل کند. عمل شمارش زمانی شروع می‌شود که (گیت AND فعال) باشد. در حالتی که خط کنترل روی صفر منطقی باشد، موج مربعی از گیت AND عبور نمی‌کند و شمارنده متوقف می‌شود.



بلوک دیاگرام گسترده تر ساعت دیجیتال در شکل ۶۹-۶ نشان داده شده است.



دهگان دقیقه را نمایش دهد. انشعابی دیگر از ورودی بلوک تقسیم بر ۶۰ میلیانی به مدار ثانیه شمار صفر تا ۵۹ (سمت راست) اعمال می‌شود، و از آن‌جا توسط مدارهای دکودر و درایور به دو 7.Seg ثانیه شمار می‌رود.

مدار تقسیم بر ۶۰ سمت راست مربوط به پالس‌های ساعت است. ورودی این تقسیم‌کننده فرکانس، پالس‌های مربوط به دقیقه است و خروجی آن (پالس ساعت) را به وجود می‌آورد. خروجی پالس‌های ساعت به شمارنده ساعت در سمت چپ انتقال می‌یابد. این شمارنده تعداد ساعات را از صفر تا ۲۳ می‌شمارد. خروجی این شمارنده از طریق دکودر «BCD به 7.Seg» به دو عدد 7.Seg (هفت‌قطعه‌ای) برای نمایش ارقام یکان و دهگان ساعت می‌رود.



جهت هنجاریان علاقه‌مند: با استفاده از منابع مختلف مرتبط، بلوک دیاگرام فرکانس متر دیجیتالی را پیدا کنید و نحوه عملکرد آن را مورد بررسی قرار دهید و نتایج را به کلاس ارائه نمایید.



جهت هنجاریان علاقه‌مند: با استفاده از چهار عدد فلیپ‌فلاپ نوع T مدار یک شمارنده ۱۶ وضعیتی را به صورت صعودی ببندید و جدول صحت آن را مورد بررسی قرار دهید. نتیجه را به کلاس گزارش نمایید.

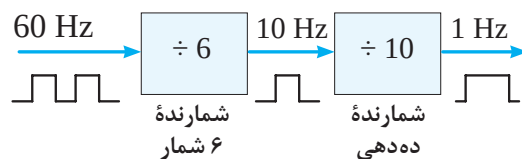
۵-۶- الگوی پرسش

۱- فرض کنید فلیپ‌فلاپ‌های شکل ۶-۷۱ در آغاز در حالت Reset قرار دارد. پالس دیاگرام زمانی Q_A و Q_B



نکته مهم: در بلوک دیاگرام ساعت دیجیتالی هدف کاربرد دکودر، شیفت رجیستر تقسیم‌کننده فرکانس و... در یک مدار عملی است. از این بلوک دیاگرام در طراحی سؤال استفاده نشود.

بلوک تقسیم بر ۶۰ در ورودی دارای دو شمارنده تقسیم بر ۶ و تقسیم بر ۱۰ است. این بلوک سیگنال مربعی ۶۰ هرتز ورودی را به سیگنال مربعی ۱ هرتز تبدیل می‌کند. در سیستم برق ایران از بلوک تقسیم بر ۵۰ استفاده می‌شود. در این بلوک دو تقسیم‌کننده فرکانس تقسیم بر ۵ و تقسیم بر ۱۰ وجود دارد. در شکل ۶-۷۰ بلوک دیاگرام مدار تقسیم‌کننده فرکانس تقسیم بر ۶۰ را مشاهده می‌کنید.

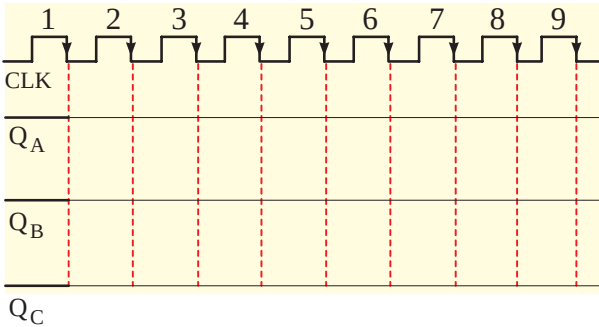
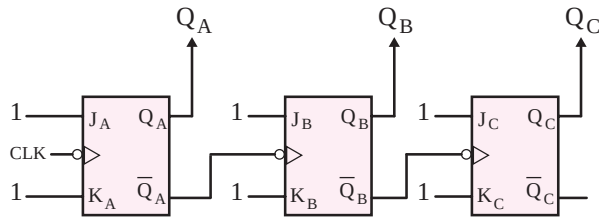


شکل ۶-۷۰- بلوک دیاگرام مدار تقسیم بر ۶۰

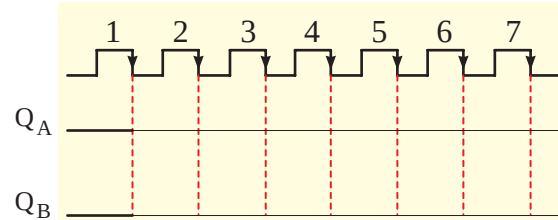
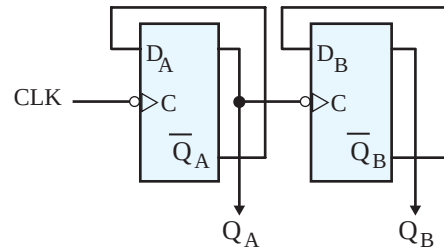
توجه داشته باشید که فرکانس ۵۰ یا ۶۰ هرتز، پس از اولین تقسیم (بر ۶۰) پالس‌های ثانیه را به وجود می‌آورند که مبنایی برای به دست آوردن پالس‌های دقیقه و ساعت است. در شکل ۶-۶۹ مدار تنظیم‌کننده زمان که با بلوک تقسیم بر ۶۰ موازی است، برای تنظیم سریع به جلو استفاده می‌شود. با بستن کلید، به بلوک تقسیم بر ۶۰ بای پس می‌شود و سرعت شمارش را ۶۰ برابر می‌کند. به بلوک تقسیم بر ۶۰ میلیانی توجه کنید، ورودی به این مدار پالس‌های ثانیه است که پس از تقسیم شدن بر ۶۰ پالس‌های دقیقه را به وجود می‌آورد.

خروجی این بلوک به مدار دقیقه شمار صفر تا ۵۹ اعمال می‌شود و از آنها توسط دکودر و درایور (راه‌انداز) به دو عدد 7.Seg می‌رود تا رقم‌های یکان و

را رسم کنید و چگونگی کار مدار را توضیح دهید.



شکل ۶-۷۲- مدار سؤال ۲ الگوی پرسش و نمودار زمانی مربوط به رسم خروجی‌های مدار



شکل ۶-۷۱- مدار سؤال ۱ الگوی پرسش و نمودار زمانی مربوط به رسم خروجی‌های مدار

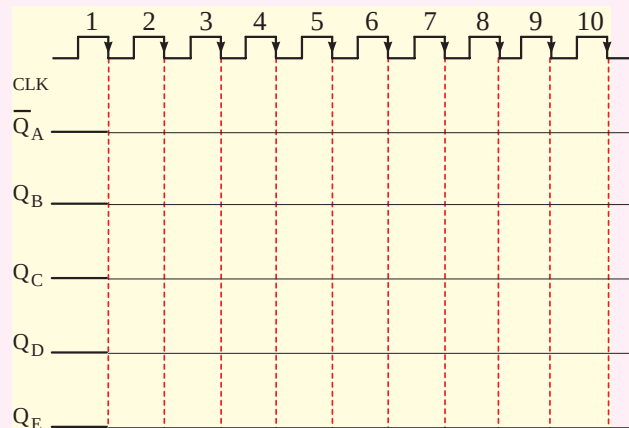
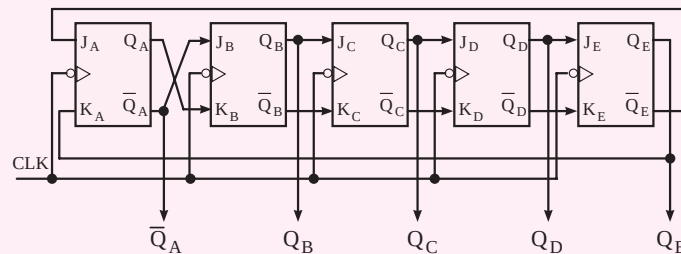
۲- با فرض این که فلیپ‌فلاپ‌های شکل ۶-۷۲ در آغاز در حالت Reset باشند، تغییرات بعدی وضعیت خروجی‌های Q_A , Q_B و Q_C را رسم کنید و در مورد آن توضیح دهید.

۳- دیگرام زمانی خروجی‌های مدار شکل ۶-۷۳ را رسم کنید. فرض کنید در آغاز کلیه فلیپ‌فلاپ‌ها در حالت Reset قرار دارند. در مورد عملکرد مدار توضیح دهید.



جهت هنرجویان علاقه‌مند

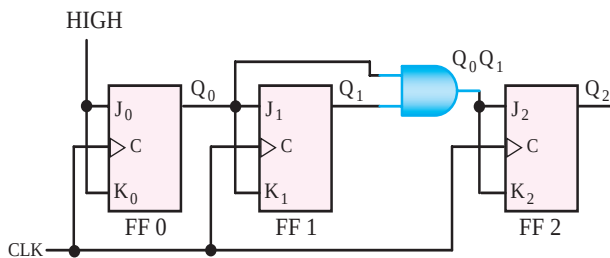
۳- دیگرام زمانی خروجی‌های مدار شکل ۶-۷۳ را رسم کنید. فرض کنید در آغاز کلیه فلیپ‌فلاپ‌ها در حالت Reset قرار دارند. در مورد عملکرد مدار توضیح دهید.



شکل ۶-۷۳- مدار سؤال ۳ الگوی پرسش

۶- می‌خواهیم با استفاده از یک شمارنده اسنکرون از صفر تا ۱۴۴ را شمارش کنیم، برای این کار به چند فلیپ‌فلاپ نیاز داریم، شرح دهید.

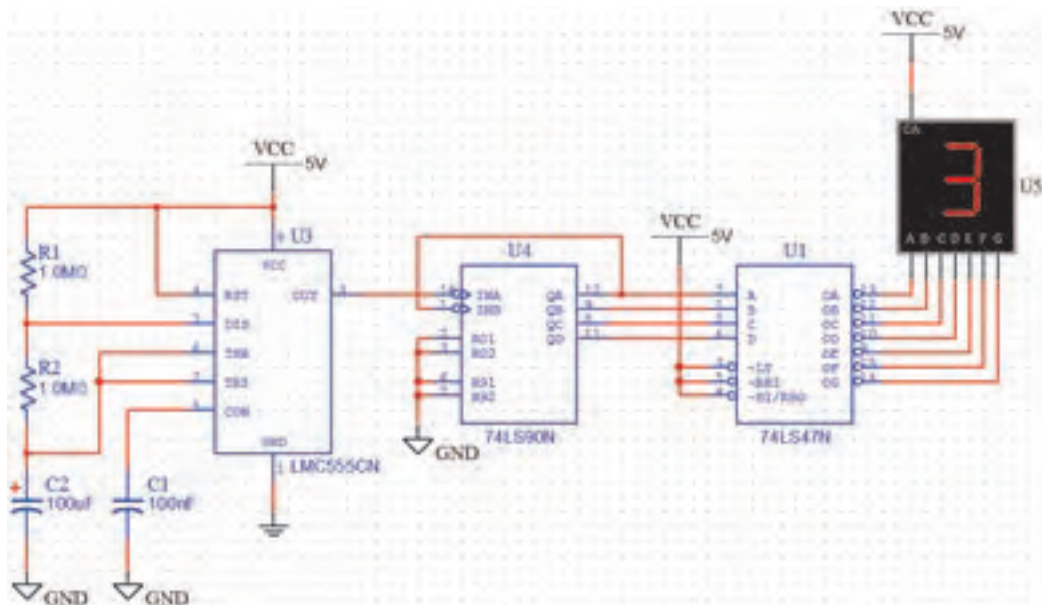
۷- شمارنده شکل ۶-۷۶ چه اعدادی را می‌شمارد؟ توضیح دهید.



شکل ۶-۷۶- مدار سؤال ۷ الگوی پرسش

۶-۶- کار با نرم‌افزار

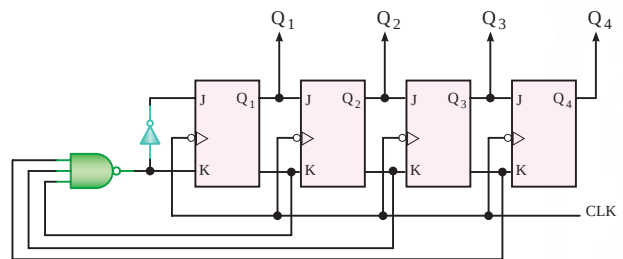
۱- با استفاده از نرم‌افزار مولتی سیم مدار شمارنده صعودی شکل ۶-۷۷ را شبیه‌سازی کنید و شمارش اعداد را مشاهده نمایید. مقدار مقاومت‌های R_1 و R_2 را کاهش دهید سرعت شمارش اعداد چه تغییری می‌کند؟ توضیح دهید.



شکل ۶-۷۷- شمارنده صعودی

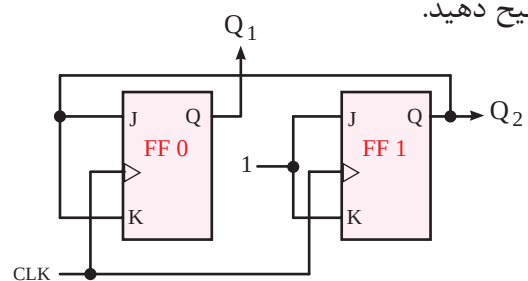
۲- با استفاده از مدار شمارنده شکل ۶-۷۷ شمارنده صعودی دورقمی را به کمک دو عدد آی‌سی ۷۴۹۰، نتیجه را به کلاس ارائه نمایید.

۴- مدار شکل ۶-۷۴ معادل کدام شمارنده (حلقوی یا جانسون) عمل می‌کند؟ دیاگرام زمانی Q_1, Q_2, Q_3 و Q_4 را با حفظ رابطه زمانی نسبت به پالس ساعت CLK رسم کنید.



شکل ۶-۷۴- مدار سؤال ۴ الگوی پرسش

۵- شمارنده شکل ۶-۷۵ چه اعدادی را می‌شمارد؟ توضیح دهید.



شکل ۶-۷۵- مدار سؤال ۵ الگوی پرسش

مدارهای منطقی پیشرفته

هدف کلی: آشنایی با کاربرد تراشه‌ها و مدارهای منطقی پیشرفته در سامانه‌های دیجیتال

کل زمان اختصاص داده شده به فصل: ۱۲ ساعت آموزشی

هدف‌های رفتاری: در پایان این فصل از فراگیرنده انتظار می‌رود که:

- ۱- گیت‌های منطقی قابل برنامه‌نویسی (FPGA) دهد.
- ۲- شمارنده قابل برنامه‌ریزی (آی‌سی ۷۴۱۹۳) را توضیح دهد.
- ۳- واحد محاسبه‌گر (جمع‌گر، تفریق‌گر) در سیستم‌های دیجیتال را به صورت بلوک دیاگرام تشریح کند.
- ۴- بلوک دیاگرام مبدل ساده دیجیتال به آنالوگ (DAC) را شرح دهد.
- ۵- مدار ساده دیجیتال به آنالوگ را توضیح دهد.
- ۶- بلوک دیاگرام ساده مبدل آنالوگ به دیجیتال (ADC) را شرح دهد.
- ۷- تراشه مبدل آنالوگ به دیجیتال ۸ بیتی را توضیح دهد.
- ۸- حافظه را تعریف کند.
- ۹- ذخیره‌سازی بیت، بایت و کلمه را در حافظه‌ها شرح دهد.
- ۱۰- انواع حافظه را توضیح دهد.
- ۱۱- میکروپروسسور را تعریف کند.
- ۱۲- میکرو کنترلر را شرح دهد.
- ۱۳- میکروپروسسور را با میکروکنترلر مقایسه کند.
- ۱۴- مینی‌م سیستم را تعریف کند.
- ۱۵- کلیه هدف‌های رفتاری در حیطه عاطفی را که در فصل اول آمده است را باید در این فصل نیز مورد توجه قرار دهد.
- ۱۶- به سؤال‌های الگوی پرسش، پاسخ دهد.

7 0 1 1 1 D I G I T A L 7

FPGA: Field Programmable Gate Array	آی‌سی قابل برنامه‌ریزی	PROM: Programmable ROM	حافظه ROM قابل برنامه‌ریزی
Word	کلمه	EPROM: Erasable PROM	حافظه PROM قابل پاک کردن
BUS	خطوط موازی گذرگاه داده	EEPROM: Electronic Erasable PROM	PROM قابل پاک کردن با جریان الکتریسیته
RAM: Random Access Memory	حافظه با دسترسی تصادفی	A/D: Analog to Digital	مبدل آنالوگ به دیجیتال
ROM: Read Only Memory	حافظه فقط خواندنی	D/A: Digital to Analog	مبدل دیجیتال به آنالوگ
Chip Select	تراشه گزین	Memory	حافظه

واژه‌های بنیادی فصل هفتم

پیش‌گفتار

یعنی حافظه دستیابی به‌طور تصادفی قابل استفاده است که سرعت مناسبی هم دارد.

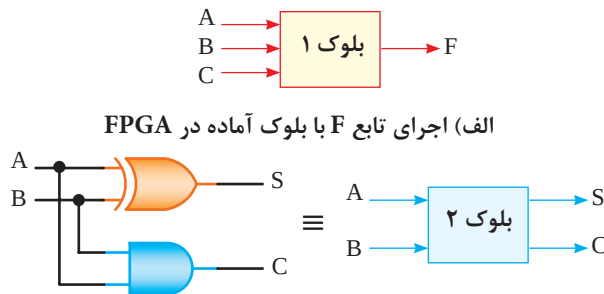
اطلاعات ذخیره‌شده در FPGA به صورت یک برنامه کامل در داخل حافظه PROM یعنی حافظه قابل برنامه‌ریزی (Programmable ROM) قرار می‌گیرد. لذا در هنگام قطع برق این اطلاعات محفوظ می‌ماند و در هنگام پیاده‌سازی، مدارهای دیجیتالی دوباره در دسترس قرار دارد.

حافظه‌های ROM, RAM و PROM را در بخش‌های بعدی تشریح خواهیم کرد.

همان‌طور که اشاره شد یکی از کاربردهای تراشه FPGA طراحی مدارهای دیجیتالی است.

به‌عنوان مثال می‌توانید یک تابع مانند F یا مدار یک جمع‌گر ناقص را با استفاده از بلوک آماده موجود در FPGA طراحی کنید. در شکل ۷-۱ الف و ب، یک نمونه از این نوع بلوک‌ها نشان داده شده است.

$$F=AC+AB+BC$$



الف) اجرای تابع F با بلوک آماده در FPGA

ب) اجرای مدار جمع‌گر ناقص با بلوک آماده در FPGA

شکل ۷-۱- کاربرد بلوک‌های موجود در FPGA

مدار شکل ۷-۲ که یک مدار تایمر LCD است را می‌توانید با استفاده از تراشه FPGA طراحی کنید.



نکته مهم: در بلوک دیاگرام تایمر هدف کاربرد مدارها در یک مدار عملی است. از این بلوک دیاگرام در طراحی سؤال استفاده نشود.

تراشه FPGA یک تراشه قابل برنامه‌ریزی الکترونیکی است. در این تراشه می‌توانیم مدارهای دیجیتالی پیچیده و وسیع را در حجم کم و سرعت بالا برنامه‌ریزی و پردازش کنیم. از ویژگی‌های FPGA قابلیت اصلاح مدارها، پاک کردن و دوباره برنامه‌ریزی کردن آن است. این تراشه به‌وسیله نرم‌افزارهای رایج برنامه‌ریزی می‌شود و برای پیاده‌سازی مدارهای دیجیتال به کار می‌رود. با تراشه FPGA می‌توان مدارهای ترکیبی دیجیتالی مانند مالتی‌پلکسر، جمع‌کننده، تفریق‌کننده، ضرب‌کننده، شمارنده‌های قابل برنامه‌ریزی و مدارهای کنترل‌کننده دیجیتالی را طراحی کرد.

هم‌چنین انتقال داده‌ها یعنی انتقال علائم صفر و یک منطقی در سیستم‌های مخابراتی از طریق تراشه‌های FPGA امکان‌پذیر است.

۷-۱- تراشه

FPGA (Field Programmable Gate Array)

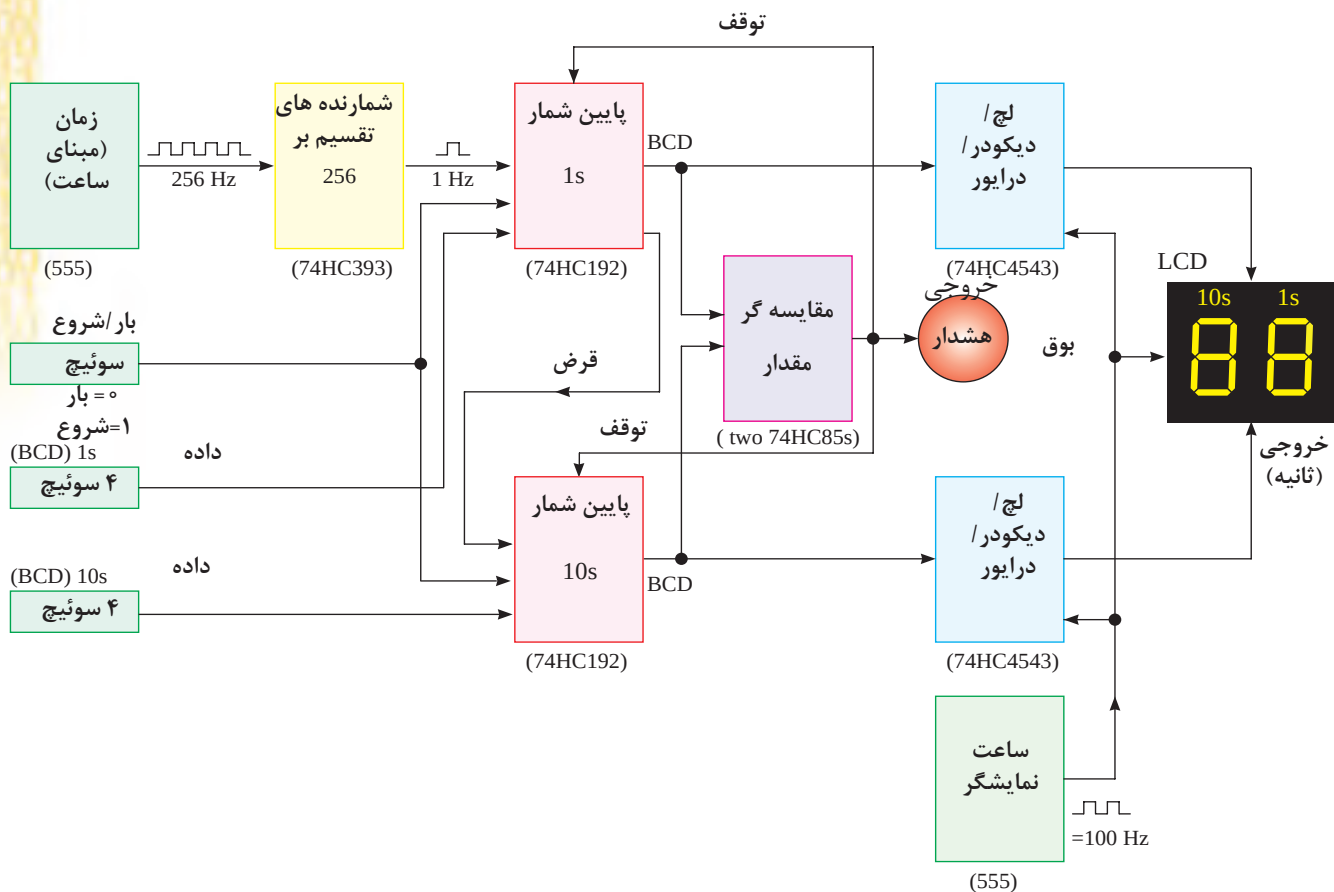
(آرایه‌های گیت‌های منطقی قابل برنامه‌ریزی):

ساختار داخلی FPGA شامل بلوک‌های منطقی (LogicBlock) و بلوک‌های ورودی و خروجی (Bolck Output/Input) است.

در بلوک‌های منطقی FPGA تعداد زیادی گیت‌های منطقی وجود دارد که با برنامه‌ریزی از طریق نرم‌افزار مورد استفاده قرار می‌گیرد.

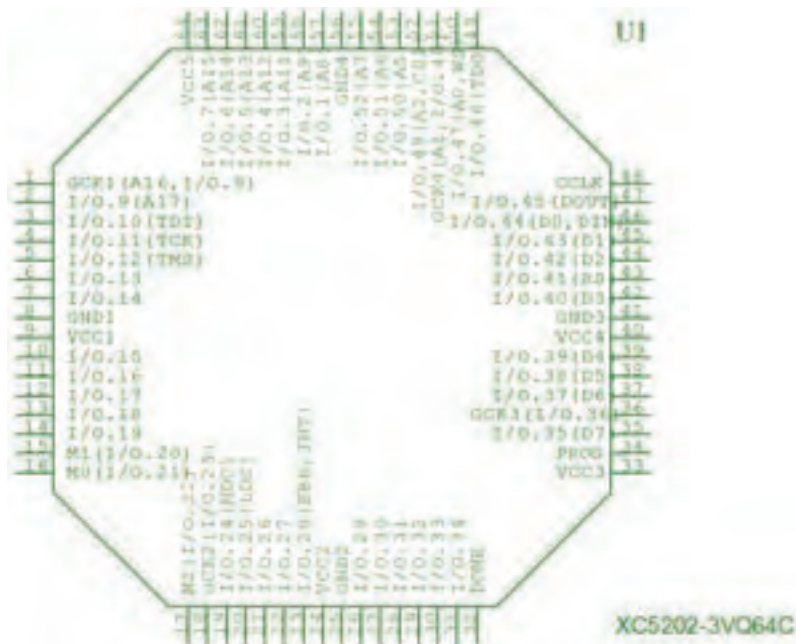
مثلاً در تراشه سری DS۰۹۹، DS۳۱۲ یا DS۱۶۲ حدود ۷۰۰۰۰ تا ۸۰۰۰۰ گیت منطقی قرار دارد که به وسیله آن‌ها می‌توانید توابع منطقی بسیار پیچیده را پیاده‌سازی و اجرا کنید و در نهایت به طراحی مدارهای کنترل دیجیتالی برسید. عملیات ریاضی جمع و ضرب در حجم زیاد نیز به وسیله FPGA امکان‌پذیر است.

FPGA به‌صورت یک حافظه ROM (Read Only Memory) و حافظه فقط خواندنی یا حافظه RAM (Random Access Memory)



شکل ۲-۷. نمودار بلوکی مشروح یک تایمر LCD عملی

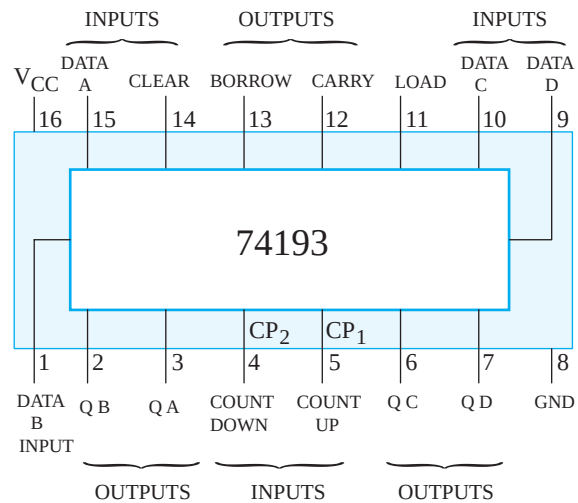
در شکل ۳-۷ یک نمونه تراشه FPGA را به شماره فنی XC5202-3VQ64C نشان داده شده است.



شکل ۳-۷. یک نمونه تراشه FPGA

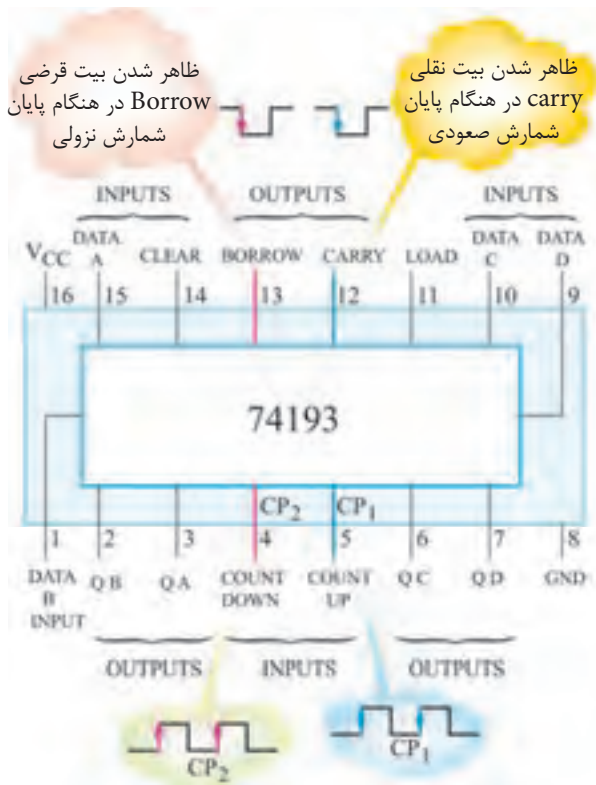
۷-۲- شمارنده قابل برنامه‌ریزی

مدار شمارنده‌هایی را که تاکنون مورد مطالعه قرار دادیم، می‌تواند فقط شمارش صعودی، نزولی یا به طور مجزا را اجرا کند. اما تراشه‌هایی هم وجود دارند که می‌توانند عمل شمارش را در یک مدار توأم به صورت صعودی و به صورت نزولی انجام دهند. یکی از رایج‌ترین این آی‌سی‌ها، آی‌سی ۷۴۱۹۳ TTL است. در شکل ۷-۴ نمودار بلوکی و پایه‌های آن را مشاهده می‌کنید.



شکل ۷-۴- تراشه ۷۴۱۹۳ شمارنده قابل برنامه‌ریزی

یکی از مزیت‌های مهم این شمارنده این است که اگر پالس ساعت به پایه ورودی تعیین‌کننده شمارش صعودی (cp_1 - up count) وارد شود، آی‌سی عمل شمارش را از پایین به بالا انجام می‌دهد. همچنین، اگر پالس ساعت به ورودی پایین شمارش (cp_2 - down count) داده شود، عمل شمارش معکوس می‌شود و از بالا به پایین می‌شمارد. عمل شمارش به صورت افزایشی یا کاهش‌ی در لبه بالا رونده پالس ساعت صورت می‌گیرد. در زمان شمارش صعودی هرگاه به عدد پایانی ۱۵ برسد، پالس با لبه پایین رونده در پایه خروجی carry ایجاد می‌کند. همچنین در شمارش نزولی، در هنگامی که به عدد پایانی صفر می‌رسد، یک پالس پایین رونده در پایه خروجی Borrow به وجود می‌آورد. در شکل ۷-۵ سیگنال پالس ساعت به ورودی‌های CP_1 و CP_2 را نشان می‌دهد.

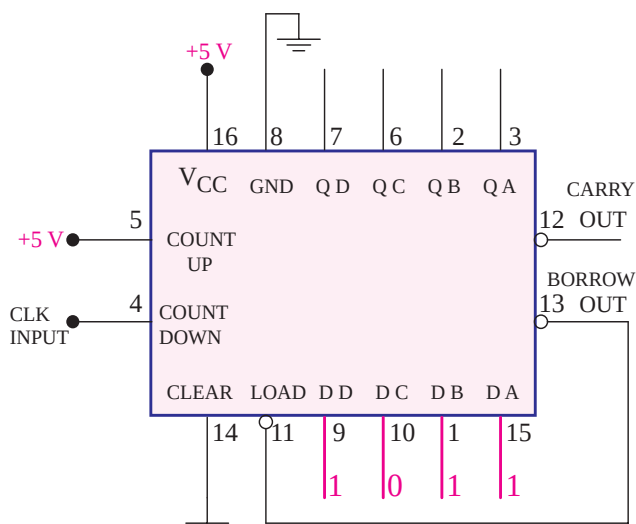
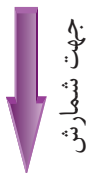


شکل ۷-۵- با اعمال پالس ساعت به پایه ۴ یا ۵ عمل شمارش نزولی یا صعودی صورت می‌گیرد.

این آی‌سی قابلیت برنامه‌ریزی عمل شمارش را از یک عدد خاص نیز دارد. این عمل با فعال کردن پایه Load انجام می‌شود. به این ترتیب که هرگاه یک عدد باینری چهاربیتی روی پایه‌های (Data - A تا D) داده، قرار گیرد و به طور هم‌زمان پایه Load (پایه ۱۱) فعال شود، عمل شمارش از آن عدد به بالا یا پایین شروع می‌شود. در شکل ۷-۶ عدد ورودی ۱۰۱۱ به شمارنده را نشان می‌دهد که به صورت کاهشی از عدد ۱۰۱۱ (بازده دسی‌مال) تا ۰۰۰۰ (صفر دسی‌مال) را می‌شمارد. در این حالت پایه Load با سطح منطقی صفر فعال می‌شود. از این خاصیت آی‌سی برای مدارهای کنترل دیجیتال مانند نمایشگر امتیازات در مسابقات ورزشی، مشخص کردن شماره کانال‌های رادیویی در دستگاه‌های صوتی و تصویری و تعیین تعداد ورود و خروج افراد از درهای ورودی و خروجی امکان استفاده می‌شود.

جدول ۷-۱- جدول شمارش مربوط به شکل ۷-۶

8	4	2	1	
Q_3	Q_2	Q_1	Q_0	Decimal
1	0	1	1	11
1	0	1	0	10
1	0	0	1	9
1	0	0	0	8
0	1	1	1	7
0	1	1	0	6
0	1	0	1	5
0	1	0	0	4
0	0	1	1	3
0	0	1	0	2
0	0	0	1	1
0	0	0	0	0



شکل ۷-۶- اعمال عدد باینری ۱۱۰۱۱ (۱۱ دسی مال) جهت شمارش معکوس به شمارنده

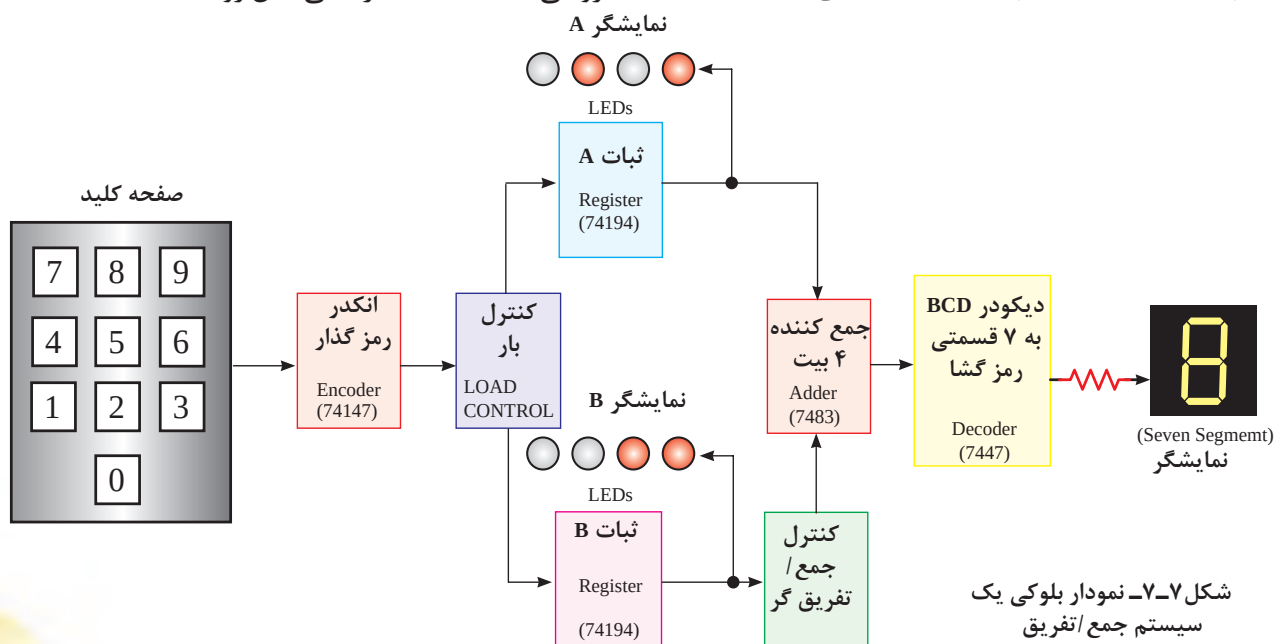
جدول ۷-۱- جدول صحت این شمارش را نشان می‌دهد.

صفحه کلید وارد می‌کنیم. این اعداد توسط بلوک رمزگذار ۷۴۱۴۷ به عدد دودویی تبدیل می‌شود. بلوک کنترل بار (Load) اجازه ثبت عدد x را در ثبات A (آی‌سی ۷۴۱۹۴) و عدد y را در ثبات B (آی‌سی ۷۴۱۹۴) می‌دهد. برای اجرای عملیات جمع یا تفریق، بلوک کنترل جمع‌گر یا تفریق‌گر تنظیم می‌شود. نتیجه عملیات ریاضی، حاصل جمع یا حاصل تفریق دو عدد x و y است که توسط بلوک رمزگشای BCD به دهدهی تبدیل می‌شود و در نمایشگر خروجی نتیجه عملیات ریاضی قابل رویت است.

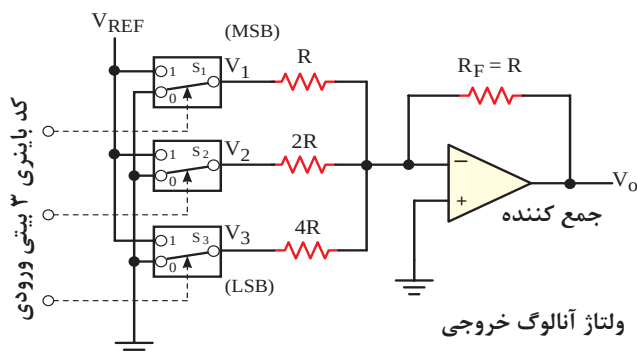
۷-۳- واحد محاسبه‌گر

هدف از ارائه این مطلب آشنایی با مدارهای منطقی شامل عناصر منطقی ترکیبی و عناصر ترتیبی است که برای ساخت واحد محاسبه در سیستم‌های دیجیتالی (مانند ماشین حساب) به کار می‌رود.

در شکل ۷-۷ بلوک دیاگرام ساده سیستم جمع و تفریق چهار بیتی نشان داده شده است. در این سیستم می‌خواهیم ابتدا عدد دهدهی x و y را با هم جمع ($x+y$) یا از هم کم (تفریق) ($x-y$) کنیم. ابتدا عدد دهدهی x را به وسیله

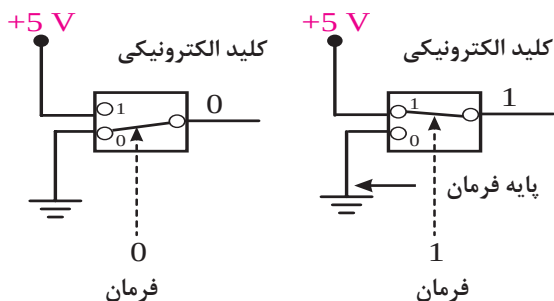


شکل ۷-۷- نمودار بلوکی یک سیستم جمع/تفریق



شکل ۷-۱۰ مدار مبدل دیجیتال به آنالوگ D/A

این کلیدهای الکترونیکی دو وضعیتی هستند و با کد دودویی تغییر حالت می‌دهند، در شکل ۷-۱۱ نحوه تغییر حالت کلیدها نمایش داده شده است.



شکل ۷-۱۱ نحوه تغییر وضعیت کلیدهای الکترونیکی با بیت‌های صفر و یک ورودی که به عنوان سیگنال فرمان اعمال می‌شوند.

نحوه کار مدار بدین ترتیب است که با قرار گرفتن یک کد ۳ بیتی در ورودی مدار، کلیدهای S_1 تا S_3 طبق شکل ۷-۱۲ تغییر وضعیت می‌دهند.

به عنوان مثال اگر عدد باینری «۱۱۱» به ورودی داده شده هر سه کلید S_1 تا S_3 در حالت ۱ قرار می‌گیرند و بنا به رابطه مربوط به مدار جمع‌کننده، ولتاژ خروجی به ۷ ولت می‌رسد.

ولتاژ خروجی V_O از رابطه زیر محاسبه می‌شود.

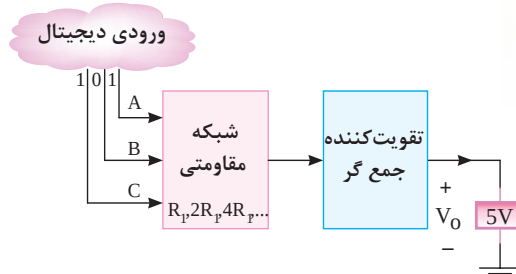
$$V_O = -\left(\frac{R_F}{R} \cdot V_{REF} + \frac{R_F}{2R} \cdot V_{REF} + \frac{R_F}{4R} \cdot V_{REF}\right)$$

$$V_O = -\frac{R_F}{R} \cdot V_{REF} \left(1 + \frac{1}{2} + \frac{1}{4}\right)$$

$$V_{REF} = +4V \Rightarrow V_O = -7V$$

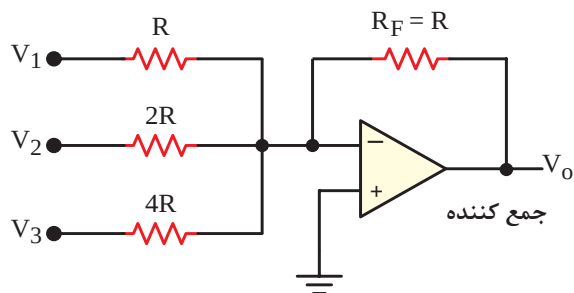
۷-۴ مبدل دیجیتال به آنالوگ D/A (Digital to Analog Converter)

اطلاعات و علائم دیجیتال ذخیره شده در واحدهای حافظه، لازم است توسط یک مدار مبدل «دیجیتال به آنالوگ» بازیابی و به سیگنال آنالوگ تبدیل شوند. در شکل ۷-۸ بلوک دیاگرام مبدل D/A را مشاهده می‌کنید.



شکل ۷-۸ بلوک دیاگرام مبدل D/A

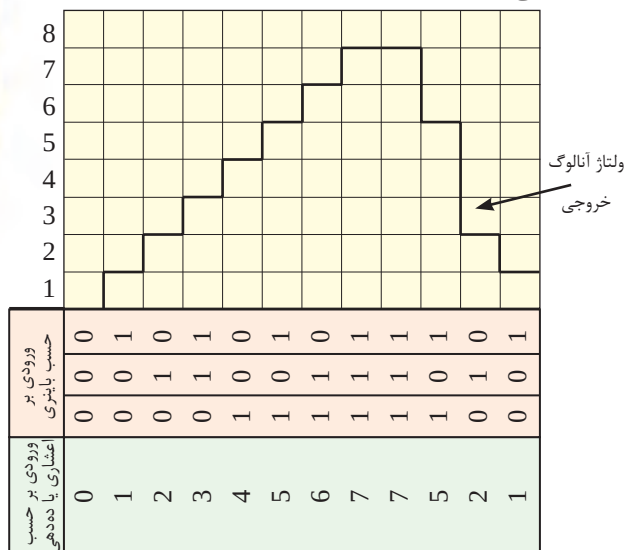
مدار D/A یک جمع‌کننده ولتاژ است که شبکه مقاومتی ورودی آن به صورت مقاومت‌هایی با ضریب ۲ انتخاب می‌شوند. شکل ۷-۹ شبکه مقاومتی را نشان می‌دهد.



شکل ۷-۹ جمع‌کننده ولتاژ با مقاومت‌های ورودی متغیر با ضریب ۲

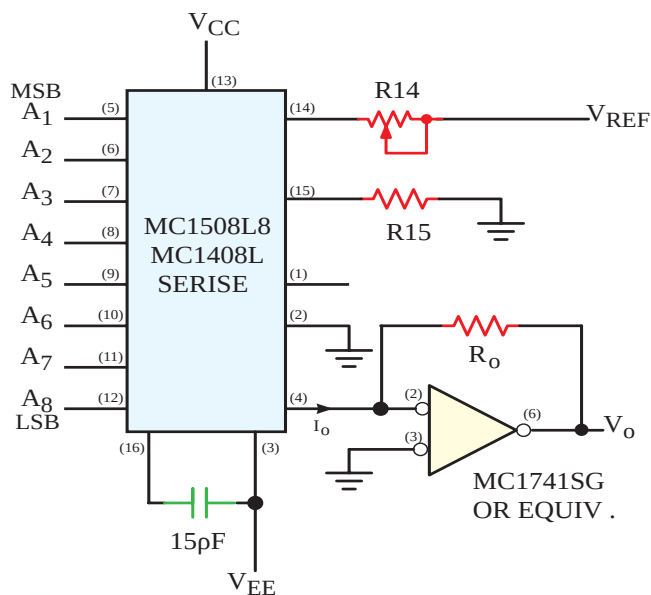
ولتاژهای ورودی جمع‌کننده، V_1 تا V_3 توسط کلیدهای الکترونیکی S_1 تا S_3 که مطابق شکل ۷-۱۰ در ورودی جمع‌کننده قرار دارند تأمین می‌شوند.

کدهای باینری که به ورودی مدار می‌رسد، دامنه ولتاژ خروجی را به مقدار معینی می‌رساند. با قرار گرفتن این ولتاژها در کنار هم در خروجی ولتاژ آنالوگ خروجی ایجاد می‌شود.

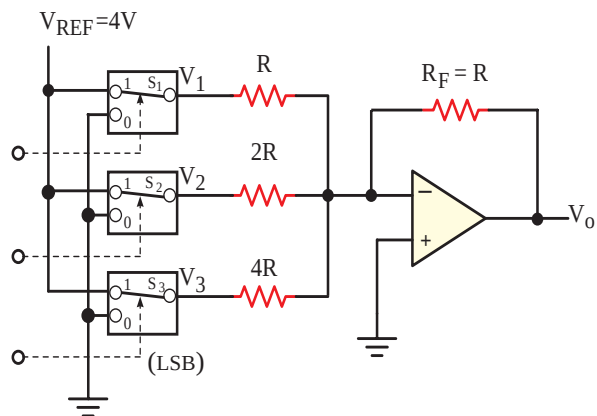


شکل ۷-۱۳ شکل موج خروجی مبدل دیجیتال به آنالوگ

یکی از انواع مبدل‌های دیجیتال به آنالوگ (D/A) تراشه MC1408 است. در شکل ۷-۱۴ بلوک دیاگرام این مبدل را ملاحظه می‌کنید.



شکل ۷-۱۴ بلوک دیاگرام آی سی MC1408 مبدل دیجیتال به آنالوگ D/A



شکل ۷-۱۲ مدار مبدل دیجیتال به آنالوگ در حالتی که هفت باینری به ورودی داده می‌شود.

به عبارت دیگر برای هر عدد سه بیتی باینری ولتاژ معینی در خروجی ظاهر خواهد شد به عنوان مثال: اگر عدد «۰۰۱» به ورودی داده شده، فقط کلید S_3 برابر با «۱» می‌شود و در خروجی مقدار ولتاژ یک ولت را به وجود می‌آورد. هم‌چنین اگر عدد «۱۱۰» به ورودی برسد کلیدهای S_1 و S_2 در حالت یک قرار می‌گیرند. به این ترتیب در خروجی ولتاژی برابر با ۶ ولت ایجاد می‌شود. به این ترتیب می‌توان نتیجه گرفت که به ازای هر عدد باینری ورودی ولتاژ معینی در خروجی ظاهر می‌شود که می‌تواند به عنوان سیگنال آنالوگ مورد استفاده قرار گیرد.

تمرین کلاسی ۷-۱: اعداد باینری «۱۰۱» و «۰۱۱» در ورودی مدار شکل ۷-۱۰ قرار می‌گیرند، وضعیت کلیدهای S_1 تا S_3 را مشخص کنید.

تمرین کلاسی ۷-۲: اگر در ورودی مدار شکل ۷-۱۰ عدد «۱۰۰» قرار گیرد، ولتاژ خروجی V_o چند ولت است؟

در شکل ۷-۱۳ نحوه تبدیل سیگنال باینری به آنالوگ را مشاهده می‌کنید. همان‌طور که می‌بینید هریک از

۷-۵-۱ گام ولتاژ: کمترین افزایش ولتاژ آنالوگ ورودی که در اثر آن به اعداد دودویی خروجی مبدل A/D یک رقم اضافه می‌شود را قدرت تفکیک یا میزان دقت مبدل آنالوگ به دیجیتال می‌گویند. این ولتاژ را گام ولتاژ نیز می‌گویند. به عنوان مثال یک مبدل A/D هشت بیتی که دامنه ولتاژ ورودی $V_{DC} - 1.0$ و تعداد اعداد دودویی آن ۲۵۶ است، باید بتواند اعداد صفر تا ۲۵۵ را از هم تفکیک کند. لذا این مبدل ۸ بیتی باید دارای ۲۵۵ سطح ولتاژی برابر با 0.39% ولت یا ۲۵۵ گام ولتاژ باشد. مقدار گام ولتاژ از رابطه زیر به دست می‌آید.

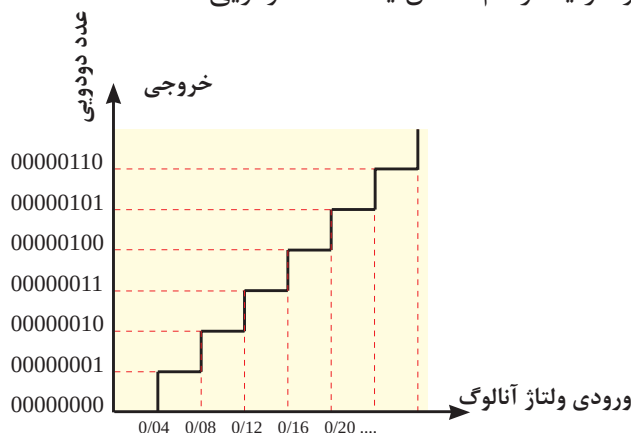
$$\text{سطح ولتاژ هر گام} = \frac{V_{inDC}}{2^n - 1}$$

n = تعداد بیت های خروجی A/D

V_{in} = سطح ولتاژ DC ورودی A/D

$$V = 0.47 \approx 0.39\% = \frac{1}{255} = \frac{1}{2^8 - 1} = \text{سطح ولتاژ هر گام}$$

شکل ۷-۱۶ سطوح گام ولتاژ را نشان می‌دهد که سطح ولتاژ یا هرگام معادل یک عدد دودویی است.



شکل ۷-۱۶- نمایش سطوح یا گام ولتاژ در مبدل آنالوگ به دیجیتال

۷-۵-۲ مدار الکترونیکی مبدل A/D:

مدار الکترونیکی مبدل A/D نسبت به مدار مبدل D/A پیچیده تر است. بلوک دیاگرام یک مبدل آنالوگ به دیجیتال در شکل ۷-۱۷ آمده است.



جهت هنجاریان علاقه‌مند:

heoretical V_0 .

$$I_0 = \frac{V_{REF}}{R_{14}} (R_0) \left\{ \frac{A_1}{2} + \frac{A_2}{4} + \frac{A_3}{8} + \frac{A_4}{16} + \frac{A_5}{32} + \frac{A_6}{64} + \frac{A_7}{128} + \frac{A_8}{256} \right\}$$

ADJUST V_{REF} , R_{14} OR R_0 SO THAT V_0 WITH ALL DIGITAL INPUTS HIGH LEVEL IS EQUAL TO 9.961

$$V_0 = \frac{2V}{K\Omega} (\Delta K\Omega) \left\{ \frac{1}{2} + \frac{1}{4} + \frac{1}{8} + \frac{1}{16} + \frac{1}{32} + \frac{1}{64} + \frac{1}{128} + \frac{1}{256} \right\}$$

$$= 1.0V \left\{ \frac{255}{256} \right\} = 9.961$$

این آی سی ۱۶ پایه دارد و ولتاژهای تغذیه آن $V_{CC} = +5V$ و $V_{EE} = -5V$ است. جریان خروجی این تراشه از پایه ۴ دریافت می‌شود. این جریان را می‌توان توسط یک مبدل، به ولتاژ تبدیل کرد. حداکثر ولتاژ خروجی این آی سی کد هشت بیتی ورودی ۱۱۱۱۱۱۱ برابر با ۹/۹۶۱ ولت است.

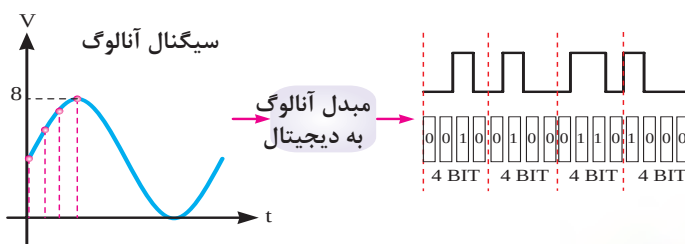


نکته: به خاطر سپردن پایه‌ها و نقش آنها در آی سی مبدل D/A ۱۴۰۸ MC الزامی نیست و در صورت نیاز باید بتوانید آنها را از Data Sheet استخراج کنید.

۷-۵-۳ مبدل آنالوگ به دیجیتال A/D

(Analog to Digital Converter)

به مداری که سیگنال آنالوگ را به دیجیتال تبدیل می‌کند، مبدل آنالوگ به دیجیتال می‌گویند و آن را به صورت A/D نشان می‌دهند. در شکل ۷-۱۵ بلوک دیاگرام ساده مبدل A/D را مشاهده می‌کنید.



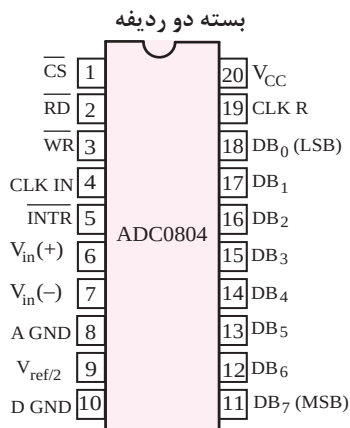
شکل ۷-۱۵- بلوک ساده مبدل آنالوگ به دیجیتال، سیگنال ورودی آنالوگ و سیگنال خروجی کدهای باینری است.

در شکل ۷-۱۷ ولتاژ آنالوگ به ورودی A مدار مقایسه گر ولتاژ اعمال می شود و ولتاژ ورودی از مبدل D/A را کنترل می کند. اگر ولتاژ ورودی آنالوگ در نقطه A بزرگتر از ولتاژ ورودی در نقطه B باشد، در خروجی مقایسه گر یعنی نقطه x عدد یک منطقی حاصل می شود در این لحظه پالس ساعت از گیت AND عبور می کند و اجازه شمارش را به شمارنده می دهد. عمل شمارش آن قدر افزایش می یابد تا ولتاژ فیدبک نقطه B که از مبدل D/A دریافت می شود بزرگتر از ولتاژ آنالوگ ورودی A شود. در این حالت خروجی مدار مقایسه گر (نقطه x) که به گیت AND می رسد برابر با صفر منطقی می شود و اجازه ورود پالس به شمارنده را نمی دهد و شمارش را متوقف می سازد.

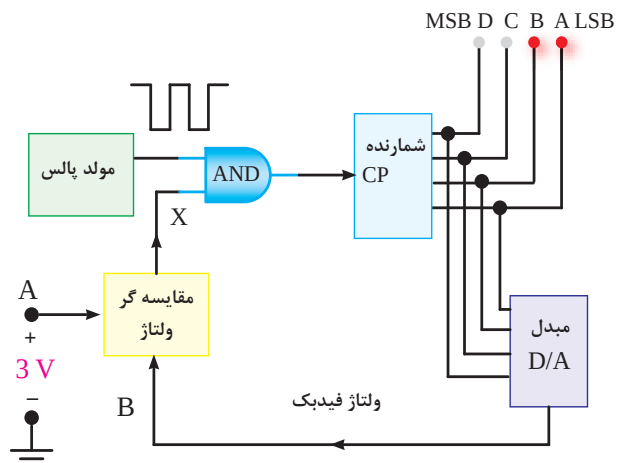
پس از پایان یافتن شمارش، عدد دودویی معادل ولتاژ آنالوگ ورودی در خروجی ظاهر می شود.

مبدل دیجیتال به آنالوگ به صورت تراشه های n بیتی (۸، ۱۲، ۱۶...) به بازار عرضه می شوند.

در شکل ۷-۱۸ آی سی مبدل A/D تجارتی هشت بیتی $ADC0804$ را ملاحظه می کنید. این آی سی یک آی سی مبدل A/D است که در سیستم های دیجیتالی که با میکروپروسسور کنترل می شوند کاربرد وسیع دارند. آی سی $ADC0804$ دارای خروجی باینری است و ورودی ها و خروجی های آن با خانواده های تراشه TTL و CMOS سازگاری دارد.



شکل ۷-۱۸ تراشه $ADC0804$ مبدل آنالوگ به دیجیتال



شکل ۷-۱۷- بلوک دیاگرام مبدل آنالوگ به دیجیتال

همان طور که در شکل ۷-۱۷ مشاهده می کنید، مبدل A/D شامل یک مقایسه گر ولتاژ، یک گیت AND، یک شمارنده دودویی و یک مبدل D/A و مولد پالس ساعت است. چنانچه قدرت تفکیک یا گام ولتاژ یا میزان دقت A/D را $V/2^8$ ولت فرض کنیم، به ازای هر 2^8 افزایش سیگنال آنالوگ ورودی، عدد دودویی خروجی، یک واحد اضافه می شود.

چنانچه ولتاژ ورودی از صفر تا ۳ ولت تغییر کند، می توان هر گام یا سطح ولتاژ آنالوگ ورودی را مطابق جدول ۷-۲ با یک کد چهار بیتی دودویی نشان داد.

جدول ۷-۲- جدول صحت مبدل A/D

پله یا گام	ورودی آنالوگ Volts	خروجی دودویی			
		8s D	4s C	2s B	1s A
1	0	0	0	0	0
2	0.2	0	0	0	1
3	0.4	0	0	1	0
4	0.6	0	0	1	1
5	0.8	0	1	0	0
6	1.0	0	1	0	1
7	1.2	0	1	1	0
8	1.4	0	1	1	1
9	1.6	1	0	0	0
10	1.8	1	0	0	1
11	2.0	1	0	1	0
12	2.2	1	0	1	1
13	2.4	1	1	0	0
14	2.6	1	1	0	1
15	2.8	1	1	1	0
16	3.0	1	1	1	1



جهت هنجاریان علاقه‌مند: به‌خاطر سپردن پایه‌ها و نقش آنها در آی‌سی مبدل A/D و جدول ۷-۳ الزامی نیست و برای اطلاع از آنها می‌توانید به برگه اطلاعات IC مراجعه کنید.

از مزایای دیگر تراشه وجود یک مولد پالس ساعت داخلی است که توسط دو قطعه مقاومت و خازن که به پایه‌های ۴ و ۱۹ اتصال داده می‌شود، فعال می‌شوند. ولتاژ کار آی‌سی $ADC0804$ برابر با $5V$ است و می‌تواند ورودی آنالوگ صفر تا پنج ولت را به اعداد دیجیتالی دودویی تبدیل کند. در جدول ۷-۳ مشخصات این آی‌سی آمده است.

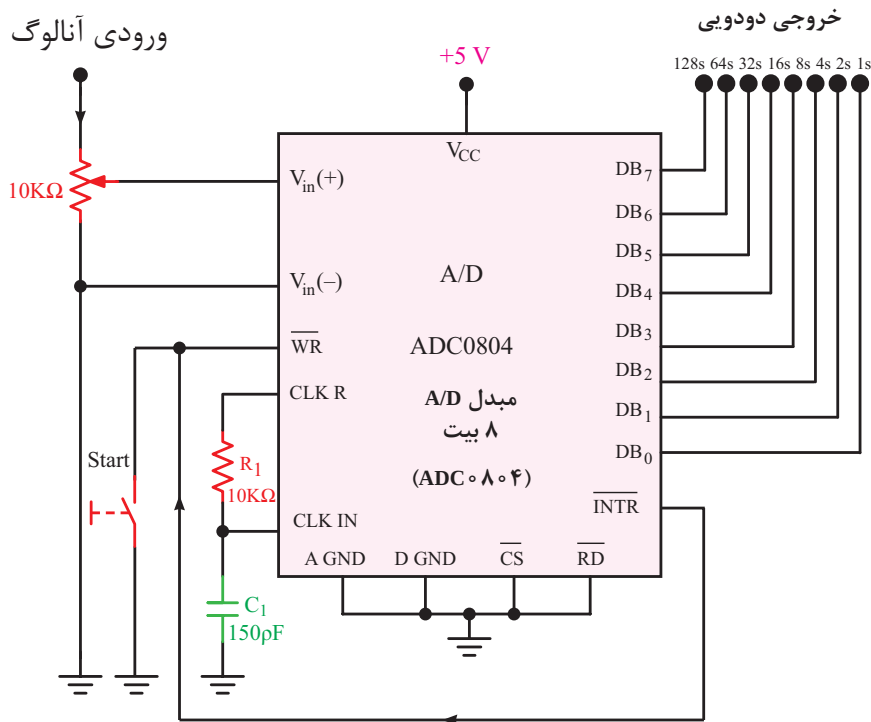
جدول ۷-۳- پایه‌ها و نقش آنها در آی‌سی $ADC0804$

توصیف	ورودی/خروجی یا تغذیه	نماد	شماره پایه
خط انتخاب تراشه از کنترل μP	ورودی	$\overline{CS}$	1
خط خواندن از کنترل μP	ورودی	$\overline{RD}$	2
خط نوشتن از کنترل μP	ورودی	$\overline{WR}$	3
ساعت	ورودی	CLK IN	4
خط وقفه به ورودی وقفه μP می‌رود	تغذیه	$\overline{INTR}$	5
ولتاژ آنالوگ (ورودی مثبت)	ورودی	$V_{in}(+)$	6
ولتاژ آنالوگ (ورودی منفی)	ورودی	$V_{in}(-)$	7
زمین آنالوگ	خروجی	AGND	8
مرجع ولتاژ ثانویه	ورودی	$V_{ref}/2$	9
زمین دیجیتال	تغذیه	D GND	10
خروجی داده MSB	خروجی	DB ₇	11
خروجی داده	خروجی	DB ₆	12
خروجی داده	خروجی	DB ₅	13
خروجی داده	خروجی	DB ₄	14
خروجی داده	خروجی	DB ₃	15
خروجی داده	خروجی	DB ₂	16
خروجی داده	خروجی	DB ₁	17
خروجی داده LSB	خروجی	DB ₀	18
اتصال مقاومت ورودی برای ساعت	ورودی	CLK R	19
تغذیه $5-V$ مثبت و ولتاژ اصلی مرجع	تغذیه	$V_{CC or (ref)}$	20

شده‌اند تولید می‌شود. داده‌های خروجی را می‌توان از پایه‌های DB_0 تا DB_7 دریافت کرد و از طریق روشن شدن هشت LED صحت عملکرد مدار را مشاهده نمود. کلید Start جهت راه‌اندازی مدار و پتانسیومتر به عنوان تغییر دهنده ولتاژ ورودی عمل می‌کنند.

با استفاده از مدار شکل ۷-۱۹ می‌توانید آی‌سی $ADC0804$ را آزمایش کنید و صحت عملکرد آن را به تأیید برسانید.

پالس ساعت داخلی با استفاده از مقاومت R_1 و خازن C_1 که به پایه ۱۹ (CLKR) و پایه ۴ (CLKIN) متصل



شکل ۱۹-۷. نمودار سیم‌بندی برای تست آی‌سی مبدل $ADC = ۸ \times ۴$

شکل ۲۰-۷. حافظه مانند خانه‌هایی است که ارقام باینری ۰ و ۱ را در خود ذخیره می‌کند.

شکل ۲۰-۷. حافظه مانند خانه‌هایی است که ارقام باینری ۰ و ۱ را در خود ذخیره می‌کند.

۲-۶-۷- بایت (Byte): هر داده از هر نوعی که باشد (رقم، حرف و یا غیره) به صورت ترکیبی از صفرها و یک‌ها کدبندی می‌شود. معمولاً داده‌ها در دسته‌های ۸ تایی سازماندهی می‌شوند. به هر ۸ بیت یک بایت گویند.

هر بایت 2^8 یا ۲۵۶ ترکیب مختلف از صفرها و یک‌ها را ایجاد می‌کند. در شکل ۲۱-۷ دو نوع ترکیب بایت نشان داده شده است.

یک ترکیب ۸ بیتی

0	1	1	1	0	1	1	0
---	---	---	---	---	---	---	---

یک ترکیب دیگر ۸ بیتی

1	1	0	1	0	0	0	1
---	---	---	---	---	---	---	---

شکل ۲۱-۷. دو ترکیب متفاوت که شامل ۸ بیت (یک بایت) است.



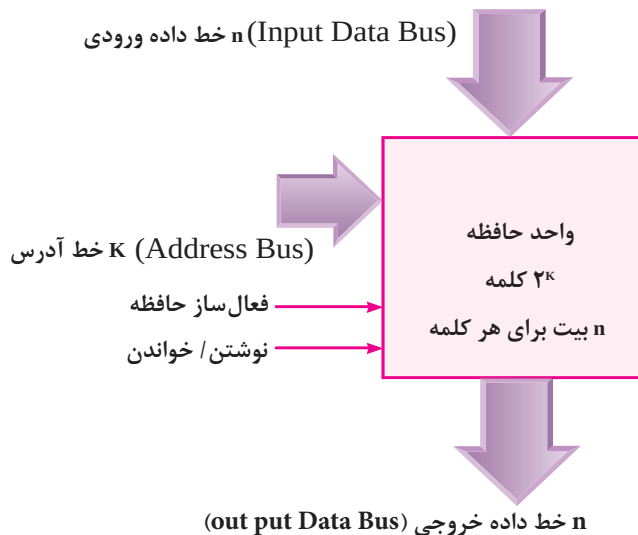
جهت هنجاریان علاقه‌مند: با استفاده از سایت‌های مرتبط، کاتالوگ و مشخصات چندین تراشه D/A و A/D را جستجو کنید و برای معرفی به سایر هنجاریان به کلاس ارائه کنید.

۶-۷- بررسی انواع آی‌سی‌های حافظه

۱-۶-۷- تعریف حافظه و بیت (Bit):

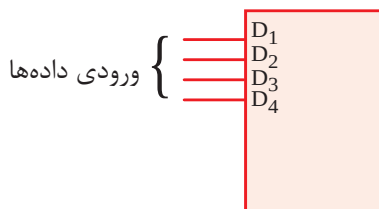
حافظه مجموعه‌ای از سلول‌ها است که برای ذخیره اطلاعات (داده) به کار می‌رود. معمولاً در حافظه‌ها مدارهایی برای انتقال اطلاعات نیز وجود دارد. واحد حافظه، اطلاعات را به صورت ارقام باینری ۰ و ۱ در خود ذخیره می‌کند.

شکل ۲۰-۷ حافظه را مانند خانه‌هایی نشان می‌دهد که صفر و یک را در خود ذخیره می‌کند. به هر «۰» یا «۱» یک بیت گفته می‌شود.



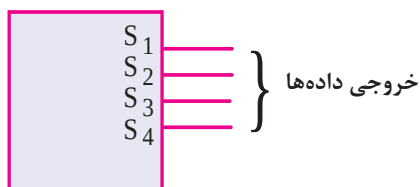
شکل ۷-۲۳- بلوک دیاگرام یک واحد حافظه

۷-۶-۶- ورودی: n خط ورودی، اطلاعاتی (داده‌هایی) را که باید در حافظه ذخیره شود در ورودی حافظه قرار می‌دهد (شکل ۷-۲۴).



شکل ۷-۲۴- چهار خط ورودی داده‌ها

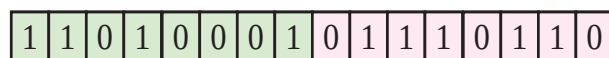
۷-۶-۷- خروجی: n خط خروجی اطلاعات (داده‌ها) را به خارج از حافظه انتقال می‌دهد. شکل ۷-۲۵ خط‌های خروجی را نشان می‌دهد.



شکل ۷-۲۵- خط‌های خروجی داده‌ها

۷-۶-۸- آدرس: تعداد k خط آدرس، کلمه مشخصی را از بین کلمات متعدد موجود در حافظه انتخاب می‌کند.

۷-۶-۳- کلمه (Word): گاهی در حافظه‌ها کلمه به جای بایت سازمان دهی می‌شود. هر کلمه نسبت به بایت از تعداد بیشتری بیت درست شده است. کلمه معمولاً ضربی از بایت است. مثلاً کلمه ۲ بایتی از ۱۶ بیت و کلمه ۴ بایتی از ۳۲ بیت تشکیل شده است. پس کلمه نشان‌دهنده گروه کوچکی از داده‌ها است. شکل ۷-۲۲ یک کلمه دوبایتی را نشان می‌دهد.



شکل ۷-۲۲- یک کلمه دوبایتی

۷-۶-۴- ظرفیت حافظه: ظرفیت هر حافظه معمولاً به مجموع تعداد بایت‌های آن حافظه گفته می‌شود. حجم حافظه‌ها معمولاً ضربی از $2^{10} = 1024$ بایت است و در جدول ۷-۴ انواع واحدهای متداول برای حافظه‌ها را مشاهده می‌کنید.

جدول ۷-۴- انواع واحدهای متداول برای ظرفیت حافظه‌ها

بایت 2^{10}	1024B=1KB	کیلو بایت
بایت 2^{20}	1024KB=1MB	مگا بایت
بایت 2^{30}	1024MB=1GB	گیگا بایت
بایت 2^{40}	1024GB=1TB	ترا بایت

۷-۶-۵- ارتباط بین حافظه‌ها و مدارهای خارجی: ارتباط بین حافظه با دستگاه‌ها و مدارهای خارجی از طریق خطوط داده ورودی، خطوط داده خروجی، خطوط آدرس و خطوط کنترل انجام می‌شود. در شکل ۷-۲۳ بلوک دیاگرام یک واحد حافظه نشان داده شده است. در این شکل برای جلوگیری از رسم تعداد زیاد خط، به جای n خط موازی فقط یک خط ضخیم به نام گذرگاه Bus رسم شده است.

داده‌ها در حافظه نوشته می‌شوند. در صورتی که $WE=1$ باشد عمل خواندن از حافظه انجام می‌شود. برای مثال حافظه‌ای با ظرفیت یک کیلوبایت کلمه ۱۶ بیتی را در نظر می‌گیریم. این حافظه به صورت $1K \times 16$ یا 1024×16 بیت نشان داده می‌شود. این حافظه را همراه با آدرس هر کلمه می‌توان مطابق شکل ۷-۲۹ نشان داد. در شکل فقط سه کلمه اول و سه کلمه آخر نوشته شده است.

آدرس حافظه ده‌دهی دودویی		محتوای حافظه ۱۶ بیتی
00000000	0	1011010101011011
00000001	1	1000010101011011
00000010	2	1100010111111011
....		
....		
....		
11111101	1021	1000010101111111
11111110	1022	1011010101011011
11111111	1023	1011100100011000

شکل ۷-۲۹- محتوای حافظه 1024×16 بیتی

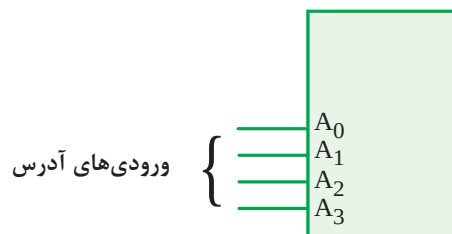
۷-۷- انواع حافظه

حافظه‌ها بر اساس نحوه ذخیره‌سازی اطلاعات و چگونگی دسترسی به آنها به انواع مختلف تقسیم بندی می‌شوند.

۷-۷-۱- حافظه با دسترسی تصادفی یا

RAM (Random Access Memory): این حافظه یک نوع حافظه موقتی برای نگه‌داری اطلاعات و داده‌ها است. چون دسترسی به داده موجود در این حافظه به محل قرارگرفتن آن بستگی ندارد و اصولاً می‌توان به هر سلول حافظه، در هر محل تصادفی در حافظه دسترسی داشت، به این نوع حافظه، حافظه با دسترسی تصادفی (RAM) می‌گویند. شکل ۷-۳۰ چند نمونه RAM را نشان می‌دهد. اطلاعات ذخیره‌شده در RAM پاک شدنی است و پس از پاک کردن RAM می‌توان داده‌های جدیدی را در آن

بنابراین باید برای انتخاب هر کلمه در داخل حافظه، یک آدرس k بیتی در خطوط آدرس وجود داشته باشد. یک رمزگشا در داخل حافظه، این آدرس را به عنوان ورودی دریافت می‌کند و مسیرهای لازم را برای کلمه موردنظر باز می‌کند. شکل ۷-۲۶ چهار خط آدرس را نشان می‌دهد.



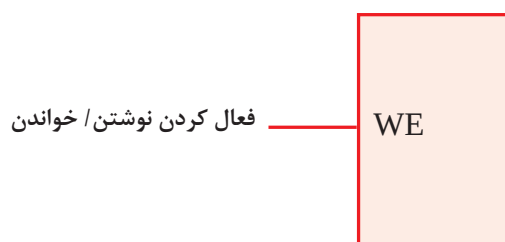
شکل ۷-۲۶- چهار بیت آدرس یکی از $2^4=16$ کلمه حافظه را انتخاب می‌کنند.

۷-۶-۹- خطوط کنترلی: خطوط کنترلی جهت

انتقال اطلاعات به کار می‌روند. خطوط کنترل مربوط به نوشتن اطلاعات برای انتقال اطلاعات به حافظه به کار می‌روند. خطوط کنترل مربوط به خواندن، اطلاعات را از حافظه می‌خوانند و خارج می‌کنند. شکل ۷-۲۷ و ۷-۲۸ نمونه‌ای از خطوط کنترل حافظه را نشان می‌دهد.

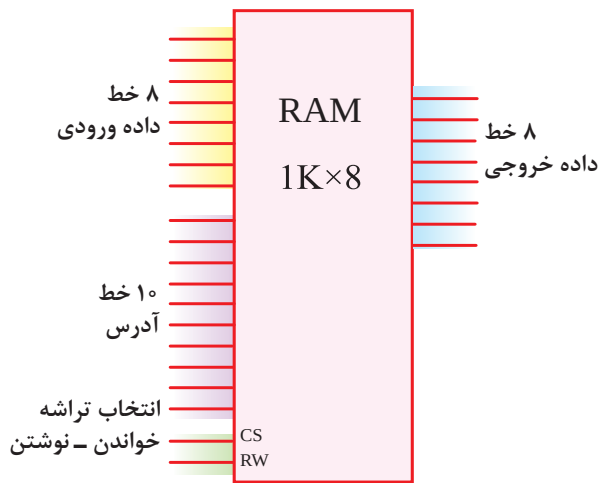


شکل ۷-۲۷- فعال ساز حافظه یک خط کنترل است.



شکل ۷-۲۸- فعال ساز خواندن یا نوشتن حافظه

ME (Memory Enable) خط کنترل فعال ساز حافظه است و WE (Write and Read Enable) جهت نوشتن یا خواندن حافظه به کار می‌رود. مثلاً اگر $WE=0$ باشد



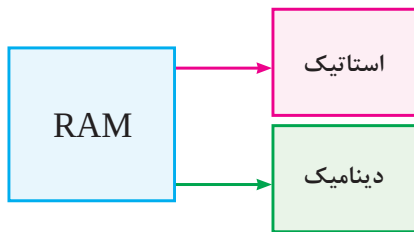
جایگزین کرد. به عبارت دیگر RAM تابلویی است که می‌توان بارها روی آن نوشت و پاک کرد. با قطع برق تمام محتوای این حافظه از بین می‌رود. به همین جهت این نوع حافظه را حافظه موقتی می‌نامند.



شکل ۷-۳۰- آی‌سی‌های RAM در یک کامپیوتر

شکل ۷-۳۲- خطوط ورودی و خروجی و کنترل در یک RAM

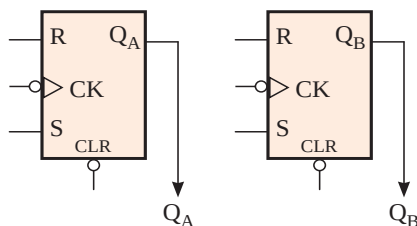
حافظه RAM به دو شکل استاتیک و دینامیک موجود است. در نمای بلوکی شکل ۷-۳۳ انواع RAM نشان داده شده است.



شکل ۷-۳۳- انواع RAM

۷-۷-۲- RAM استاتیک: در RAM استاتیک

مانند شکل ۷-۳۴ از فلیپ‌فلاپ برای ذخیره اطلاعات دو دویی استفاده می‌شود. این نوع RAM تا زمانی که ولتاژ تغذیه به آن وصل است اطلاعات را نگه می‌دارد ولی با قطع ولتاژ تغذیه اطلاعات آن پاک می‌شود و از بین می‌رود. کار با حافظه RAM استاتیک آسان و زمان خواندن و نوشتن در آن کوتاه است. مزایای RAM استاتیک در بلوک دیاگرام شکل ۷-۳۵ نشان داده شده است.

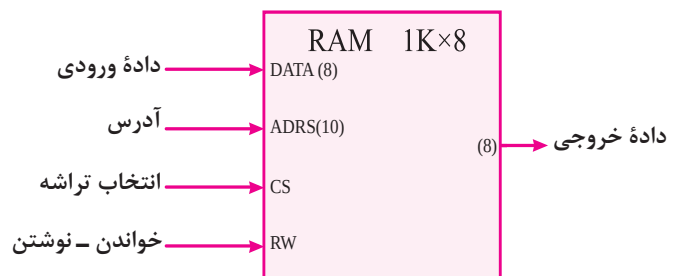


شکل ۷-۳۴- نماد بلوکی مدار فلیپ‌فلاپ

شکل ۷-۳۱- نماد بلوکی یک تراشه RAM را نشان می‌دهد.

ظرفیت این حافظه ۱۰۲۴ کلمه و هر کلمه دارای ۸ بیت است.

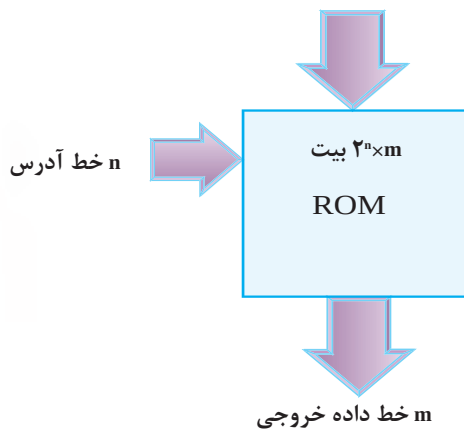
برای ۱۰۲۴ کلمه به ۱۰ خط آدرس نیاز است. داده‌های ورودی ۸ خط و داده‌های خروجی نیز ۸ خط دارد. خطوط ورودی، آدرس و خروجی در دیاگرام شکل ۷-۳۱ برای اختصار با یک خط نشان داده شده است.



شکل ۷-۳۱- نماد بلوکی تراشه یک حافظه RAM

در شکل ۷-۳۲ تعداد دقیق خطوط ورودی و خروجی این RAM را مشاهده می‌کنید. خط CS (Chip Select) یا خط انتخاب کننده تراشه، حافظه خاصی را در داخل RAM انتخاب می‌کند. خط R/W (Read/Write) ورودی خواندن و نوشتن است. خط R/W خواندن یا نوشتن اطلاعات را مشخص می‌کند.

اطلاعات نوشته شده روی آن را پاک کرد. در شکل ۷-۳۷ بلوک دیاگرام یک حافظه ROM که توسط کارخانه سازنده برنامه ریزی شده است را ملاحظه می کند.



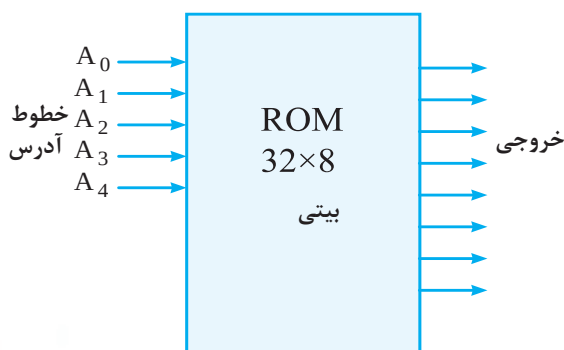
شکل ۷-۳۷ بلوک دیاگرام یک حافظه ROM



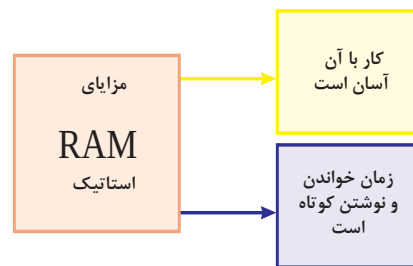
نکته:

n بیت در ورودی را آدرس (Add) می نامند. m بیت موجود در خروجی یک کلمه (داده، دیتا) است. اندازه حافظه ROM به وسیله 2^n کلمه که هر کلمه m بیت است مشخص می شود.

شکل ۷-۳۸ یک ROM با حافظه 32×8 بیتی را نشان می دهد. این حافظه دارای $2^5 = 32$ کلمه است و هر کلمه آن هشت بیت دارد که در ۸ خط خروجی قرار می گیرد. ۵ خط یا آدرس در ورودی ROM وجود دارد.



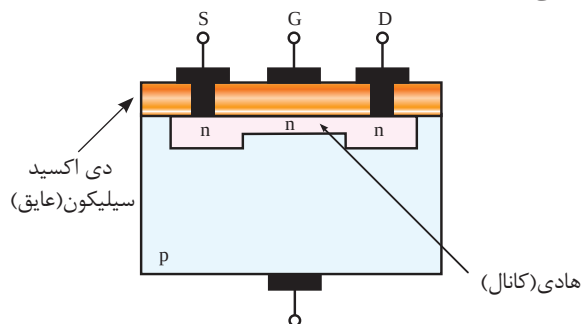
شکل ۷-۳۸ بلوک دیاگرام ROM با حافظه 32×8 بیتی



شکل ۷-۳۵ مزایای RAM استاتیک

۷-۷-۳ RAM دینامیک: در حافظه RAM دینامیک

اطلاعات دودویی به صورت شارژ الکتریکی در خازن ترانزیستور یا MOSFET ذخیره می شود. شکل ۷-۳۶ ساختمان داخلی MOSFET را نشان می دهد. چون انرژی ذخیره شده در خازن به مرور از بین می رود باید هر چند میلی ثانیه، شارژ آن را بازسازی کرد. از مزایای RAM دینامیک مصرف توان کم و تعداد زیاد سلول حافظه در یک تراشه را می توان نام برد. در RAM دینامیک نیز با قطع برق و ولتاژ تغذیه، اطلاعات آن پاک می شود و از بین می رود.



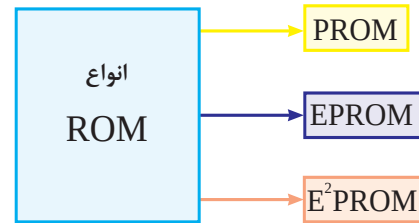
شکل ۷-۳۶ ساختمان داخلی دو هادی و یک عایق تشکیل خازن را می دهند.

۷-۷-۴ حافظه فقط خواندنی

ROM (Read Only Memory): این حافظه برای

ذخیره دائمی اطلاعات دودویی به کار می رود. محتوای این حافظه ثابت و غیر قابل تغییر است. خاموش کردن دستگاه یا قطع برق هیچ تأثیری بر اطلاعات موجود در این نوع حافظه ROM ندارد. اطلاعات این حافظه توسط شرکت سازنده در آن قرار می گیرد. بنابراین ROM را می توان مانند کاغذی تایپ شده در نظر گرفت که به طور عادی نمی توان

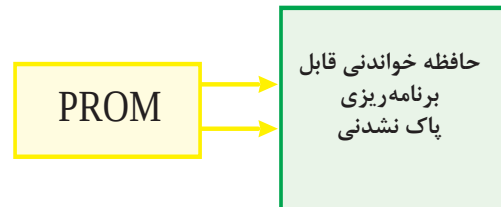
۷-۷-۵- انواع ROM: طبق شکل ۷-۳۹ انواع ROM را می‌توان به شرح زیر تقسیم‌بندی کرد.



شکل ۷-۳۹- انواع ROM

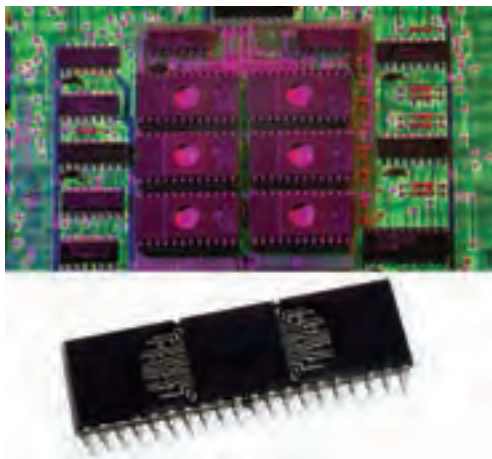
۷-۷-۶- PROM (Programmable ROM): در این نوع ROM فقط یک‌بار می‌توان اطلاعات را در حافظه نوشت. بعد از ثبت شدن اطلاعات در حافظه، دیگر نمی‌توان اطلاعات ذخیره‌شده را تغییر داد و از بین برد. برای نوشتن کلمات در آدرس‌های مورد نظر در حافظه ROM از دستگاه برنامه‌ریز PROM استفاده می‌شود. برنامه‌ریزی در PROM فقط یک‌بار انجام می‌گیرد. در صورتی که نیاز به تغییر اطلاعات باشد باید PROM جدیدی را دوباره برنامه‌ریزی کرد.

شکل ۷-۴۰ چند آی‌سی PROM را نشان می‌دهد.



شکل ۷-۴۰- چند آی‌سی PROM

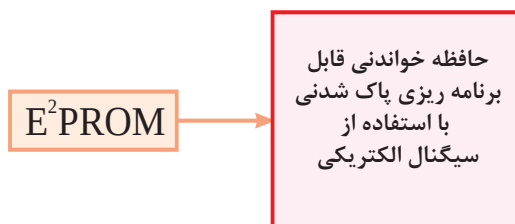
۷-۷-۷- EPROM (Erasable PROM): این نوع PROM قابل پاک کردن است. وقتی یک EPROM برای مدتی تحت تأثیر نور ماوراءبنفش قرار گیرد پاک می‌شود، یعنی تمام اطلاعات و بیت‌های ۰ و ۱ ذخیره‌شده در آن از بین می‌رود. می‌توان بعد از پاک شدن، این حافظه را دوباره برنامه‌ریزی کرد. برای برنامه‌ریزی و نوشتن اطلاعات مجدد در این حافظه به‌دستگاهی به نام برنامه‌ریز EPROM نیاز است. شکل ۷-۴۱ آی‌سی‌های EPROM را نشان می‌دهد.



شکل ۷-۴۱- آی‌سی‌های EPROM

۷-۷-۸- EEPROM

(EEPROM) Electrical EPROM: این نوع حافظه مشابه حافظه EPROM است با این تفاوت که برای پاک کردن آن از سیگنال الکتریکی استفاده می‌شود.



۷-۸- میکروپروسسور CPU (Central Processing unit):

اساسی‌ترین بخش یک کامپیوتر CPU یا میکروپروسسور است که به آن پردازشگر مرکزی می‌گویند. وظیفه

وسایل ورودی مانند صفحه کلید، موسواره، کارت خوان، اسکنر و ... اطلاعات را از فرد به CPU انتقال می‌دهند. این وسایل باید زبان انسان را به زبان دودویی کامپیوتر یعنی رمزگذاری (Encode) تبدیل کنند.

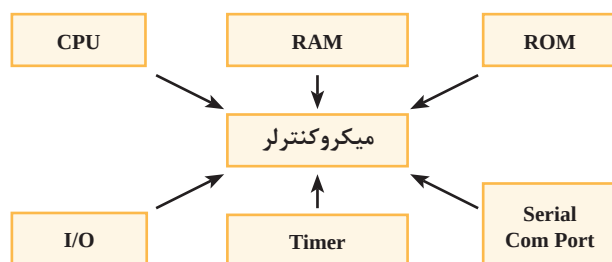
وسایل خروجی از قبیل نمایشگر، چاپگر و ... ارتباط CPU با انسان را برقرار می‌کنند. اطلاعات خروجی می‌تواند روی انواع وسایل ذخیره‌سازی با انواع حافظه‌ها ذخیره شوند.

وسایل خروجی باید زبان ماشین را به زبان انسان ترجمه یا رمزگشایی (Decode) کنند.

آموزش ساختمان، برنامه‌نویسی و راه‌اندازی میکروپروسسور نیاز به زمان بیشتری دارد، از این‌رو در این بخش صرفاً به کاربرد میکروپروسورها در دستگاه‌های الکترونیکی و فرآیندهای ساده آن می‌پردازیم.

۷-۹- میکروکنترلر

در شکل ۷-۴۴ قسمت‌های تشکیل دهنده یک میکروکنترلر را مشاهده می‌کنید. میکروکنترلر از یک ریزپردازنده، حافظه‌های ROM و RAM و واحدهای ورودی و خروجی و تایمر تشکیل شده است.



شکل ۷-۴۴- قسمت‌های تشکیل دهنده یک میکروکنترلر

ریزپردازنده موجود در میکروکنترلر قادر به پردازش و محاسبات پیچیده نیست. به همین دلیل کاربرد همه منظوره مانند کامپیوترها را ندارد. میکروکنترلر برای انجام عملیات محدود و مشخص طراحی شده است. برای مثال در کنترل دمای یخچال، کنترل تلویزیون، کنترل

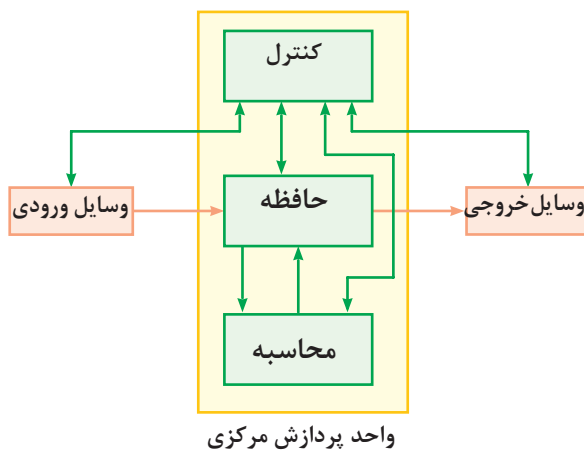
میکروپروسسور اجرای یک مجموعه دستورالعمل است که تحت عنوان برنامه در حافظه کامپیوتر ذخیره شده است. میکروپروسسور به صورت یک تراشه الکترونیکی است. در شکل ۷-۴۲ یک CPU که اساس یک کامپیوتر شخصی را تشکیل می‌دهد، مشاهده می‌کنید.



شکل ۷-۴۲- شکل واقعی یک CPU از کامپیوتر خانگی

در شکل ۷-۴۳ بلوک دیاگرام CPU آمده است، عناصر داخلی شامل یک بخش محاسبات ریاضی و منطقی تحت عنوان ALU (Arithmetic logic unit) و بخش دیگری تحت عنوان مجموعه حافظه‌هاست که نوع، تعداد و طرز کار آنها بستگی به معماری کامپیوتر دارد.

بخش سوم واحد کنترل، CU (Control unit) نامیده می‌شود که نظارت بر اجرای دستورالعمل‌ها را از ابتدا تا انتها بر عهده دارد. دستورها از حافظه خوانده می‌شود، سپس رمزگشایی و تفسیر و در نهایت عمل محاسبات توسط واحد ALU صورت می‌گیرد.



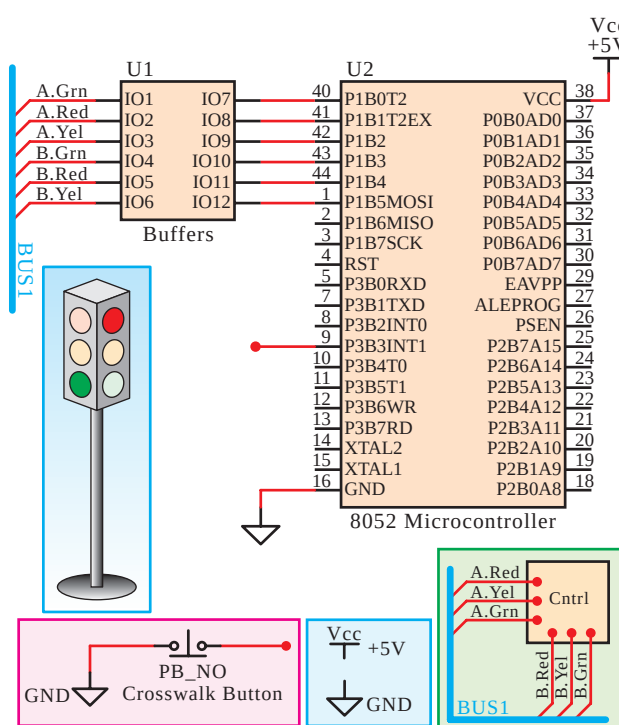
واحد پردازش مرکزی

شکل ۷-۴۳- بلوک دیاگرام CPU

RAM دو عدد شمارنده مستقل ۱۶ بیتی و مدار نوسان ساز داخلی وجود دارد. علاوه بر موارد بالا به ۶۴ کیلو بایت حافظه خارجی نیز می‌تواند دسترسی داشته باشد. ۳۴ خط ورودی و خروجی آن شامل ۴ درگاه (port) ۸ بیتی است. شکل ۷-۴۶، ۴، ۷، ۴۶ درگاه این آی‌سی را نشان می‌دهد.

میکروکنترلرها دارای یک مجموعه دستورالعمل‌های خاص و نیز تعدادی رجیسترهای داخلی هستند که منحصر به فرد می‌باشند. بنابراین برنامه‌ای که برای یک میکروکنترلر نوشته می‌شود نمی‌تواند روی میکروکنترلر دیگری اجرا شود.

در شکل ۷-۴۷ بلوک دیاگرام مدار چراغ‌های راهنمایی را مشاهده می‌کنید که برای کنترل ترافیک، با یک میکروکنترلر برنامه‌ریزی و کنترل می‌شوند.



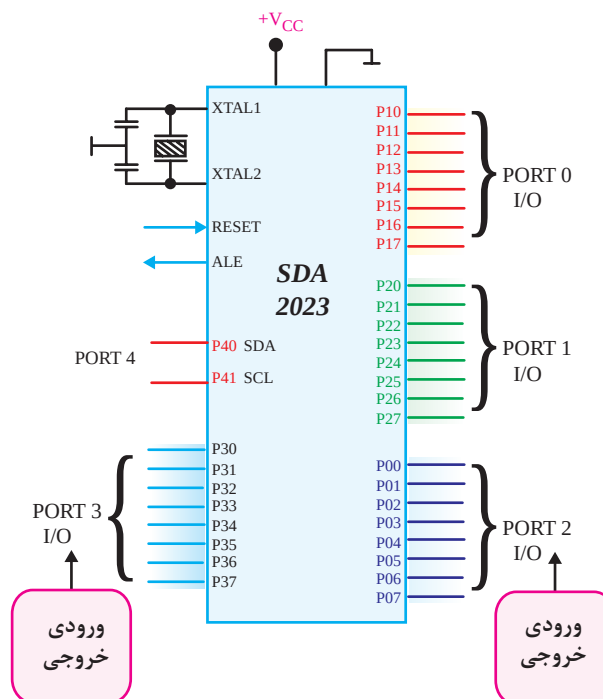
شکل ۷-۴۷- نقشه شماتیک سیستم کنترل چراغ‌های راهنمایی با میکروکنترلر ۸۰۵۲

دستگاه‌های کپی و چاپگر و ... از میکروکنترلر استفاده می‌شود. در شکل ۷-۴۵ آی‌سی میکروکنترلر تلویزیون با شماره فنی ۲۳۰۲۳ SDA۲۰ نشان داده شده است.



شکل ۷-۴۵- آی‌سی میکروکنترلر تلویزیون

آی‌سی ۲۳۰۲۳ SDA یک ریزپردازنده از خانواده ۸۰۵۱ است. ۸۰۵۱ در کارهای کنترلی بیشترین کاربرد را دارد. این میکروکنترلر یک ریز پردازنده ۸ بیتی است که در آن ۴ کیلو بایت حافظه ROM، ۱۲۸ بایت حافظه

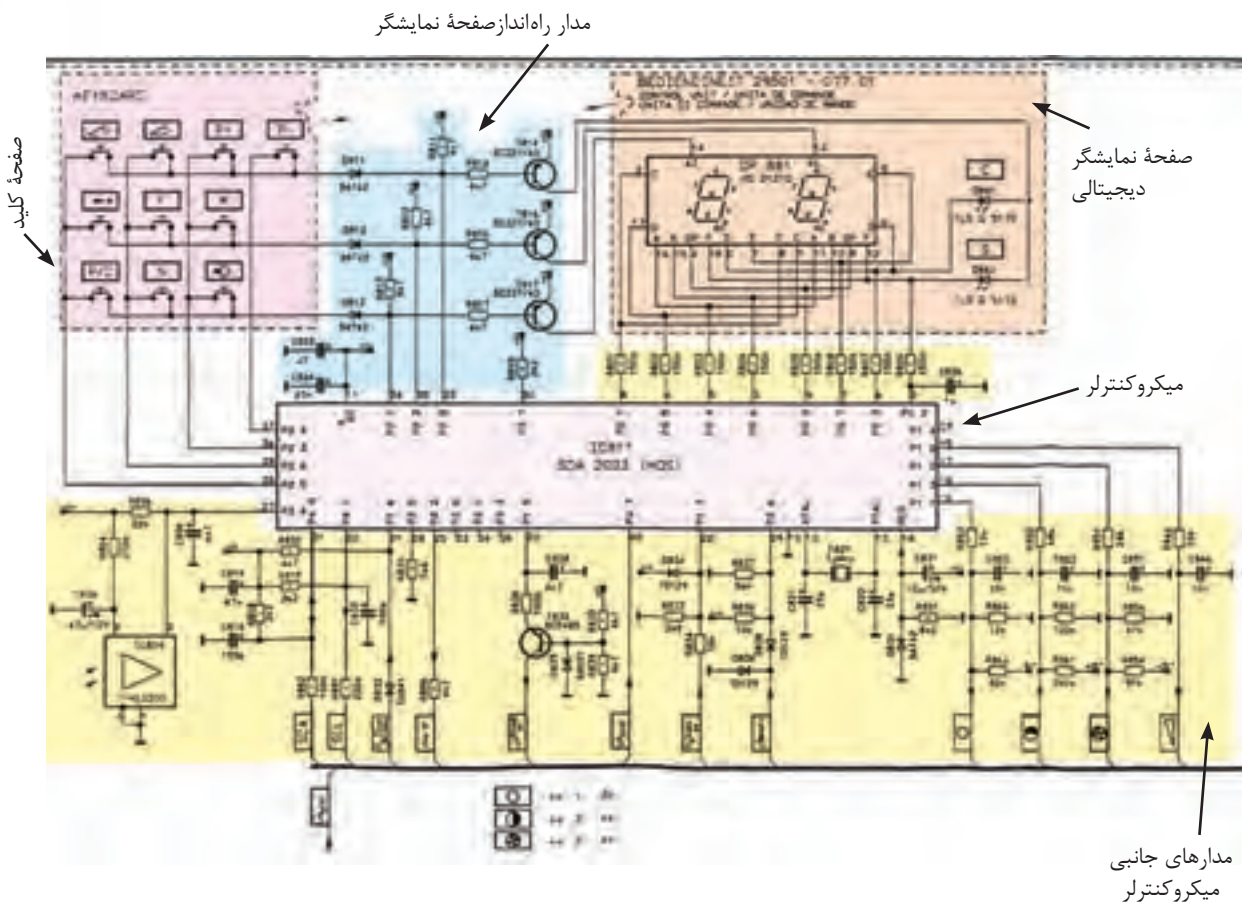


شکل ۷-۴۶- درگاه‌های آی‌سی میکروکنترلر

۱۰-۷- مینیم سیستم و مقایسه آن با میکروکنترلر

اگر با استفاده از یک تراشه CPU و تراشه‌های حافظه و صفحه کلید محدود و یک صفحه نمایش ساده یک سیستم کنترل ساده برای هدف مشخصی طراحی شود، در این صورت به یک مینیم سیستم نیاز داریم. امروزه تمام این کارها با میکروکنترلر انجام می‌شود. در واقع قلب یک مینیم سیستم یک

میکروکنترلر است. قبل از عرضه میکروکنترلر به بازار با استفاده از سخت‌افزاری مناسب یک مینیم سیستم را طراحی می‌کنند و برنامه آن نیز توسط سازنده و در یک EPROM صورت می‌گیرد. شکل ۷-۴۸ مدار واحد کنترل یک تلویزیون توسط میکروکنترلر نشان داده شده است. این مجموعه یک مینیم سیستم است، که در بخش‌های مختلف آن توسط کادرهای رنگی مشخص شده است.



شکل ۷-۴۸ - یک مجموعه مینیم سیستم برای واحد کنترل تلویزیون



نکته: مدارهای کاربردی میکروکنترلر در این فصل فقط جهت آشنایی با نقش میکروکنترلر در یک دستگاه است و از این نقشه‌ها به هیچ عنوان نباید در آزمون‌ها سؤالی طراحی شود.

۹- با توجه به شکل ۷-۱۷ و جدول ۷-۲ اگر ورودی آنالوگ یک ولت باشد خروجی دودویی است.

۱۰- ورودی‌ها و خروجی‌های آی‌سی ADC۰۸۰۴ با مشخصات کدام خانواده آی‌سی‌ها (TTL - CMOS) سازگار است؟

۱۱- انواع کاربرد میکروپروسسور را بنویسید.

۱۲- یک را می‌توان کامپیوتر در یک تراشه توصیف کرد. زیرا حاوی CPU، RAM، ROM، پالس ساعت و پایه‌های I/O در یک تراشه است.

۱۳- میکروکنترلر به دلیل اندازه کوچک، ارزانی و کاربرد تک منظوره در کارهای کنترلی مورد توجه است.

☐ درست ☐ نادرست

۱۴- در مبدل D/A مدار جمع‌گر ولتاژ وجود دارد.

☐ درست ☐ نادرست

۱۵- مقایسه‌گر ولتاژ از اجزای مدار مبدل آنالوگ به دیجیتال است.

☐ درست ☐ نادرست

۱۶- تراشه FPGA را به صورت سخت افزاری طراحی می‌کنند.

☐ درست ☐ نادرست

۷-۱۱- الگوی پرسش

۱- برنامه اطلاعات تراشه یا برنامه ذخیره شده FPGA در کدام حافظه قرار می‌گیرد؟

۲- به چه دلیل آی‌سی ۷۴HC۱۹۳، شمارنده قابل برنامه‌ریزی نام گذاری شده است؟

۳- ظرفیت حافظه را تعریف کنید.

۴- حافظه RAM در چند نوع ساخته می‌شود؟

۵- خط Chip Select چه کاربردی دارد؟ شرح دهید.

۶- کدام نوع حافظه را می‌توان با سیگنال الکتریکی برنامه‌ریزی و پاک کرد؟

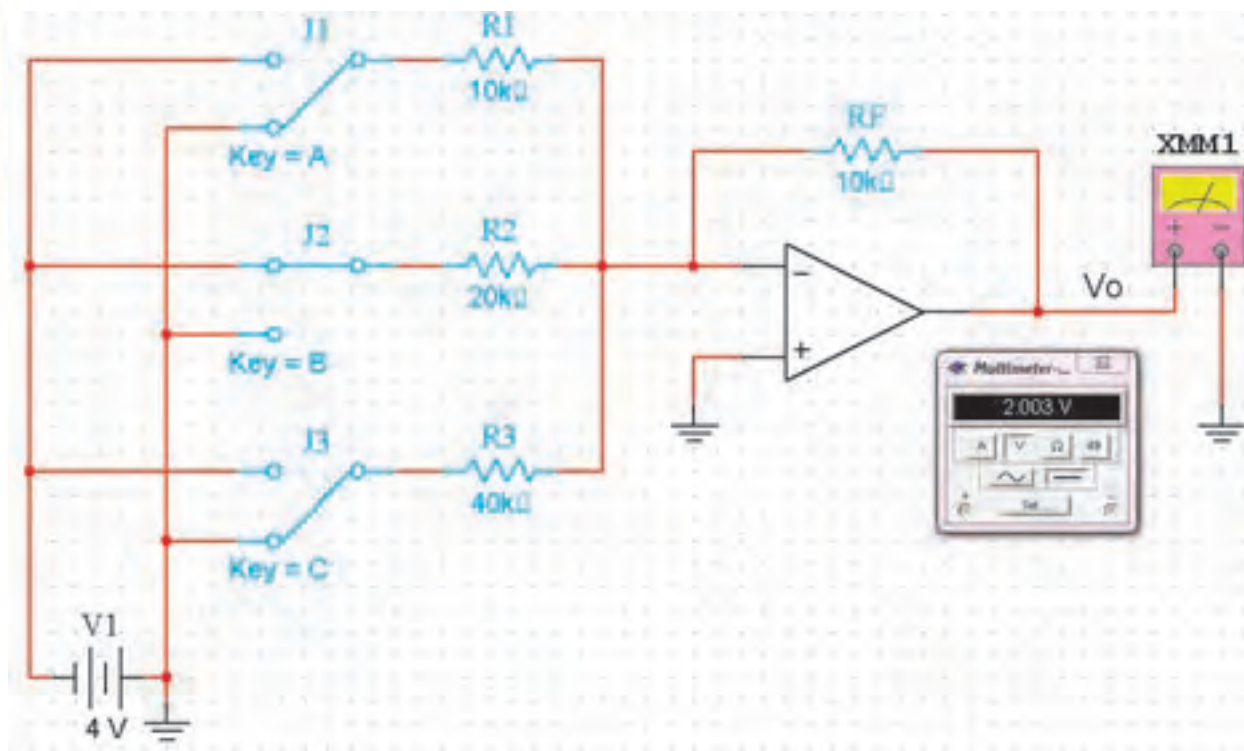
۷- یک حافظه ROM دارای ۶ خط آدرس‌دهی است، این حافظه چند کلمه خروجی ۸ بیتی دارد؟

۸- یک مولد D/A یک ورودی را به یک خروجی تبدیل می‌کند.

سپس مطابق جدول ۷-۵ با تغییر کلیدها ولتاژ خروجی را به دست آورید.

۷-۱۲- کار با نرم افزار

مدار شکل ۷-۴۹ را با نرم افزار مولتی سیم ببندید.



شکل ۷-۴۹- مدار مربوط به نرم افزار

جدول ۷-۵- جدول وضعیت مدار نرم افزار

KEYA	KEYB	KEYC	V_o
۰	۰	۰	
۰	۰	۱	
۰	۱	۰	
۰	۱	۱	
۱	۰	۰	
۱	۰	۱	
۱	۱	۰	
۱	۱	۱	

فهرست منابع کتاب

سال چاپ	ناشر	مترجم	نام کتاب	مؤلف
	Prentice –Hall	—	Introductory Digital Electronics	۱- Nigel P.Cook
۱۹۹۲	Pws Publishing co	—	Fundamentals of Logic Design	۲- Charles H.Roth, JR
۱۹۹۵	Prentice – Hall	—	Digital Logic circuit Analysis and design	۳- Nelson, Negle, carroll, Irwin
۱۹۹۱	Prentice – Hall	—	Digital system ; Principles and applications	۴- Ronald .Tocci
۱۹۸۴	Prentice –Hall	—	Digital Design	۵- Moris M.Mano
۱۹۹۰	Mc Graw Hill	—	Digital Electronics	۶- Roger L.Tokhim
مؤلف	نام کتاب	ناشر	سال چاپ	
۷- مهرداد، فرخ	دستور کار آزمایشگاه دیجیتال	دانشکده برق دانشگاه خواجه نصیرالدین طوسی	۱۳۶۹	
۸- نصری، غلامحسین	مدارهای منطقی و دیجیتالی	انتشارات دانشگاه شهید رجایی و دانشگاه خواجه نصیرالدین طوسی	۱۳۷۴	
۹- نصیری سوادکوهی، شهرام	منبع تغذیه و واحد کنترل	انتشارات شرکت صنایع آموزشی	۱۳۸۹	

