

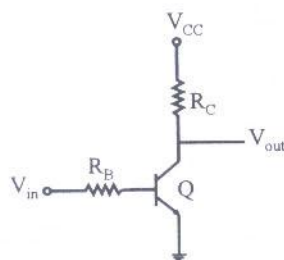
## مدارهای RTL و DTL

۳

## ۳-۱- گیت پایه مدارهای RTL

مدار زیر شکل یک گیت NOT خانواده RTL را نشان می دهد. اگر  $V_{BE} < V_{BE(FA)}$  باشد آنگاه ترانزیستور قطع خواهد بود و  $I_C = I_{RC} = 0$  می شود. لذا خروجی برابر خواهد بود با:

$$V_{out} = V_{CC} = V_{OH}$$



هنگامی که  $V_{BE}$  به حد  $V_{BE(FA)}$  برسد ترانزیستور در آستانه هدایت قرار می گیرد و اگر  $V_{IN}$  از  $V_{BE(FA)}$  عبور کند مقدار  $V_{IN} - V_{BE(FA)}$  دو سر مقاومت  $R_B$  قرار خواهد گرفت و جریانهای  $I_C = \beta_F I_B$  و  $I_B = I_{RB}$  در مدار برقرار خواهند شد و ولتاژ خروجی تحت تأثیر مقدار  $I_C R_C$  قرار می گیرد. لذا پارامتر دیگر این مدار نیز به صورت زیر تعریف می شود:

$$V_{IL} = V_{BE(FA)}$$

با افزایش  $V_{IN}$  تا رسیدن به حد اشباع ترانزیستور، خروجی تحت تأثیر افزایش  $I_C$  روند نزولی خود را ادامه داده و در نهایت به کمترین حد خود یعنی  $V_{OL} = V_{CE(SAT)}$  می‌رسد. تنها پارامتر باقیمانده  $V_{IH}$  است، از آنجا که  $V_{IH}$  لبه اشباع<sup>(۱)</sup> ترانزیستور است و مرز بین بایاس مستقیم و اشباع ترانزیستور را نشان می‌دهد لذا با فرض  $V_{CE(SAT)}$  می‌توان به این مرز از ولتاژ برای ورودی دست یافت:

$$I_C = \frac{V_{CC} - V_{CE(SAT)}}{R_C}$$

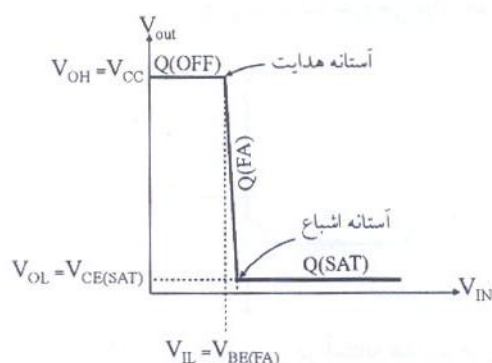
و از آنجا که در لبه اشباع  $\sigma = 1$  است و جریانهای بیس و کلکتور هنوز از رابطه  $I_C = \beta_F I_B$  محاسبه می‌شوند خواهیم داشت:

$$I_{B(EOS)} = \frac{I_C}{\beta_F} = \frac{V_{CC} - V_{CE(SAT)}}{\beta_F R_C}$$

$$V_{IH} = V_{BE(SAT)} + I_{B(EOS)} R_B$$

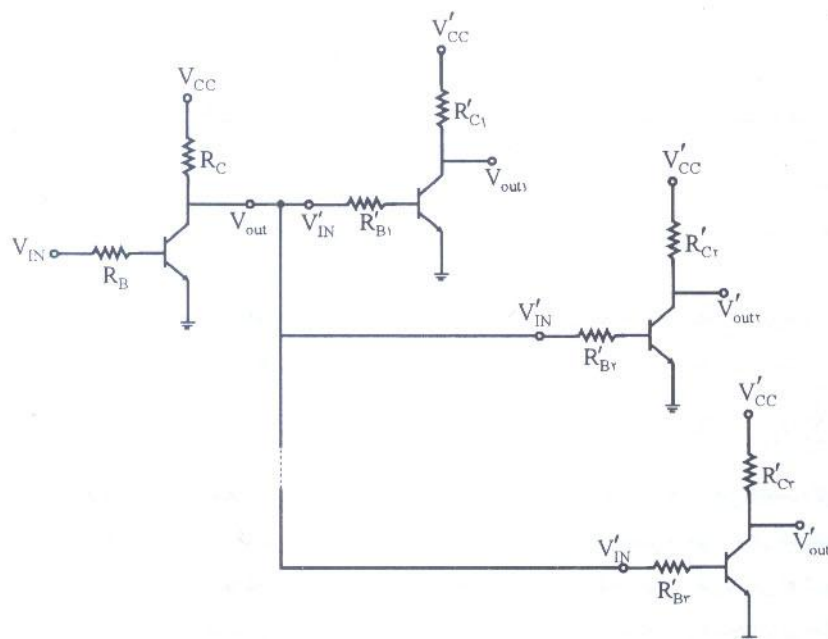
$$= V_{BE(SAT)} + \frac{V_{CC} - V_{CE(SAT)}}{\beta_F R_C} R_B$$

شکل زیر مشخصه انتقال ولتاژ  $VTC$  مدار فوق را نشان می‌دهد.



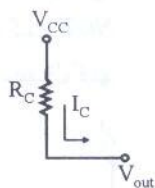
۳-۱-۱- محاسبه  $Fan-out$ 

در مباحث گذشته در مورد  $Fan-out$  و چگونگی محاسبه آن به طور مختصر صحبت شد، حال دار این قسمت برای یک مدار خاص مانند گیت  $NOT$  خانواده  $RTL$  نحوه محاسبه  $Fan-out$  را شرح می‌دهیم. شکل زیر نمایش دهنده نحوه اتصال گیت‌های طبقه بعد را به گیت درایو کننده طبقه اول نشان می‌دهد.

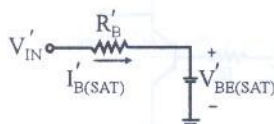


$Fan-out$  را برای دو حالت مهم خروجی‌های طبقه اول یعنی حالت‌های  $low$  و  $high$  تحلیل می‌کنیم و در نهایت می‌نیم این دو مقدار را به عنوان  $Fan-out$  مدار تعریف می‌کنیم. ابتدا حالت  $low$ ، در این حالت طبقه اول برابر  $V_{CE(SAT)}$  است. با توجه به اینکه خروجی طبقه اول  $low$  است لذا ورودی تمام گیت‌های طبقه دوم نیز می‌بایست در حالت  $low$  عمل کند و از آنجا که در حالت  $low$ ، ورودی گیت‌های  $RTL$  هیچ جریانی نمی‌کشد لذا نیازی به جریان کشی از طبقه اول نداریم و از طرفی چون  $V_{CE(SAT)} < V'_{BE(FA)}$  است پس هر تعداد از گیت‌های  $RTL$  که در طبقه دوم قرار داده شوند باز هم همگی در حالت خاموش باقی خواهند ماند و در واقع برای تعداد گیت‌های طبقه دوم هیچ محدودیتی نداریم و به تعبیر دیگر  $Fan-out$  این خانواده بی نهایت است. ولی در حالت  $V_{out} = high$  عملکرد مدار متفاوت است. در این حالت ترانزیستور گیت  $NOT$  طبقه اول خاموش است و  $V_{out} = V_{CC} - I_C R_C$ . البته به هنگام تعریف گیت‌های  $NOT$  خانواده  $RTL$  مقدار  $I_C R_C$  را به دلیل عدم جریان کشی از طبقه‌های بعدی صفر فرض کردیم. در عمل این مقدار صفر نخواهد بود زیرا به

واسطه جریان کشی طبقه های بعدی مقداری افت ولتاژ دو سر مقاومت  $R_C$  طبقه اول خواهیم داشت. برای  $V_{out} = high$  مسیر عبور جریان به شکل زیر است:



و برای  $V_{IN} = high$  نیز این مسیر در ترانزیستورهای طبقه دوم که در حالت اشباع قرار دارند به شکل زیر می باشد:

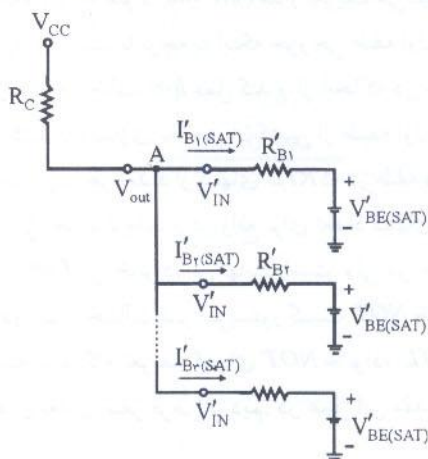


محدودیتی که در حالت  $V_{out} = high$  برای اضافه کردن گیت های طبقه دوم مطرح می شود توانایی هدایت کردن کلیه ترانزیستورهای طبقه دوم توسط جریان خروجی گیت های طبقه اول است.

$$I_{RC} = \sum_{i=1}^n I_{IN_i} = NI'_B$$

جریان خروجی گیت طبقه اول به چندین شاخه تقسیم می شود که هر انشعاب می بایست ترانزیستور طبقه بعد را هدایت کند و مسلماً با افزایش تعداد گیت های طبقه دوم مجموع جریان های کشیده شده از طبقه اول بیشتر خواهد شد که باعث افت ولتاژ در خروجی گیت طبقه اول می شود. این افت ولتاژ باید در حدی باشد که  $V_{out}$  طبقه اول از  $V_{IH}$  کمتر نشود تا ورودی گیت های طبقه دوم همچنان در حالت  $high$  بماند.

با یک رابطه  $KCL$  در نقطه  $A$  می توان به مقدار مجهول  $N$  یعنی همان  $Fan-out$  در حالت  $high$  رسید.



$$N = \frac{I_{RC}}{I_B'}$$

$$= \frac{\frac{V_{CC} - V_{out}}{R_C}}{\frac{V_{out} - V_{BE(SAT)}}{R_B'}} = \frac{V_{CC} - V_{IH}}{V_{IH} - V_{BE(SAT)}} \frac{R_B'}{R_C}$$

همانگونه که گفتیم محدودیت ما در این حالت حداقل مقدار  $V_{out(high)}$  است که نباید از  $V_{IH}$  کمتر شود تا بتواند ترانزیستور گیتهای طبقه دوم را به حالت اشباع ببرد.

به همین دلیل در روابط بالا به جای مقدار نامشخص  $V_{out}$  از  $V_{IH}$  استفاده کردیم که مقدار مینیمم  $V_{out}$  یعنی همان  $V_{IH}$  از رابطه زیر به دست می آید:

$$V_{IH} = V_{BE(SAT)}' + \frac{V_{CC} - V_{CE(SAT)}'}{\beta_F R_C'} R_B'$$

### ۳-۱-۲- محاسبه توان مصرفی

برای محاسبه توان مصرفی یک گیت طبق آنچه قبلاً به آن اشاره کردیم دو پارامتر  $I_{CC}(H)$  و  $I_{CC}(L)$  مورد نیاز می باشد. اگرچه برای حالت  $V_{out}=high$  جریان عبوری از مقاومت  $R_C$  را صفر در نظر گرفتیم ولی در عمل توان مصرفی یک IC دیجیتال در حالت فعال آن محاسبه می شود که در این حالت به واسطه اتصال چندین طبقه از این گیتهای هم خانواده به یک دیگر، جریان  $I_{CC}(H)$  نیز در مدار خواهیم داشت. با توجه به مباحث مطرح شده برای گیتهای RTL می توان گفت:

$$۱) \quad I_{CC}(L) = \frac{V_{CC} - V_{CE(SAT)}}{R_C}$$

و در حالت  $V_{out}=high$  با توجه به رابطه  $V_{CC} - V_{BE(SAT)}' - NI_B' R_C - I_B' R_B' = 0$  خواهیم داشت:

$$۲) \quad I_{CC}(H) = NI_B' = \frac{V_{CC} - V_{BE(SAT)}'}{R_C + R_B'/N}$$

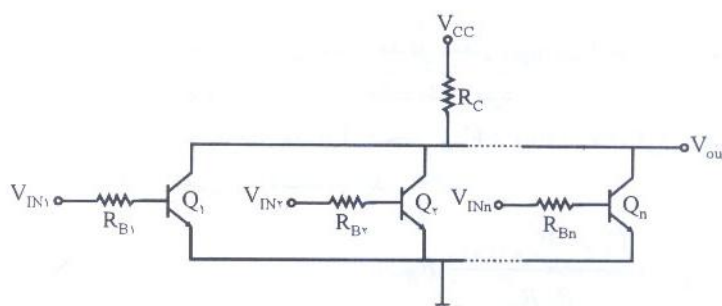
که در بدترین حالت  $I_{CC(H)} = \frac{V_{CC} - V_{IH}}{R_C}$  می باشد.



## ۳-۲- گیت‌های دیگر خانواده RTC

## ۳-۲-۱- گیت NOR

شکل زیر یک پیکربندی موازی از ترانزیستورهای  $BJT$  را نشان می‌دهد که کلکتور آنها از طریق یک مقاومت مشترک به تغذیه  $V_{CC}$  وصل است.



جریان عبوری از مقاومت  $R_C$  طبق رابطه  $I_{RC} = \sum_{i=1}^n I_{Ci}$  به چندین جریان  $I_C$  شکسته می‌شود. ولتاژ خروجی برابر است با:

$$V_{out} = V_{CC} - I_{RC} R_C$$

اگر همه ورودی‌ها در حالت  $low$  باشند، همه ترانزیستورها خاموش خواهند بود و هیچ جریانی از آنها عبور نخواهد کرد لذا  $I_{RC} = 0$  خواهد شد که تأثیر مستقیمی بر ولتاژ خروجی خواهد گذاشت:

$$V_{out} = V_{CC} - I_R R_C \Rightarrow V_{OH} = V_{CC}$$

ولی اگر یکی از ورودی‌ها  $high$  باشد ترانزیستور مربوط به آن روشن شود آنگاه حداقل یک جریان  $I_C$  خواهیم داشت که از ترانزیستور مربوطه عبور کند. در این حالت ترانزیستور مذکور در حالت اشباع خواهد بود و ولتاژ خروجی از رابطه زیر بدست می‌آید:

$$V_{OL} = V_{CE(SAT)}$$

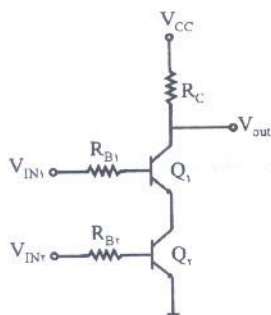
با توجه به این توضیحات می توان جدول ارزش زیر را برای مدار مربوط مدل کرد :

	$V_{INn}$	...	$V_{IN2}$	$V_{IN1}$	$V_{out}$
A	0	...	0	0	1
	1	...	1	1	0
B	0	...	0	0	0
	0	...	0	1	0
	0	...	1	0	0
	0	...	1	1	0
C	1	...	1	1	0
	1	...	1	0	0

در ناحیه  $A$  که فقط شامل یک ترکیب خاص از ورودی ها (همه ورودی ها در حالت  $low$ ) می باشد خروجی  $high$  است و در سایر ترکیب های مختلف از ورودی ها که در طبقه بندی جزء ناحیه  $B$  محسوب می شوند و در آن حداقل یک ورودی  $high$  داریم خروجی  $low$  است و این یعنی که عملکرد مدار معادل گیت  $NOR$  منطقی است.

### ۳-۲-۲- گیت AND

اگر ترانزیستورها به صورت زیر ، روی هم قرار بگیرند گیت دیگری از این خانواده طراحی می شود:



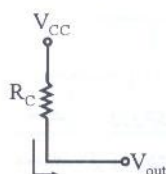
اگر همه ورودی ها  $high$  باشند هر دو ترانزیستور  $Q_1$  و  $Q_2$  وصل خواهند بود و جریان  $I_{RC}$  از کلکتور به امیتر  $Q_1$  و سپس از کلکتور به امیتر  $Q_2$  به زمین می رسد. در این حالت برای  $V_{out}$  خواهیم داشت :

$$V_{OL} = V_{CE(SAT)} Q_1 + V_{CE(SAT)} Q_2$$

$$= 2V_{CE(SAT)}$$

**نکته:** ولتاژ لازم برای به اشباع بردن ترانزیستورهای  $Q_1$  و  $Q_2$  با هم مساوی نمی باشد و  $V_{IH}$  ترانزیستور بالایی به اندازه یک  $V_{CE}$  بیشتر از  $V_{IH}$  ترانزیستور پایینی است نقطه زیرا در ترانزیستور پایینی پایه امیتر ترانزیستور به زمین متصل است در حالیکه برای ترانزیستور بالایی (اگر ترانزیستور پایینی اشباع باشد) ولتاژ امیتر برابر  $V_{E1} = V_{CE(SAT)}Q_2$  خواهد بود لذا ورودی باید به اندازه  $V_{BE(SAT)}$  از این مقدار بیشتر باشد.

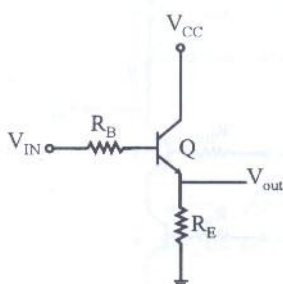
اگر حداقل یکی از ورودی ها  $low$  باشد آنگاه با توجه به قطع بودن ترانزیستور مربوطه اش، هیچ مسیری برای عبور جریان  $I_{RC}$  از طریق ترانزیستور نخواهیم داشت زیرا این مسیر عملاً قطع خواهد بود و لذا مسیر عبور جریان با فرض وجود طبقه های بعدی به شکل زیر خواهد بود:



از این رو می توان گفت خروجی در این حالت  $high$  است و  $V_{OH} = V_{CC}$  می شود. اگر برای این مدار نیز جدول ارزش رسم کنیم به ساختار عملکردی گیت  $NAND$  خواهیم رسید.

## ۳-۲-۳- گیت بافر

برای پیاده سازی یک گیت  $Non-Inverter$  از خانواده  $RTL$  مدار زیر پیشنهاد می شود:



خروجی این گیت از پایه امیتر ترانزیستور گرفته می شود و برابر است با:

$$V_{out} = V_E = I_E R_E = V_{CC} - V_{CE}$$

اگر ورودی مقداری برابر  $V_{IN} < V_{BE(FA)}$  داشته باشد، آنگاه ترانزیستور خاموش خواهد بود و

$I_E = I_{RE} = 0$  می باشد که در این حالت برای  $V_{out}$  خواهیم داشت:

$$V_{out} = V_{OL} = 0$$



و لذا می توان گفت  $V_{IL} = V_{BE(FA)}$  است زیرا وقتی  $V_{BE}$  به مقدار  $V_{BE(FA)}$  می رسد ترانزیستور در ناحیه بایاس مستقیم قرار می گیرد و ولتاژ خروجی نیز شروع به افزایش می کند. ولتاژ خروجی در حالت high برای این گیت برابر است با:

$$V_{OH} = V_{CC} - V_{CE(SAT)}$$

و بالاخره برای محاسبه  $V_{IH}$  خواهیم داشت:

از آنجا که کمترین ولتاژ لازم برای اشباع شدن ترانزیستور است پس  $V_{CE(SAT)}$  را به عنوان  $V_{CE}$  این حالت در نظر می گیریم:

$$I_{E(SAT)} = \frac{V_{CC} - V_{CE(SAT)}}{R_E}$$

که در لبه اشباع با فرض  $\sigma = 1$ :

$$I_{B(EOS)} = \frac{I_E}{\beta_F + 1} = \frac{V_{CC} - V_{CE(SAT)}}{(\beta_F + 1)R_E}$$

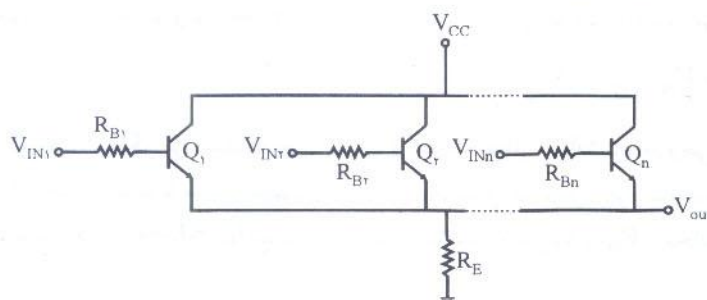
چون در حالت بایاس مستقیم پیوند بیس - کلکتور در حالت معکوس بایاس شده است و  $V_{BC} = V_{BC(SAT)}$  است و با یک KVL از  $V_{IN}$  به  $V_{CC}$  به مقدار  $V_{IH}$  می رسم:

$$V_{IH} = V_{CC} + V_{BC(SAT)} + I_{B(EOS)}R_B$$

**نتیجه:** همان گونه که از محاسبات پارامتری پیداست مقدار  $V_{IH}$  از ولتاژ تغذیه بیشتر است لذا این مدار برای پیاده سازی عملی دارای محدودیت می باشد.

### ۳-۲-۴ گیت OR

از تکنیک طراحی گیت بافر برای طراحی گیت OR خانواده RTL استفاده می کنیم. شکل زیر بیانگر یک گیت OR چند ورودی می باشد.



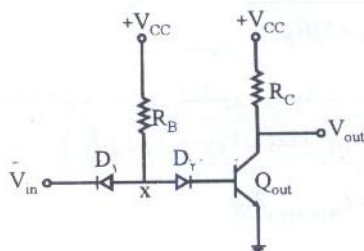
اگر همه ورودی‌ها  $low$  باشند، همه ترانزیستورها خاموش خواهند بود و هیچ مسیری برای عبور جریان از  $V_{CC}$  به سمت  $R_E$  برقرار نخواهد شد لذا خواهیم داشت:

$$V_{out} = I_E R_E = 0, \quad (I_E = 0)$$

ولی اگر حداقل یکی از ورودی‌ها  $high$  باشد و ترانزیستور مربوطه اش را روشن کند، به واسطه عبور جریان  $I_C$  و اشباع شدن ترانزیستور مذکور  $V_{out} = V_{CC} - V_{CE(SAT)}$  خواهد شد.

### ۳-۳- مدارهای DTL

در ادامه این فصل به بررسی خانواده دیگری از ICهای دیجیتال می‌پردازیم که جهت غلبه بر  $Fan-out$  کم مدارهای RTL معرفی شده‌اند. شکل زیر گیت NOT پایه خانواده DTL را نشان می‌دهد:



که مهمترین ایده طراحی آن رفع مشکل  $Fan-out$  به ازای  $V_{out} = V_{OH}$  می‌باشد. هنگامیکه در خروجی این گیت  $V_{OH}$  داریم دیود  $D_1$  گیت طبقه بعد بایاس معکوس می‌شود و فقط جریان اشباع معکوس می‌کشد<sup>(۱)</sup> و لذا نیازی به تغذیه ترانزیستور از طریق  $V_{IN}$  نداریم. برای محاسبه پارامترهای چهارگانه مدار و مشخصه  $VTC$  آن ابتدا به بررسی  $V_{OH}$  می‌پردازیم:

اگر ورودی  $low$  باشد دیود  $D_1$  بایاس مستقیم می‌شود و از طریق  $R_B$  جریانی از  $V_{CC}$  به سمت  $V_{IN}$  برقرار می‌شود. در این حالت ولتاژ نقطه  $x$  بین دیودهای  $D_1$  و  $D_2$  از رابطه زیر به دست می‌آید:

$$V_x = V_{IN} + V_{D_1(ON)} < V_{D_2(ON)} + V_{BE(FA)}$$

علامت کوچک‌تر بیانگر این است که به ازای ورودی  $low$  که انتظار  $high$  شدن خروجی را نیز داریم دیود  $D_2$  باید خاموش بماند تا مسیری جهت تغذیه بیس ترانزیستور در مدار برقرار نباشد و ترانزیستور  $Q_{out}$  قطع باشد و جریان  $I_{RC} = I_C = 0$  شود که با توجه به این مقادیر می‌توان  $V_{out}$  را محاسبه نمود:

1 - sink

$$V_{out} = V_{CC} - I_R R_C = V_{CC} = V_{OH}$$

با افزایش  $V_{IN}$  به گونه‌ای که موجب روشن شدن ترانزیستور  $Q_{out}$  بشود ولتاژ نقطه  $V_x$  برابر:

$$V_x = V_{IN} + V_{D_1(ON)} = V_{BE(FA)} + V_{D_2(ON)}$$

می‌شود که باعث می‌شود ترانزیستور  $Q_{out}$  روشن شد و دیود  $D_2$  نیز در وضعیت هدایت‌کنندگی قرار گیرد. چون  $Q_{out}$  در بایاس مستقیم قرار می‌گیرد (Forward Active) لذا خروجی از طریق  $V_{out} = V_{CE}$  به دست می‌آید که خارج از بحث دیجیتال است ولی می‌توان نتیجه گرفت ورودی ای که چنین وضعیتی برای مدار ایجاد کند مرز  $V_{IL}$  خواهد بود.

اگر این روند افزایش ولتاژ ورودی ادامه پیدا کند که در پی آن  $V_x$  افزایش می‌یابد، ترانزیستور  $Q_{out}$  وارد ناحیه اشباع خواهد شد یعنی خواهیم داشت:

$$V_{out} = V_{CE(SAT)} = V_{OL}$$

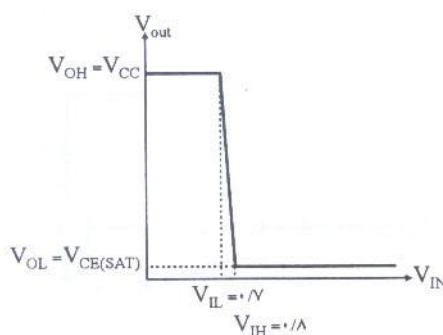
و بالاخره برای به دست آوردن  $V_{IH}$  می‌توان از طریق KVL ای که از انتهای مدار (خروجی) به سمت ورودی مدار زده می‌شود، محاسبات را انجام داد:

$$V_{IN} = V_{BE(SAT)} + V_{D_2(ON)} - V_{D_1(ON)}$$

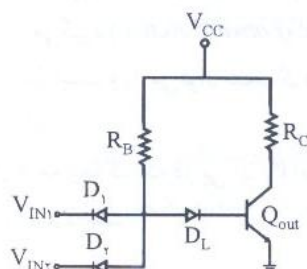
$$= V_{BE(SAT)} = V_{IH}$$

اگر ولتاژ ورودی از این مقدار نیز بیشتر شود دیود  $D_1$  قطع خواهد شد و  $V_x$  نیز افزایش چندانی نخواهد داشت. مقاومت  $R_B$  می‌بایست به اندازه کافی کوچک در نظر گرفته شود تا ترانزیستور  $Q_{out}$  به ازای افزایش  $V_x$  در حالت اشباع باقی بماند.

حال با توجه به این مقادیر می‌توان مشخصه VTC گیت NOT خانواده DTL را رسم نمود:

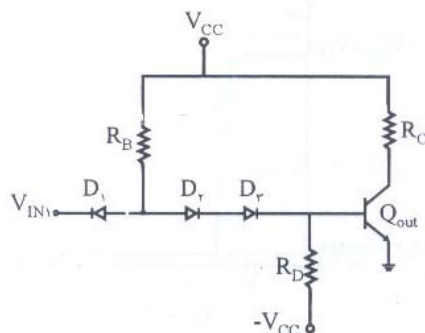


عیب اصلی این مدار  $NML$  آن است  $NML = 0.5 - 0.2 = 0.3$  و البته بهترین مزیت آن نیز اختلاف  $0.1$  ولتی بین  $V_{IH}$  و  $V_{IL}$  است که بیانگر عبور سریع از ناحیه تعریف نشده عملکرد مدارهای دیجیتال است که یک عملکرد خوب برای  $IC$  های دیجیتال است. برای طراحی سایر گیت های این خانواده نیز از تکنیک های مشابه آنچه تاکنون استفاده کرده ایم بهره می گیریم که به عنوان نمونه می توان به گیت  $NAND$  این خانواده اشاره نمود که شکل آن در زیر نشان داده شده است:



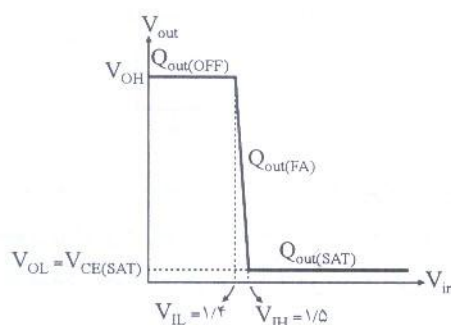
### ۳-۴ اصلاح DTL شده

برای رفع مشکل  $NML$  مدار قبلی باید سعی کنیم در رابطه  $NML = V_{IL} - V_{OL}$  مقدار ولتاژ  $V_{IL}$  را افزایش دهیم. اگر بخواهیم مثلاً با  $V_{IN} = 0.7V$  ولتاژ نقطه  $x$  به گونه ای نباشد که بتواند دیود  $D_1$  و ترانزیستور  $Q_{out}$  را هدایت کند و در واقع به سمت افزایش  $V_{IL}$  گام برداشته ایم. بهترین و ساده ترین راه حل، افزودن یک دیود به مدار و سری کردن آن با دیود  $D_1$  در این مسیر می باشد. این دیود در واقع برای افزایش ولتاژ سطح منطقی «۱» برای ورودی مدار کاربرد دارد که البته با افزایش  $V_{IL}$  مقدار  $NML$  نیز بهبود خواهد یافت. تغییر دیگری که در مشخصه چنین مداري صورت می گیرد افزایش  $V_{IH}$  به میزان یک  $V_T$  یا همان  $V_{D(ON)}$  است. یعنی همانگونه که ولتاژ بیشتری جهت رسیدن به  $V_{IL}$  لازم است نقطه رسیدن به  $V_{IH}$  نیز بالاتر خواهد رفت. شکل زیر طرح مورد نظر را نشان می دهد:





تغییر دیگری که در شکل مدار مشاهده می شود قراردادن یک مقاومت  $R_D$  متصل به ولتاژ تغذیه  $-V_{EE}$  است که مهمترین مزیت و کاربرد آن فراهم نمودن مسیری جهت دشارژ خازن موجود در پیوند بیس-امپیر ترانزیستور که زمان تأخیر انتشار را بهبود می بخشد. مشکل استفاده از یک منبع ولتاژ اضافی در مدار زیر از طریق کاهش مقدار مقاومت  $R_D$  و اتصال آن به زمین قابل حل می باشد. در کل تغییراتی که در مشخصه  $VTC$  چنین مداری نسبت به طرح اولیه وجود دارد را می توان در نمودار زیر به تصویر کشید:



همانگونه که در شکل نیز مشاهده می شود  $V_{IL}$  و  $V_{IH}$  افزایش یافته اند که باعث می شود  $Noise Margin$  مدار به شکل زیر تغییر یابد:

$$NML = V_{IL} - V_{OL} = 1/4 - 0/2 = 1/2$$

$$NML = V_{OH} - V_{IH} = 5 - 1/5 = 3/5$$

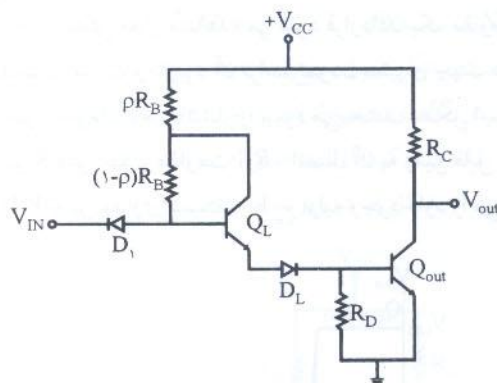
$$NM = \min(3/5, 1/2) = 1/2$$

و این در حالی است که اختلاف  $V_{IL}$  و  $V_{IH}$  هنوز همان  $1/2$  است که بسیار ایده آل می باشد. همچنین عملکرد ترانزیستور در محدوده های مختلف ولتاژ ورودی بر روی نمودار نشان داده شده است.

### ۳-۴-۱- مدل اصلاح شده ترانزیستوری<sup>(۱)</sup> DTL

$fan-out$  مدارهای DTL می تواند با جایگذاری یک ترانزیستور به جای دیودی که در طرح اصلاح شده به مدار اضافه کردیم، بهبود پیدا کند. در این حالت می توان مقاومت  $R_B$  را به دو مقاومت  $\rho R_B$  و  $(1-\rho)R_B$  تقسیم کرد که مجموع آنها  $R_B$  می شود.





همانگونه که در شکل این مدار نشان داده‌ایم ترانزیستور  $Q_L$  جریانی بیش از آنچه قبلاً توسط دیود مربوطه برای بیس ترانزیستور  $Q_{out}$  فراهم می‌شد، فراهم می‌کند. یعنی این ترانزیستور با فعالیت در مُد بایاس مستقیم نقش تقویت کنندگی جریان را در مدار ایفا می‌کند و اگر  $\rho = 1$  باشد همچون یک دیود معمولی عمل می‌کند.

اگر ورودی  $low$  باشد برای  $V_x$  خواهیم داشت:

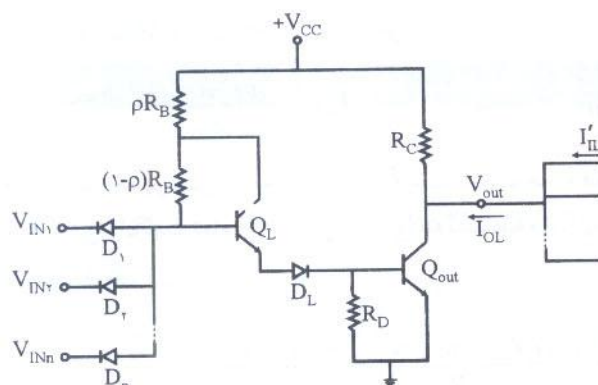
$$V_x = V_{IN(low)} + V_{D1(ON)} < V_{BE_L(FA)} + V_{D_L(ON)} + V_{BE_O(FA)}$$

که خروجی را برابر  $V_{CC}$  یعنی  $V_{OH} = V_{CC}$  می‌کند و به ازای ورودی  $high$  چون  $V_x$  افزایش می‌یابد لذا:

$$V_{out} = V_{CE(SAT)} = V_{OL}$$

می‌شود.

برای محاسبه  $fan-out$  دو حالت مهم  $V_{out} = V_{OL}$  و  $V_{out} = V_{OH}$  داریم که با توجه به شکل زیر می‌توان نتیجه گرفت که برای  $V_{out} = V_{OH}$  چون دیودهای  $D_1$  ورودی گیت‌های طبقه بعد جریانی نمی‌کشند، هیچ محدودیتی برای افزایش تعداد گیت‌های متصل به خروجی گیت طبقه اول نداریم ولی از آنجا که  $fan-out$  یک گیت می‌نیم  $fan-out$   $high$  و  $fan-out$   $low$  آن مدار است لذا می‌بایست به ازای خروجی  $low$  نیز این مقدار را محاسبه کنیم و سپس در مورد  $fan-out$  کل مدار تصمیم بگیریم:



با افزایش تعداد گیت‌های طبقه بعد و low بودن خروجی گیت طبقه اول، از هر کدام از آن گیت‌ها جریانی تحت نام  $I'_{IL}$  وارد کلکتور ترانزیستور  $Q_{out}$  می‌شود و این افزایش جریان باید به گونه‌ای باشد که مقدار  $V_{out}$  از مقدار  $V_{IL}$  بیشتر نشود. زیرا در غیر اینصورت عملکرد گیت‌های طبقه بعد مختل می‌شود. مجموع جریان‌های  $I'_{IL}$  تشکیل  $I_{OL}$  برای گیت طبقه اول را می‌دهند که با توجه به نسبت این دو مقدار (به ازای بدترین حالت برای  $V_{out}$  یعنی همان  $V'_{IL}$ )

$$N = \frac{I_{OL}}{I_{IL}}$$

مقدار fan-out گیت به دست می‌آید. برای محاسبه  $I_{IL}$  از رابطه زیر استفاده می‌کنیم:

$$I_{IL} = I'_{\rho R_B} = \frac{V_{CC} - V'_{D_1(ON)} - V_{CE out(SAT)}}{\rho R_B' + (1-\rho)R_B'} = I_{RB}$$

و این در حالی است که ترانزیستور  $Q_L$  گیت‌های طبقه بعد قطع است و جریانی از آن عبور نمی‌کند لذا تمام جریان عبوری از  $\rho R_B'$  وارد مقاومت  $(1-\rho)R_B'$  می‌شود و در نهایت به ترانزیستور  $Q_{out}$  می‌رسد. از طرفی برای  $I_{OL}$  نیز داریم:

$$I_{OL} = I_{Cout(SAT)} - I_{RC}$$

$$I_{RC} = \frac{V_{CC} - V_{CE out(SAT)}}{R_C}$$

جریان  $I_C$  نیز با توجه به لبه اشباع برای ترانزیستور که در آن  $\sigma = 1$  می‌باشد. خواهیم داشت:

$$I_{Cout(SAT)} = I_{Cout(EOS)} = \beta_F I_{Bout(EOS)}$$

که خود  $I_B$  ترانزیستور  $Q_{out}$  نیز از روابط زیر بدست می آید:

$$I_{B_{out}} = I_{E_{QL}} - I_{RD} \quad , \quad I_{RD} = \frac{V_{BE_{out}(SAT)}}{R_D}$$

و بالاخره آخرین مقدار مجهول در این محاسبات  $I_{E_{QL}}$  است که با توجه به قطع بودن دیود  $D_1$  در ورودی گیت طبقه اول می توان گفت تمام جریان عبوری از  $\rho R_B$  گیت طبقه اول از امیتر ترانزیستور  $Q_L$  می گذرد پس خواهیم داشت:

$$I_{E_{QL}} = \frac{V_{CC} - V_{BE_{QL}(FA)} - V_{DL(ON)} - V_{BE_{out}(SAT)}}{\rho R_B}$$

البته در این رابطه از جریان  $I_B$  در مقابل  $I_C$  چشم پوشی شده است. برای محاسبه توان متوسط مصرفی این گیت با توجه به رابطه

$$P_{D(avg)} = \frac{I_{CC(OH)} + I_{CC(OL)}}{2} V_{CC}$$

می بایست کلیه جریانهای جاری در مدار را در دو حالت خروجی  $low$  و خروجی  $high$  محاسبه کرده و در این رابطه قرار دهیم. برای جریان به ازای خروجی  $high$  (ورودی  $low$ ) چون هر دو ترانزیستور خاموش هستند لذا کافی است جریان عبوری از مقاومت  $\rho R_B$  را که از دیود  $D_1$  می گذرد، به دست آوریم:

$$I_{CC(OH)} = I_{\rho R_B} = I_{IL} = \frac{V_{CC} - V_{D(ON)} - V_{CE(SAT)}}{R_B}$$

**نکته:** از آنجا که ترانزیستور  $Q_{out}$  قطع است و دیود طبقه بعد نیز جریانی نمی کشد لذا  $I_{RC(OH)} = 0$  خواهد بود. پس تنها یک جریان و آن هم  $I_{\rho R_B}$  به ازای خروجی  $high$  در مدار وجود دارد.

و بالاخره برای خروجی  $low$  نیز جریانهای  $I_{RC}$  و  $I_{E_{QL}}$  می بایست محاسبه شوند زیرا هر دو در مدار وجود خواهند داشت:

$$I_{CC(OL)} = I_{RC} + I_{E_{QL}} = \frac{V_{CC} - V_{CE(SAT)}}{R_C} + \frac{V_{CC} - V_{BE(FA)} - V_{D_L(ON)} - V_{BE(SAT)}}{\rho R_B}$$

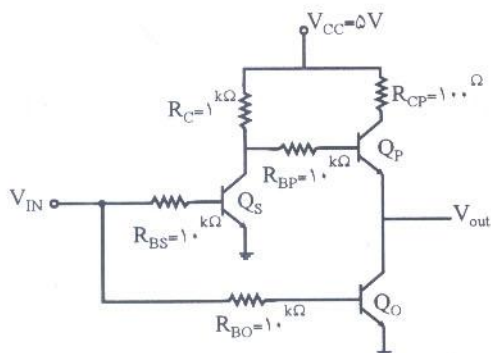
### تست های طبقه بندی شده کنکور سراسری و آزاد فصل سوم

۱- اگر برای طراحی یک گیت NAND چند ورودی خانواده RTL ترانزیستورهایی با مشخصات  $V_{CE(SAT)} = 0.1V$  و  $V_{BE(FA)} = 0.7V$  در اختیار داشته باشیم، حداکثر چند پایه ورودی می توان برای آن گیت در نظر گرفت به گونه ای که در عملکرد مدار اختلالی ایجاد نشود؟ (مؤلف)

(۱) ۲ ورودی      (۲) ۳ ورودی      (۳) ۴ ورودی      (۴) ۵ ورودی

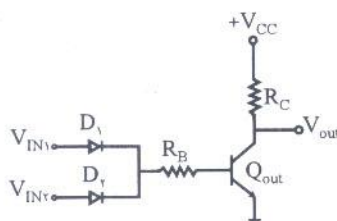
۲- حداکثر چند گیت به طبقه خروجی مدار نشان داده شده در شکل روبرو می توان متصل نمود؟ (مؤلف)

( $\beta_F = 25$ ,  $V_{CE(SAT)} = 0.2V$ ,  $V_{BE(SAT)} = 0.8V$ )



(۱) ۲۰      (۲) ۵۰      (۳) ۱۰۰      (۴) بی نهایت

۳- گیت DTL نشان داده شده در شکل زیر چه عملکرد منطقی را پیاده سازی نموده است؟ (مؤلف)



(۱) AND      (۲) OR      (۳) NAND      (۴) NOR

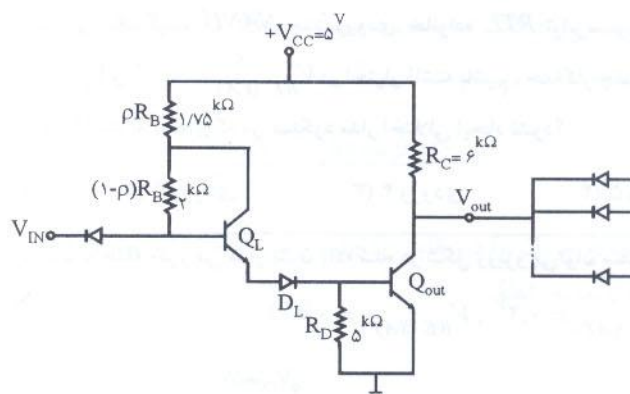
کنکور کارشناسی ارشد (الکترونیک دیجیتال)

۴۴

۴- حداکثر چندگیت به طبقه خروجی مدار نشان داده شده در شکل روبرو می توان متصل نمود؟ (مفلف)

$$V_{BE(SAT)} = 0.8V, \beta_F = 49, V_{BE(FA)} = 0.7V, V_{CE(SAT)} = 0.2V$$

$$V_{D(ON)} = 0.7V, \rho = 0.46V, \sigma_{OL} = 0.85$$



(۴) بی نهایت

(۳) ۱۰۰

(۲) ۵۰

(۱) ۲۰



## پاسخ تست‌های طبقه‌بندی شده کنکور سراسری و آزاد فصل سوم

۱- گزینه (۳) صحیح است.

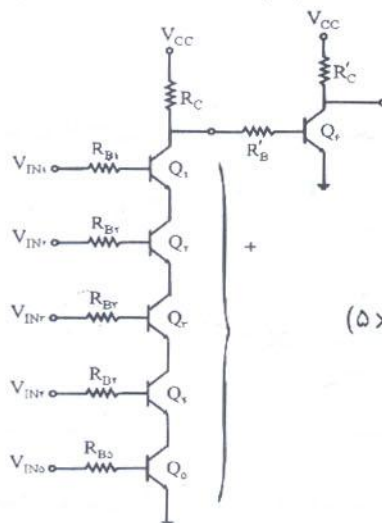
تنها محدودیتی که برای طراحی این گیت داریم مربوط به افزایش  $V_{OL}$  به ازای افزایش پایه‌های ورودی در حالت  $high$  بودن همه آنهاست. زیرا در این حالت  $V_{OL} = \sum_{i=1}^n V_{CE(SAT)}$  و اگر این مجموع از مقدار  $V_{BE(FA)}$  بیشتر شود ترانزیستور گیت  $RTL$  طبقه بعد را روشن می‌کند که این بر خلاف انتظار ما می‌باشد. یعنی  $n V_{CE(SAT)} < V_{BE(FA)}$  در نتیجه برای بدست آوردن  $n$  در این سؤال خواهیم داشت:

$$n < \frac{V_{BE(FA)}}{V_{CE(SAT)}} = \frac{0.7V}{0.17V} = 4.12$$

که گزینه ۳ صحیح خواهد بود. برای درک بهتر این مشکل می‌توان به طرح زیر اشاره کرد.



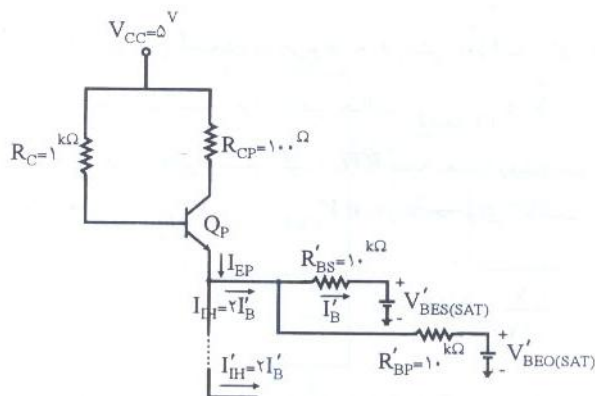
که شکل مداری آن در زیر نشان داده شده است و همانگونه که در شکل مشخص شده مجموع  $V_{CE(SAT)}$  ترانزیستورهای طبقه اول از  $V_{BE(FA)}$  ترانزیستور طبقه دوم بیشتر است و عملکرد مدار را تغییر می‌دهد.



$$(5 \times 0.17V) = 0.85V > 0.7V$$

۲- گزینه (۲) صحیح است.

این مدار که به مدار *Active pull-up* معروف است در حالت خروجی *low* همچون گیت *RTL* معمولی محدودیت برای تعداد اتصالات طبقه بعد ندارد زیرا نیازی به درایو کردن آنها نمی باشد ولی در حالت خروجی *high* با توجه به مسیر عبور جریانها خواهیم داشت :



مقدار *Fan-out* از رابطه  $I_{EP} = NI'_{IH}$  به دست می آید که برای هر یک از جریانهای  $I_{EP}$  و  $I'_{IH}$  خواهیم داشت :

$$I_E = \frac{V_{CC} - V_{CE(SAT)} - V_{out}}{R_{CP}} \quad (I_{EP} \approx I_{CP} \text{ با فرض})$$

$$I'_{RB} = \frac{V_{out} - V'_{BES(SAT)}}{R'_B}$$

همانگونه که قبلاً عنوان شد  $V_{out} = V_{IH}$  یعنی حداقل مقدار مجاز فرض می شود.

$$V_{OH(min)} = V_{IH} = V_{BE(SAT)} + \frac{V_{CC} - V_{CE(SAT)}}{\beta_F R_C} R_B = 0.7 + \frac{5 - 0.2}{25 \times 1^k} (10)^k = 2.7V$$

$$N = \frac{I_E}{I'_{IH}} = \frac{I_E}{2I'_{RB}} = \frac{\frac{5 - 0.2 - 2.7}{100}}{2 \times \frac{2.7 - 0.7}{10^k}} = 55/3$$

۳- گزینه (۴) صحیح است.

اگر هر دو ورودی *low* باشند دیودهای  $D_1$  و  $D_2$  قطع خواهند بود لذا ترانزیستور  $Q_{out}$  روشن

نمی شود و خروجی مدار *high* می شود و البته این حالت به ازای *high* بودن حداقل یکی از ورودی ها نقض می شود. می توان نتیجه گرفت که به ازای *high* بودن حداقل یکی از ورودی ها و یا هر دو ورودی ترانزیستور  $Q_{out}$  بایاس می شود (اشباع) و لذا خروجی *low* می شود که چنین عملکردی را تحت عنوان عمل *NOR* می شناسیم.

۴- گزینه (۲) صحیح است.

به ازای خروجی *high* هیچ محدودیتی برای اتصال گیت های طبقه بعد به خروجی این مدار وجود ندارد ولی به ازای خروجی *low* افزایش تعداد اتصالات موجب افزایش  $V_{out}$  می شود که بزرگترین محدودیت،  $V_{out} \leq V_{IL}$  می باشد. پس برای *fan-out* خواهیم داشت:

$$I_{IL} = I_{\rho R_B} = \frac{5 - 0.7 - 0.2}{3.75k} = 1.09mA$$

$$I_{RC} = \frac{5 - 0.2}{6k} = 800\mu A$$

$$I_{EQL} = \frac{5 - 2 \times (0.7) - 0.2}{(0.467)(3.75k)} = 1.6mA, \quad I_{RD} = \frac{0.2}{5k} = 40\mu A$$

$$I_{BQ_{out}} = 1.6mA - 40\mu A = 1.56mA, \quad I_{CQ_{out}} = (0.85)(49)(1.56mA) = 6.6mA$$

$$I_{OL} = 6.6mA - 800\mu A = 5.8mA \Rightarrow N = \frac{5.8mA}{1.09mA} = 5.3$$