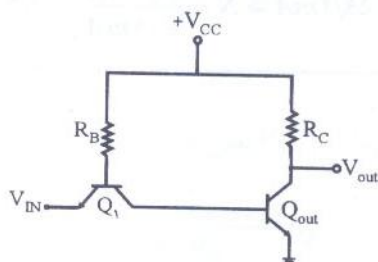


مدارهای TTL

۴

۴-۱- گیت پایه خانواده TTL

برای معرفی مدارهای TTL از گیت پایه NOT شروع می‌کنیم. شکل زیر یک گیت NOT از خانواده TTL را نشان می‌دهد.



همانگونه که در شکل مشخص شده ترانزیستور Q_1 به تنهایی نقش دیودهای *Level-shifting* مدارهای DTL را ایفا می‌کند.

- جایگزینی یک ترانزیستور به جای دو دیود دارای دو مزیت عمده است :
- کاهش فضای اشغال شده توسط مدار
- بهبود زمان تأخیر انتشار

هنگامی که ورودی مدار low می باشد پیوند بیس - امیتر ترانزیستور Q_1 در حالت بایاس مستقیم قرار می گیرد. لذا جریان I_{BI} از مقاومت R_B می گذرد که مقدار آن از رابطه زیر به دست می آید:

$$I_{BI} = \frac{V_{CC} - V_{BEI} - V_{IN}}{R_B}$$

این جریان در حد میلی آمپر می باشد یعنی ترانزیستور Q_1 اشباع می شود. با توجه به اشباع شدن ترانزیستور Q_1 می توان نتیجه گرفت ترانزیستور Q_{out} در حالت قطع قرار می گیرد. زیرا ورودی low با توجه به رابطه زیر نمی تواند ولتاژ مورد نظر برای برقراری پیوند بیس - امیتر ترانزیستور Q_{out} را تأمین نماید.

$$V_{BE out} = V_{IN} + V_{CEI (SAT)}$$

پس به ازای ورودی low ، خروجی مدار برابر V_{CC} می شود.

$$V_{OH} = V_{CC}$$

اگر ورودی مدار افزایش پیدا کند به گونه ای که ترانزیستور Q_{out} در آستانه هدایت قرار گیرد آنگاه می گوئیم ولتاژ ورودی به مقدار V_{IL} رسیده است لذا می توان رابطه زیر را برای آن ارائه نمود:

$$V_{IL} = V_{BE out (FA)} - V_{CEI (SAT)}$$

اگر این روند رو به رشد ولتاژ ورودی ادامه پیدا کند ترانزیستور Q_{out} اشباع شده و خروجی مدار در حالت low قرار می گیرد لذا:

$$V_{OL} = V_{CE out (SAT)}$$

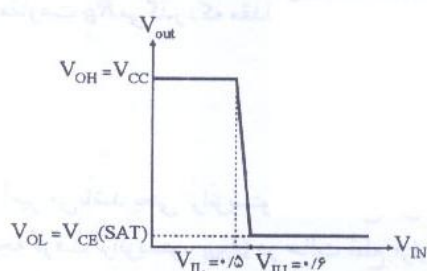
و بالاخره می توان گفت اولین مقدار ولتاژ ورودی که توانایی اشباع نمودن ترانزیستور Q_{out} را داشته باشد همانا بیانگر مقدار V_{IH} خواهد بود که از رابطه زیر به دست می آید:

$$V_{IH} = V_{BE out (SAT)} - V_{CEI (SAT)}$$

البته باید توجه نمود که در این حالت پیوند بیس - امیتر ترانزیستور Q_I در حالت بایاس معکوس قرار می گیرد و پیوند بیس - کلکتور ترانزیستور Q_I در حالت بایاس مستقیم، مقدار اختلاف پتانسیل این پیوند از رابطه زیر به دست می آید:

$$V_{BCI} = (V_{CC} - I_{BI} R_B) - V_{BE out (SAT)}$$

با توجه به مقادیر فوق می توان مشخصه انتقال ولتاژ این مدار پایه را در نمودار زیر به تصویر کشید:



این که مقادیر 0.5 و 0.6 چگونه به دست آمده اند به این دلیل است که ولتاژ آستانه هدایت را برای بایاس نمودن پیوند بیس - امیتر ترانزیستور Q_{out} برابر 0.7 در نظر گرفته ایم و ولتاژ بین امیتر حالت اشباع را نیز 0.8 .

همانگونه که مشاهده می شود این مدار نیز دارای NML بسیار پایینی است که یک ضعف برای این مدار محسوب می شود. اگرچه ناحیه تعریف نشده آن تنها وسعتی معادل 0.1 دارد که به مقدار ایده آل بسیار نزدیک است. در ادامه بحث خانواده مدارهای TTL راهکارهای مختلفی جهت افزایش مقدار NML را ارائه خواهیم نمود.

از آنجا که در این طرح همانند مدارهای DTL از مقاومت R_D استفاده نشده است شاید این سؤال در ذهن مطرح شود که به دلیل عدم دشارژ خازن بیس - امیتر ترانزیستور Q_{out} ، سرعت سوئیچینگ این مدارها خصوصاً در حالت V_{OL} به V_{OH} از مدارهای DTL کم تر است. اگر جریانی که در لحظه سوئیچینگ ترانزیستور Q_{out} از حالت اشباع به حالت قطع از بیس آن خارج می شود را برای هر دو مدار TTL و DTL محاسبه کنیم می توانیم با توجه به بزرگی هریک از آن دو مقدار در این باره اظهار نظر منطقی ارائه کنیم.

در مدارهای DTL این جریان ($Stord\ charge\ Remova$) از رابطه زیر به دست می آید:

$$I_{SCR} = I_{RD} = \frac{V_{BE\ out\ (SAT)}}{R_D}$$

در مدارهای TTL این جریان از طریق ترانزیستور Q_I از بیس ترانزیستور Q_{out} کشیده می شود. هنگامیکه ولتاژ V_{IN} از مقدار $high$ به مقدار low تغییر حالت می دهد ولتاژ V_{CI} هنوز برابر $V_{CI} = V_{BE\ out\ (SAT)}$ می باشد. لذا ولتاژ ورودی برابر مقدار زیر می شود:

$$V_{EI} = V_{CE\ out\ (SAT)} = V_{OL} \quad (\text{گیت قبلی})$$

پیوند بیس - امیتر ترانزیستور Q_I در این حالت بایاس مستقیم می شود لذا خواهیم داشت :

$$V_{BI} = V_{EI} + V_{BEI(FA)} = V_{CE(SAT)} + V_{BE(FA)}$$

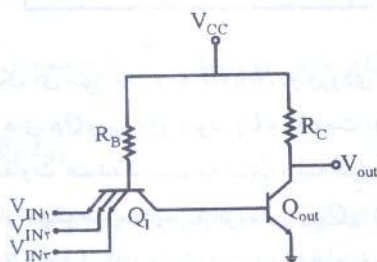
$$V_{BCI} = V_{BI} - V_{CI} = V_{CE(SAT)} + V_{BE(FA)} - V_{BE(SAT)}$$

تا قبل از اینکه ترانزیستور Q_I در حالت اشباع قرار گیرد جریان I_{CI} از بیس ترانزیستور Q_{out} کشیده می شود که مقدار آن برابر :

$$I_{CI} = \beta_F I_{BI} = \beta_F \frac{V_{CC} - V_{BI}}{R_B}$$

$$= \beta_F \frac{V_{CC} - V_{BE(FA)} - V_{CE(SAT)}}{R_B} = -I_{B out}$$

که مقدار این جریان از جریان I_{RD} بسیار بزرگتر است و معمولاً چیزی در حد میلی آمپر است در حالی که I_{RD} در حد میکروآمپر است. با توجه به این روابط می توان نتیجه گرفت که سرعت سوئیچینگ در این ترانزیستور نه تنها از مدل قبلی کمتر نیست بلکه بسیار سریعتر است. ساده ترین گیت بعد از گیت پایه NOT این خانواده ، گیت $NAND$ است. طراحی چنین گیتی که به گیت چند امیتر^(۱) معروف است در شکل زیر به تصویر کشیده شده است :



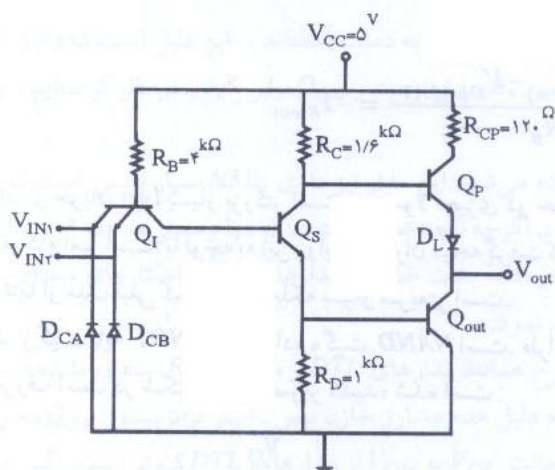
اگر همه ورودی ها $high$ باشند ترانزیستور Q_I قطع خواهد بود و از طریق مسیر بیس - کلکتور ترانزیستور Q_I ، ترانزیستور Q_{out} هدایت خواهد شد و به حالت اشباع می رود لذا خروجی low می شود. ولی اگر حداقل یکی از ورودی ها low باشد آنگاه مسیر بیس - امیتر ترانزیستور Q_I بایاس مستقیم می شود و جریانی از این مسیر عبور می کند. لذا جریان کلکتور ترانزیستور Q_I از بیس

ترانزیستور Q_{out} کشیده می شود که باعث قطع شدن Q_{out} می شود که خروجی در این حالت $high$ خواهد بود.

رابطه زیر دلیل عدم هدایت ترانزیستور Q_{out} را به ازای ورودی low نشان می دهد:

$$V_{BE\ out} = V_{IN\ (low)} + V_{CEI\ (SAT)} < V_{BE\ (FA)}$$

آنچه که امروزه تحت عنوان مدل استاندارد IC های خانواده XX ۷۴ یا XX ۵۴ وجود دارد چنین ساختار ساده ای نیست، بلکه یک مدل استاندارد شده از خانواده TTL می باشد. به شکل زیر توجه کنید:



این شکل ساختار استاندارد یک آی سی ۷۴۰۰ که $NAND$ دو ورودی خانواده TTL است را نمایش می دهد. به ترکیب ترانزیستورهای Q_{out} و Q_p و دیود D_L و مقاومت R_{CP} در شاخه خروجی، مدل توتمپل^(۱) می گوئیم که یک تفاوت عمده نسبت به مدل اولیه گیت های TTL محسوب می شود. ترانزیستور Q_s جریان مورد نیاز جهت هدایت بیس ترانزیستور Q_{out} را تأمین می کند. هنگامی که Q_{out} اشباع است Q_s نیز در حالت اشباع قرار دارد و ترانزیستور Q_p قطع خواهد بود. برای اثبات این گفته می توانیم ولتاژهای V_{BQP} و V_{CQS} که با هم برابر هستند را به دست آوریم:

$$V_{CS} = V_{BP} = V_{BE\ out\ (SAT)} + V_{CES\ (SAT)} \quad (1)$$

حال باید اثبات کنیم که V_{BEP} از مقدار لازم برای روشن شدن ترانزیستور Q_p کمتر است:

$$V_{EP} = V_{CE\ out\ (SAT)} + V_{DL\ (ON)} \quad (2)$$

1- Totem pole

$$(۱) - (۲) = V_{BEP} = V_{BE\ out\ (SAT)} - V_{D\ (ON)} < V_{BE\ (FA)}$$

نقش المانهای این مدار را می توان به صورت زیر خلاصه نمود:

Q_I : نقش دیود D_I در مدارهای DTL را ایفا می کند که به وجود آورنده دو حالت معکوس هم است.

R_B : محدود کننده جریان I_{IL} .

Q_S : تأمین کننده جریان بیس ترانزیستور Q_{out} و تقویت کننده $fan-out$ مدار می باشد.

R_{CP} و R_C : محدود کننده های جریان در مسیر خودشان.

Q_{out} : ترانزیستور معکوس کننده در خروجی.

D_L : جلوگیری از روشن شدن همزمان Q_P و Q_{out} .

R_D : فراهم کننده مسیر دشارژ خازن بیس - امیتر ترانزیستور Q_{out} .

Q_P : فراهم کننده جریان (تقویت کنندگی جریان برای کلکتور Q_{out}).

D_{CA} و D_{CB} : برای جلوگیری از آسیب ترانزیستورهای ورودی به ازای افت ولتاژ شدید.

برای به دست آوردن V_{TC} چنین مداری لازم است که پارامترهای چهارگانه آن را بررسی نماییم که البته در این حالت، فرض می کنیم که این پارامترها برای مدل استاندارد تک ورودی یعنی گیت NOT لحاظ شده اند. هنگامیکه ورودی مدار در حالت low قرار دارد، جریان نسبتاً زیادی از بیس ترانزیستور Q_I عبور می کند:

$$I_{BI} = \frac{V_{CC} - V_{BEI} - V_{IN\ (low)}}{R_B}$$

جریان کلکتور ترانزیستور Q_I از طریق جریان نشستی^(۱) خارج شده از بیس ترانزیستور Q_S تأمین می شود:

$$I_{CI} = -I_{BS\ (leakage)} < \beta_F I_{BI}$$

لذا Q_S در این حالت قطع خواهد بود و با توجه به رابطه $I_{CI} < \beta_F I_{BI}$ می توان نتیجه گرفت که ترانزیستور Q_I اشباع می شود، ولتاژ بیس ترانزیستور Q_S در این حالت از رابطه زیر محاسبه می شود:

$$V_{BS} = V_{IN} + V_{CEI\ (SAT)} < V_{BE\ (FA)}$$

بنابراین هم Q_S و هم Q_{out} قطع خواهند بود. لذا جریان I_{RC} و I_{CI} (صرف نظر از جریان I_{BP}) صفر خواهند بود. بیس ترانزیستور Q_P به V_{CC} وصل خواهد شد و در نتیجه پیوند بیس - امیتر ترانزیستور

1- leakage

Q_P و همچنین دیود D_L بایاس مستقیم می شوند و ولتاژ خروجی از رابطه زیر به دست می آید:

$$V_{out} = V_{CC} - V_{BEP(FA)} - V_{DL(ON)} = V_{OH}$$

با افزایش V_{IN} می بایست در انتظار کاهش V_{out} و رفتن به سمت ناحیه تعریف نشده برای عملکرد مدار باشیم که چنین نقطه ای از ورودی همان مرز V_{IL} خواهد بود یعنی اولین حد ولتاژی که بتواند پیوند بیس - امیتر ترانزیستور Q_S را بایاس نماید:

$$V_{IN} = V_{BES(FA)} - V_{CEI(SAT)} = V_{IL}$$

در این حالت Q_S جریان را هدایت می کند و V_{out} با افزایش ورودی شروع به کاهش می کند. توجه کنید که در این حالت نمی توانیم بگوییم حتماً ترانزیستور Q_{out} نیز تحت تأثیر قرار می گیرد بلکه تنها به دلیل جریان کشی از کلکتور ترانزیستور Q_S ولتاژ خروجی کاهش می یابد. حال می بایست بررسی کنیم که به ازای چه مقدار افزایش V_{IN} ، ترانزیستور Q_{out} نیز در آستانه هدایت قرار می گیرد.

با افزایش V_{IN} تا آنجا که $I_{ES} \approx I_{CS} = I_{RD}$ برقرار شود، ولتاژ بیس ترانزیستور Q_{out} نیز شروع به افزایش می کند و با توجه به رابطه زیر، ترانزیستور Q_{out} شروع به هدایت می کند:

$$V_{IN} = V_{BEout(FA)} + V_{BES(FA)} - V_{CEI(SAT)}$$

$$= 2V_{BE(FA)} - V_{CE(SAT)} = V_{IB}$$

مقدار فوق را V_{IB} نشان داده ایم. یعنی نقطه ای که در شکل مشخصه V_{TC} مدار یک شکست ایجاد می کند. ولتاژ خروجی به ازای ورودی V_{IB} با توجه به روابط زیر محاسبه می شود:

$$I_{RC} = I_{RD} = \frac{V_{BEout(FA)}}{R_D}$$

$$V_{out} = V_{CC} - I_{RC}R_C - V_{BEP(FA)} - V_{DL(ON)}$$

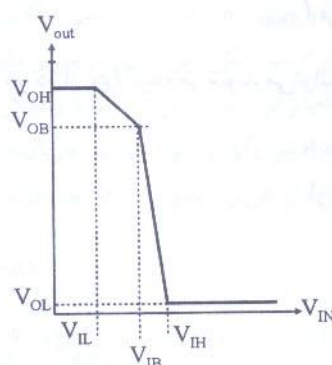
$$= V_{CC} - \left(\frac{R_C}{R_D} + 1\right)V_{BE(FA)} - V_{D(ON)} = V_{OB}$$

و بالاخره با افزایش بیشتر ولتاژ ورودی، ترانزیستورهای Q_S و Q_{out} که در آستانه هدایت قرار گرفته بودند، به ناحیه اشباع می روند و لذا چون در این حالت خروجی مدار low می شود پس V_{IH} به دست می آید:

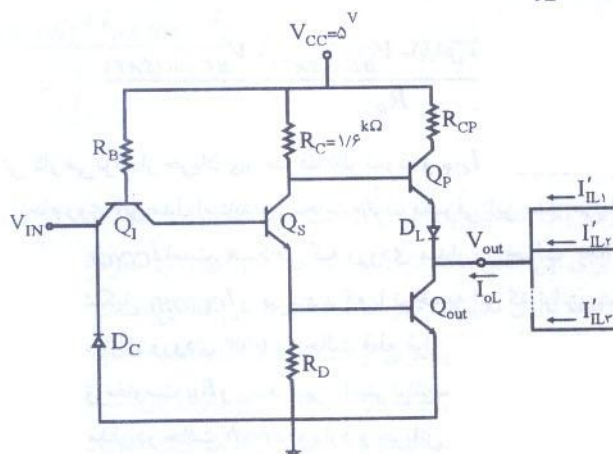
$$V_{IN} = V_{BEout(SAT)} + V_{BES(SAT)} - V_{CEI(SAT)}$$

$$= V_{BE(SAT)} - V_{CE(SAT)} = V_{IH}$$

و با low شدن خروجی، $V_{out} = V_{CE out(SAT)} = V_{OL}$ ، آخرین پارامتر مورد نظر ما نیز به دست می آید:



در ادامه، به نحوه محاسبه $fan-out$ این مدار می پردازیم. همانگونه که در شکل زیر مشاهده می شود در این مدارها $fan-out$ مشابه مدارهای DTL تنها در حالت خروجی low مفهوم پیدا می کند که از رابطه $N = \frac{I_{OL}}{I_{IL}}$ محاسبه می شود.



جریانهای I'_{IL} از رابطه زیر به دست می آیند:

$$I_{IL} = \frac{V_{CC} - V'_{BEI(SAT)} - V_{CEout(SAT)}}{R'_B}$$

و جریان I_{OL} نیز ارتباط مستقیمی با جریان I_{Cout} دارد. از آنجا که خروجی با افزایش تعداد گیت‌های طبقه بعد می‌بایست همچنان در حالت low بماند پس ترانزیستور Q_{out} در حالت اشباع باید کار کند لذا خواهیم داشت:

$$I_{OL} = I_{Cout(SAT)} = \sigma_{OL} \beta_F I_{Bout}$$

با در نظر گرفتن I_{RD} و I_{Bout} که هر دو از I_{ES} گرفته می‌شوند می‌توان I_{Cout} را محاسبه نمود:

$$I_{Bout} = I_{ES(SAT)} - I_{RD}$$

$$I_{RD} = \frac{V_{BEout(SAT)}}{R_D}$$

$$I_{ES(SAT)} = I_{BS} + I_{CS}$$

$$I_{CS} = I_{RC} = \frac{V_{CC} - V_{CES(SAT)} - V_{BEout(SAT)}}{R_C}$$

$$I_{BS} = I_{CI} \text{ (بایاس معکوس)} = (1 + \beta_R) I_{BI} = (1 + \beta_R) I_{RB}$$

$$I_{BI} = \frac{V_{CC} - V_{BCI} \text{ (بایاس معکوس)} - V_{BES(SAT)} - V_{BEout(SAT)}}{R_R}$$

که البته برای راحتی کار می‌توان از جریان I_{BS} صرف نظر نمود. و $I_{ES} = I_{CS}$ را ملاک قرار داد. آخرین بررسی قابل انجام روی این مدل استاندارد محاسبه توان مصرفی این مدار می‌باشد که مستلزم داشتن مقدار $I_{CC(OH)}$ و $I_{CC(OL)}$ است. هنگامی که ورودی مدار در حالت low قرار دارد کل جریانهای موجود در مدار تشکیل $I_{CC(OH)}$ را می‌دهند که با توجه به این که ترانزیستور Q_I اشباع و ترانزیستور Q_S و Q_{out} نیز (به ازای ورودی low) در حالت قطع قرار دارند، لذا تنها جریان موجود در مدار جریانی است که از طریق مقاومت R_B و پیوند بیس-امیتر ترانزیستور Q_I در ورودی از مدار خارج می‌شود. از آنجا که خروجی مدار در حالت $high$ قرار دارد و جریانی نمی‌کشد می‌توان نتیجه گرفت که جریان عبوری از مقاومت R_C و پیوند بیس-امیتر ترانزیستور Q_P و نیز دیود D_L برابر صفر است. پس خواهیم داشت:

$$I_{CC(OH)} = I_{RB(OH)} = \frac{V_{CC} - V_{BEI(SAT)} - V_{CEout(SAT)}}{R_B}$$

نکته: مقدار $V_{CEout}(SAT)$ در صورت کسر فوق بیانگر این نکته است که یک ورودی low مطمئناً به یک خروجی low متصل شده است و خروجی های low برای مدارهای TTL نیز همانگونه که قبلاً توضیح داده شده برابر $V_{CE}(SAT)$ می باشند.

و اما هنگامی که خروجی مدار در حالت low قرار دارد یعنی Q_S و Q_{out} در حالت اشباع و Q_P نیز قطع است دو جریان در مدار برقرار است: یکی جریانی که از طریق مقاومت R_B و پیوند بیس - کلکتور ترانزیستور Q_I وارد بیس و سپس امیتر ترانزیستور Q_S می شود و دیگری جریانی که از طریق مقاومت R_C و کلکتور ترانزیستور Q_S وارد امیتر Q_S می شود. هر دو جریان در انتها به بیس ترانزیستور Q_{out} منتهی می شوند لذا جریان $I_{CC(OL)}$ از طریق مجموع این دو جریان به دست می آید:

$$I_{CC(OL)} = I_{RB(OL)} + I_{RC(OL)}$$

$$I_{RB(OL)} = \frac{V_{CC} - V_{BC(RA)} - V_{BE(SAT)}}{R_B}$$

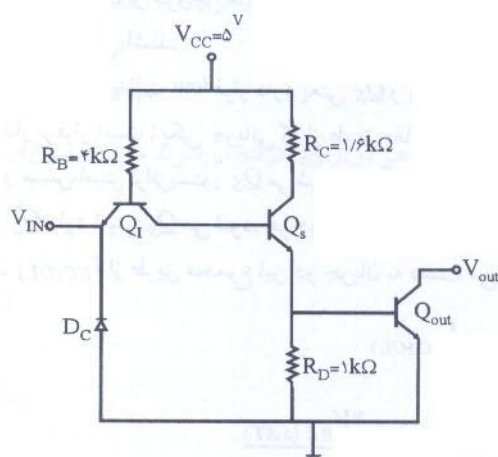
$$I_{RC(OL)} = \frac{V_{CC} - V_{CE(SAT)} - V_{BE(SAT)}}{R_C}$$

$$P_{CC(av)} = \frac{I_{RB(OH)} + I_{RB(OL)} + I_{RC(OL)}}{2} (V_{CC}) \quad \text{که در نهایت توان مصرفی به صورت محاسبه می شود.}$$

۴-۲- گیت های کلکتور باز

ساختار استاندارد، یک ساختار پایه برای آی سی های خانواده TTL است و سایر ساختارهای معرفی شده دیگر برای این خانواده که در ادامه چند نمونه از آنها را نیز معرفی خواهیم نمود، تقریباً این ساختار را دارند و فقط دارای تغییرات کمی با توجه به هدفی که می بایست تأمین کنند می باشند. به عنوان مثال در طراحی باس های کامپیوتری از مدل $open-collector(OC)$ یا به عبارتی کلکتور باز استفاده می کنیم. دلیل استفاده از این گیتها در باس های کامپیوتری این است که چون این گیتها تنها با استفاده از یک مقاومت $pull-up$ و اتصال خروجی هایشان به هم گیت AND را پیاده سازی می کنند لذا در طرح باس مشترک با استفاده از بافرهای سه حالت (که در بعضی مواقع خروجی امپدانس بالای آنها مهم است) کاربرد دارند. همانگونه که در شکل زیر نشان داده ایم این گیتها نسبت به مدل استاندارد سه تفاوت عمده یعنی عدم استفاده از مقاومت R_{CP} ، ترانزیستور Q_P و دیود D_L دارند و برای گرفتن عملکرد مطلوب از آنها کافی است در خروجی این آی سی ها هر پایه ای که قرار است مورد استفاده

قرار گیرد با یک مقاومت *pull-up* به تغذیه مثبت متصل شود.

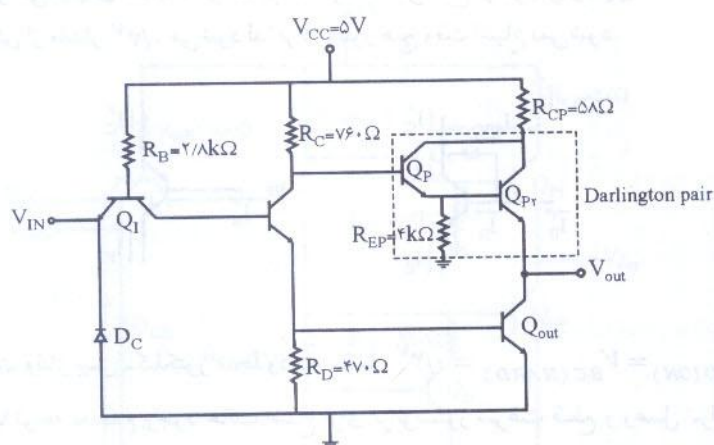


۴-۳- مدارهای TTL کم مصرف

طرح دیگری که برای این خانواده ارائه شده است، طرح کاهش توان مصرفی گیت‌های خانواده TTL است. با توجه به رابطه توان که در آن جریان و ولتاژ یک نسبت مستقیم با توان مصرفی دارند و از آنجا که ولتاژ تغذیه غیر قابل تغییر است لذا ساده‌ترین راه کاهش توان را می‌توان کاهش جریان‌های جاری در مدار در هر دو حالت خروجی *low* و خروجی *high* دانست. کاهش جریان می‌تواند از طریق افزایش مقدار مقاومت‌ها صورت گیرد. خانواده آی سی‌های $74LXX / 54LXX$ که در آن مقدار مقاومت‌ها تقریباً ۱۰ برابر حالت استاندارد است، از همین طرح استفاده می‌کند که البته دو عیب عمده آنها یکی کاهش *fan-out* و دیگری افزایش زمان پاسخ‌گذا (مثلاً زمان سوئیچینگ از حالت *low* به *high* و یا بالعکس) در نتیجه همین افزایش مقاومت است. توان مصرفی گیت‌های TTL سری $74LXX$ در حدود میکرووات است در حالی که این مقدار برای حالت استاندارد چیزی در حدود چند میلی‌وات است. آخرین طرحی که برای این خانواده پیشنهاد شده است طرح TTL سرعت بالاست که سعی در جبران کاهش سرعت در طرح‌های قبلی است. طبق آنچه برای خانواده $74LXX$ مطرح شد می‌توان نتیجه گرفت که کاهش مقدار مقاومت‌ها می‌تواند باعث افزایش سرعت در گیت‌های TTL شود که البته نتیجه نامطلوب آن قطعاً افزایش توان مصرفی گیت خواهد بود. طرح زیر که به طرح دارلینگتون^(۱) معروف است با استفاده از پیکربندی زوج دارلینگتون توسط ترانزیستورهای Q_P و Q_N به جای طرح

1- Darlington

تک ترانزیستوری Q_P ارائه شده است که جریان بیشتری جهت شارژ خازن بار (در خروجی) فراهم می نماید. مقاومت R_{EP} نیز مسیر دشارژ جریان بیس - امیتر ترانزیستور Q_P را تأمین می کند.



نکته: علت اصلی عدم استفاده از دیود D_L در این طرح وجود دو ترانزیستور Q_P و Q_N به صورت متوالی می باشد، زیرا کاربرد آن دیود جلوگیری از روشن شدن همزمان دو ترانزیستور طبقه خروجی بود که این هدف در این طرح از طریق حاصل جمع دو V_{BE} ترانزیستورهای Q_P و Q_N بدست می آید.

۴-۴- گیت های STTL

در ادامه ایده های مطرح شده برای افزایش سرعت گیت های TTL ایده جدیدی تحت عنوان استفاده از دیودهای شاتکی مطرح می شود. دیودهای شاتکی دیودهایی هستند که طبق شکل زیر از یک پیوند نیمه هادی - فلز تشکیل شده اند و ولتاژ آستانه هدایت آنها تقریباً $\frac{1}{3}$ ولتاژ آستانه هدایت دیودهای سیلیکونی معمولی می باشد.



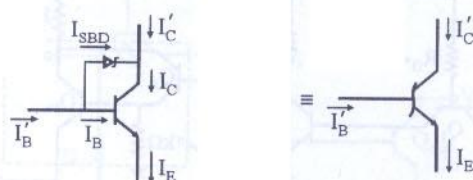
در ترانزیستورهای BJT اگر مانع از اشباع ترانزیستور (به هر نحو) شویم برای تخلیه خازن بیس به زمان کمتری نیاز خواهیم داشت. هنگامی که ترانزیستوری اشباع می شود ولتاژ بیس - کلکتور آن از رابطه زیر به دست می آید:

کنکور کارشناسی ارشد (الکترونیک دیجیتال)

۶۰

$$V_{BC(SAT)} = V_{BE(SAT)} - V_{CE(SAT)} = 0.8 - 0.2 = 0.6V$$

حال اگر بتوانیم به گونه ای این ولتاژ را کاهش دهیم به هدف خود خواهیم رسید. در طرح زیر که از این پس اساس طراحی گیت های $STTL$ خواهد بود، دیود شاتکی مانع از افزایش ولتاژ پیوند بیس-کلکتور ترانزیستور بیش از مقدار $0.6V$ می شود لذا ترانزیستور هیچ وقت اشباع نمی شود.



در این حالت ولتاژ بیس-کلکتور محدود به مقدار $0.3V$ می شود. لذا با توجه به عدم وجود حالت اشباع برای ترانزیستور سرعت قطع و وصل ترانزیستور افزایش پیدا می کند. با یک KVL ساده می توان نتیجه گرفت که $V_{CE(ON)} = 0.5V$ خواهد بود.

با توجه به حالت $HARD$ می توان نتیجه گرفت که به دلیل وجود دیود شاتکی، پیوند بیس-کلکتور ترانزیستور هیچ گاه توانایی بایاس معکوس شدن را ندارد لذا حالتی را که در آن این پیوند قطع است ولی دیود شاتکی فعال است (یا به طور دقیق تر، ترانزیستور BJT قطع است) را حالت شاتکی معکوس، نامگذاری می کنیم. فرق این حالت با حالت $HARD$ در قطع بودن ترانزیستور است. در حالت شاتکی معکوس روابط زیر برقرار می باشند:

$$V_{BE} < V_{BE(FA)}$$

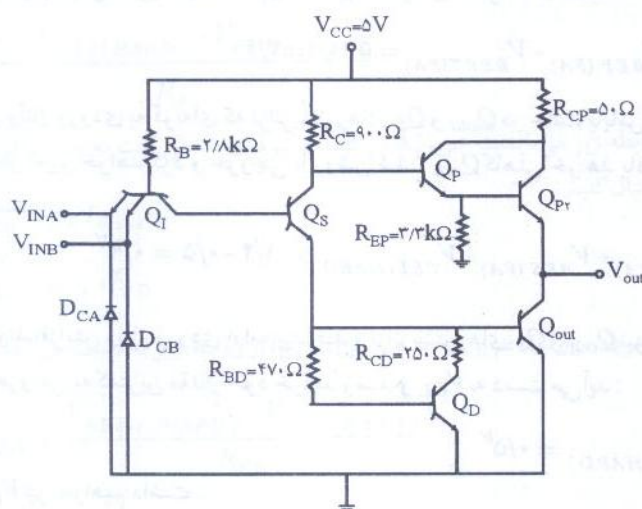
$$V_{BC(RS)} = 0.3V$$

$$I_B = I_C = I_E = 0$$

$$I'_B = -I'_C = I_{SBD}$$

1- Schottky - Barrier Diodes

آی سی های خانواده $SXX/74$ و $SXX/54$ از همین ساختارهای $STTL$ بهره می گیرند. شکل زیر ساختار داخلی آی سی 74500 را (یک گیت $NAND$ دو ورودی از این خانواده) نشان می دهد.



همانگونه که در شکل مشاهده می کنید تمام ترانزیستورها (به استثنای ترانزیستور Q_{p2}) از نوع شاتکی می باشند. دیودهای D_{CA} و D_{CB} نیز دیود شاتکی اند. دیود D_L در این ساختار حذف شده است و به جای آن با استفاده از ترانزیستورهای Q_P و Q_{P2} یک زوج دارلینگتون تشکیل داده ایم. این ترکیب می تواند هنگام تعویض حالت خروجی از low به $high$ جریان بیشتری برای سریعتر شارژ شدن خازن بار تأمین کند و لذا زمان سوئیچینگ را افزایش می دهد. برای توجیه اینکه چرا ترانزیستور Q_{P2} از نوع شاتکی در نظر گرفته نشده است می توان این گونه پاسخ داد که:

هنگامی که ترانزیستورهای Q_P و Q_{P2} روشن هستند ولتاژ کلکتور - امیتر ترانزیستور Q_{P2} از رابطه زیر پیروی می کند:

$$V_{CEP2} = V_{BEP2(FA)} + V_{CEP(HARD)} > V_{CE(SAT)}$$

پس با توجه به این مقدار همیشه از $V_{CE(SAT)}$ بزرگتر است می توان گفت این ترانزیستور هیچگاه به حالت اشباع نمی رود و لذا لزومی به استفاده از دیود شاتکی در این قسمت نداریم. تغییر دیگری که در این مدار مشاهده می شود استفاده از ترانزیستور Q_D و مقاومت های مربوطه اش به جای مقاومت R_D در ساختارهای قبلی است. این طرح چندین مزیت دارد: اول اینکه به ازای ورودی low هیچ جریانی از مقاومت های R_{CD} و R_{BD} نمی گذرد و با افزایش ورودی، Q_D و Q_{out} می بایست در یک لحظه و به صورت همزمان روشن شوند. نتیجه مهم این ساختار حذف نقطه شکست موجود در مشخصه VTC

ساختارهای TTL است که باعث کاهش عرض ناحیه تعریف نشده می شود. هنگامی که ورودی ها low هستند ترانزیستورهای Q_D و Q_S و Q_{out} قطع می باشند در حالی که خروجی از طریق ترانزیستورهای فعال Q_P و Q_{P2} مقدار $high$ خواهد داشت.

$$V_{OH} = V_{CC} - V_{BEP (FA)} - V_{BEP2 (FA)} = 5 - 1/4 = 3/6$$

با افزایش ولتاژ ورودی به گونه ای که ترانزیستورهای Q_S و Q_{out} در حالت بایاس مستقیم قرار گیرند عملکرد مدار تغییر خواهد کرد و خروجی با روشن شدن Q_{out} کاهش خواهد یافت. لذا برای V_{IL} خواهیم داشت:

$$V_{IL} = V_{BEout (FA)} + V_{BES (FA)} - V_{CEI (HARD)} = 1/4 - 0/5 = 0/9V$$

اگر این روند افزایش ولتاژ ورودی ادامه پیدا کند و ترانزیستورهای Q_S و Q_{out} نیز در حالت $HARD$ قرار گیرند خروجی به کمترین مقدار خود خواهد رسید و V_{OL} به دست می آید:

$$V_{OL} = V_{CEout (HARD)} = 0/5V$$

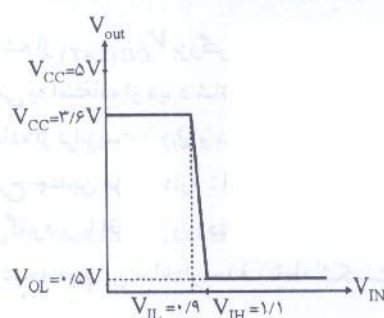
و برای V_{IH} نیز خواهیم داشت:

$$V_{IH} = V_{BEout (HARD)} + V_{BES (HARD)} - V_{CEI (HARD)} = 2(0/8) - 0/5 = 1/1V$$

در مورد ترانزیستور Q_P این نکته قابل ذکر است که علاوه بر این که این ترانزیستور در حالت خروجی $high$ روشن است در حالت خروجی low نیز با توجه به رابطه زیر که نشان می دهد ولتاژ بیس ترانزیستور Q_P از V_P بیشتر می شود و همچنین مقاومتی که در امیتر آن به زمین وصل شده است این ترانزیستور روشن می شود:

$$V_{BQ_P} = V_{BEout (HARD)} + V_{CES (HARD)} = 0/8 + 0/5 = 1/3V$$

پس ترانزیستور Q_P در این ساختار به ازای هر دو حالت خروجی low و $high$ روشن خواهد بود. شکل زیر مشخصه VTC گیت $NAND$ خانواده $STTL$ را نشان می دهد.



fan-out این گیت نیز همانند ساختار استاندارد گیت‌های TTL از رابطه $N = \frac{I_{OL}}{I_{IL}}$ به دست می‌آید. که در آن I_{IL} از رابطه زیر محاسبه می‌شود:

$$I_{IL} = \frac{V_{CC}' - V_{BEI(HARD)}' - V_{CE out(HARD)}}{R_B'}$$

برای I_{OL} طبق رابطه زیر می‌بایست جریان‌هایی که از مسیرهای داخلی گیت به بیس ترانزیستور Q_{out} ختم می‌شوند را دنبال کنیم:

$$I_{OL} = I_{Cout} = \beta_F I_{B out}$$

$$I_{B out} = I_{ES} - I_{CD} - I_{BD}$$

که می‌توانیم از جریان I_{BD} چشم‌پوشی کنیم و I_{CD} و I_{ES} از روابط زیر به دست می‌آیند:

$$I_{CD} = I_{RCD} = \frac{V_{BE out(HARD)} - V_{CED(HARD)}}{R_{CD}}$$

و

$$I_{ES} = I_{BS} + I_{CS} \approx I_{RB} + I_{RC}$$

علامت تقریب در رابطه I_{ES} به دلیل چشم‌پوشی از جریان I_{BQP} است زیرا این جریان همیشه در مدار وجود دارد ولی مقداری ناچیز دارد.

$$I_{RB} = I_{SBD} = \frac{V_{CC} - V_{BCI(RS)} - V_{BES(HARD)} - V_{BE out(HARD)}}{R_B}$$

$$I_{RC} = \frac{V_{CC} - V_{CES(HARD)} - V_{BE out(HARD)}}{R_C}$$

و بالاخره آخرین ویژگی این گیت جهت بررسی، توان مصرفی‌اش می‌باشد. طبق روال‌های گذشته جهت محاسبه توان مصرفی گیت‌ها در اینجا نیز نیاز به محاسبه $I_{CC(OL)}$ و $I_{CC(OH)}$ داریم. در حالت خروجی High جریان‌های I_{RB} ، I_{RC} و I_{RCP} در مدار برقرار می‌باشند که به دلیل عدم جریان‌کشی توسط خروجی می‌توان گفت که هر دو جریان I_{RC} و I_{RCP} وارد مقاومت R_{EP} می‌شوند لذا خواهیم داشت:

$$I_{CC(OH)} = I_{RB(OH)} + I_{EP(OH)}$$

که این دو جریان نیز از طریق زیر محاسبه می شوند:

$$I_{RB(OH)} = \frac{V_{CC} - V_{BE(HARD)} - V_{CE(HARD)}}{R_B}$$

$$I_{EP(OH)} = I_{RC(OH)} + I_{RCP(OH)} = \frac{V_{CC} - V_{BEP(FA)}}{R_{EP}}$$

دلیل اینکه V_{BEP} را در حالت $HARD$ را در نظر نگرفته ایم این است که طبقه بعد در حالت ورودی $high$ با جریان کشی مخالفت می کند زیرا باید حالتی را در نظر بگیریم که جریان کمتری از این مسیر خارج شود و البته به همین علت V_{OH} چنین مدارهایی را $3/6V$ در نظر گرفتیم زیرا 2 ولتاژ $0/7V$ را از V_{CC} کم کرده ایم نه $1/5V = 0/7 + 0/8$ را.

در حالت خروجی low نیز جریانهای I_{RB} ، I_{RCP} ، I_{RC} در مدار برقرارند. جریانی که از R_{CP} می گذرد وارد کلکتور ترانزیستور Q_P می شود (به علت قطع بودن Q_P) و جریانی که از R_C می گذرد و به دو قسمت I_{BP} و I_{CS} تقسیم می شود و جریان I_{RB} نیز از طریق دیود شاتکی متصل به ترانزیستور Q_I (به دلیل قطع بودن این ترانزیستور) وارد بیس ترانزیستور Q_S می شود. به طور کل محاسبه جریانهای I_{ES} و I_{EP} ما را به جواب نهایی $I_{CC(OL)}$ خواهد رساند. چون محاسبه I_{ES} نیاز به تفکیک جریانهای I_{BP} و I_{CS} دارد لذا می توان I_{BP} را ناچیز در نظر گرفت و از آن صرف نظر نمود و کل I_{RC} را به عنوان I_{CS} در نظر گرفت.

$$I_{CC(OL)} = I_{EP} + I_{ES} = I_{EP} + I_{RB} + I_{RC}$$

$$I_{RB(OL)} = \frac{V_{CC} - V_{BCI(RS)} - V_{BES(HARD)} - V_{BE out(HARD)}}{R_B}$$

$$I_{EP(OL)} = \frac{V_{BE out(HARD)} + V_{CES(HARD)} - V_{BEP(FA)}}{R_{EP}}$$

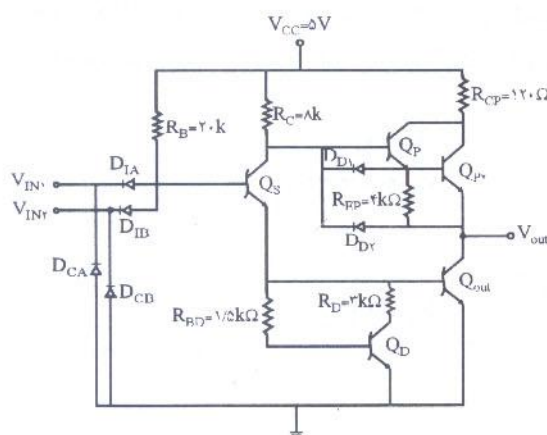
$$I_{RC(OL)} = \frac{V_{CC} - V_{CES(HARD)} - V_{BE out(HARD)}}{R_C}$$

که با توجه به $I_{CC(OL)}$ و $I_{CC(OH)}$ می توانیم این مقدار توان مصرفی را که برای گیت $NAND$ خانواده $STTL$ چیزی در حدود $20 mW$ است، بدست آوریم. پیش از این هم گفتیم مقدار توان

مصرفی در حد میلی وات ، می تواند با افزایش مقدار مقاومت های گیت کاهش یابد که خود عاملی جهت کاهش توان مصرفی گیت و البته کاهش سرعت گیت و نیز کاهش مقدار $fan-out$ خواهد بود.

۴-۴-۱- گیت های STTL کم مصرف

آی سی ۷۴LS۰۰ طرحی پیشنهادی جهت کاهش توان مصرفی گیت های STTL می باشد. طرح گیت NAND دو ورودی زیر مدار داخلی این آی سی را نشان می دهد.



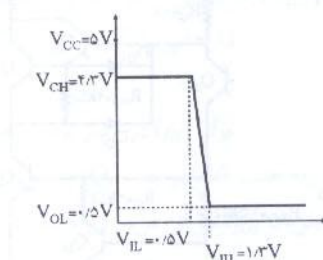
مقاومت های این گیت تقریباً ده برابر بزرگ تر از مقاومت های گیت STTL اولیه می باشند که باعث می شود تقریباً $\frac{1}{10}$ جریان های قبلی در این مدار برقرار باشند و در نتیجه توان مصرفی نیز به همین نسبت کاهش خواهد یافت. تفاوت دیگر این مدار با مدار قبلی استفاده از دیودهای D_{1A} و D_{1B} در ورودی است. این دیودها به جای ترانزیستور طبقه ورودی در نظر گرفته شده اند و چون سرعت دشارژ خازن دیودها از سرعت دشارژ خازن ترانزیستور بیش تر است این جایگزینی می تواند در جهت افزایش سرعت گیت باشد.

قراردادن دیودهای D_{1A} و D_{1B} در مدار و عدم اتصال مقاومت R_{EP} به زمین نیز جهت تأمین مسیر دشارژ خازن ترانزیستورهای Q_{P1} و Q_{P2} و نیز افزایش سرعت سوئیچینگ از حالت خروجی $high$ به low است زیرا این دو دیود به راحتی جریان I_{CS} را تأمین می کنند. از طرفی با اتصال این مقاومت به طبقه خروجی در واقع به ترانزیستور Q_P این اجازه داده می شود تا خازن بار را قبل از روشن شدن Q_{P2} شارژ کند و هنگام تغییر حالت خروجی از low به $high$ از طریق امپیر Q_P و مقاومت R_{EP} خازن بار خروجی سریعاً شارژ شود.

از دیگر مزایای این مدار می توان به بهبود مشخصه VTC مدار اشاره نمود. هنگامی که ورودی در حالت low قرار دارد برای محاسبه V_{OH} دیگر نیازی به عبور از مسیر ترانزیستور Q_{P2} نداریم و از طریق Q_P و مقاومت R_{EP} خواهیم داشت:

$$V_{OH} = V_{CC} - V_{BEP} = 5 - 0.7 = 4.3V$$

از طرفی با جایگذاری دیود D_I به جای ترانزیستور Q_I مقدار ولتاژهای V_{IH} و V_{IL} نیز حدود $0.7V$ افزایش می یابند. زیرا به جای $V_{CE(HARD)}$ که برابر $0.5V$ بود از $0.3V$ استفاده می کنیم. بالاخره اینکه هیچ تغییری در V_{OL} نخواهیم داشت. مشخصه انتقال ولتاژ این گیت در زیر نشان داده شده است.



تست‌های طبقه‌بندی شده کنکور سراسری و آزاد فصل چهارم

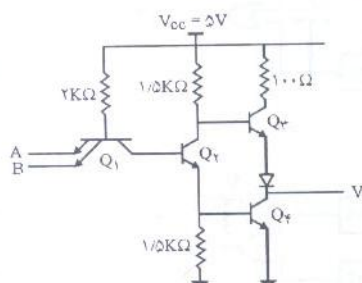
۱- در گیت $NAND (TTL)$ مطابق شکل مقابل مقادیر جریان ورودی در حالت $low (I_{IL})$ بر حسب میلی آمپر و جریان ورودی در حالت $high (I_{IH})$ بر حسب میکرو آمپر به ترتیب به کدام گزینه نزدیکتر هستند؟

(مهندسی کامپیوتر (A))

$$V_{BE} = 0.7V$$

$$V_{CE(SAT)} = 0.3V$$

$$\beta_F = 50, \quad \beta_R = 0.4$$



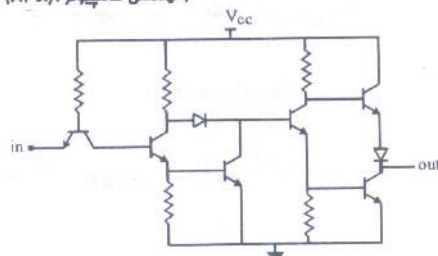
(۱) ۶۰، ۱

(۲) ۳۰، ۲

(۳) ۶۰، ۲

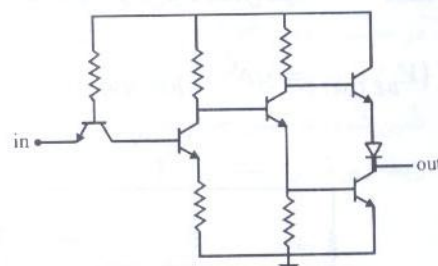
(۴) ۳۰، ۳

(مهندسی کامپیوتر (آزاد (A))



(شکل A)

۲- اولویت مدار شکل A به مدار شکل B چیست؟



(شکل B)

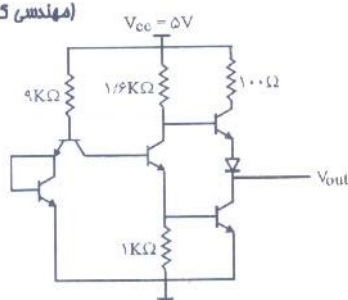
(۲) سرعت بیشتر

(۴) راندن جریان بیشتر

(۱) حساسیت کمتر نسبت به نوسانات ولتاژ

(۳) فرآیند ساخت راحت‌تر

(مهندسی کامپیوتر (آزاد (A))



۳- ولتاژ خروجی (V_{out}) چقدر خواهد بود؟

(۱) بیشتر از ۲/۵ ولت و کمتر از ۳/۶

(۲) ۲/۵ ولت

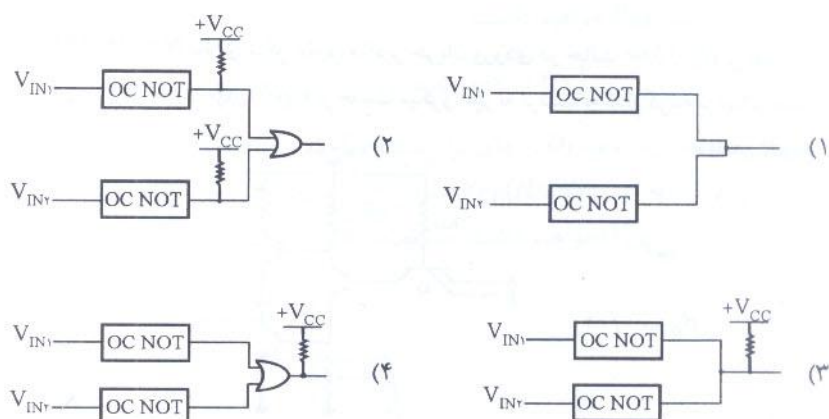
(۳) ۳/۶ ولت

(۴) کمتر از ۲/۵ ولت

کنکور کارشناسی ارشد (الکترونیک دیجیتال)

۶۸

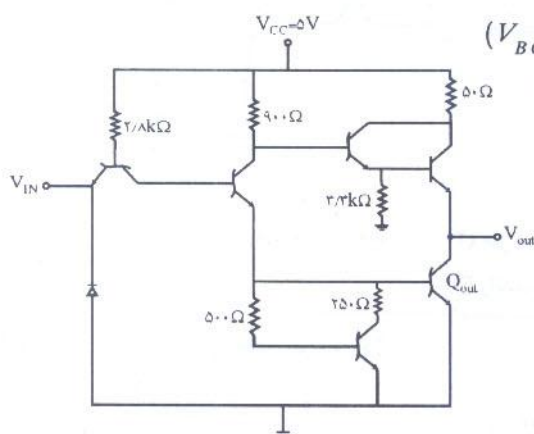
۴- کدامیک از طرحها، طراحی یک گیت NOR دو ورودی از خانواده کلکتور باز را نشان می دهد؟ (مقیاف)
(Open Collector = OC)



۵- حداکثر چند گیت به طبقه خروجی مدار نشان داده شده در شکل زیر می توان متصل نمود؟ (مقیاف)

$$(V_{BE(SAT)} = 0.7V, V_{BE(HARD)} = 0.7V, V_{BE(FA)} = 0.7V, \beta_F = 49)$$

$$(V_{BC(RS)} = 0.3V, V_{CE(HARD)} = 0.5V)$$



(۲) ۱۲۵

(۱) ۱۰۰

(۴) ۲۰۰

(۳) ۱۵۰

پاسخ تست‌های طبقه‌بندی شده کنکور سراسری و آزاد فصل چهارم

۱- گزینه (۳) صحیح است.

هنگامیکه ورودی در حالت low قرار دارد جریان I_{IL} از طریق منبع تغذیه V_{CC} و با عبور از مقاومت $4k\Omega$ و پیوند بیس - امیتر ترانزیستور Q_1 و پیوند کلکتور - امیتر ترانزیستور خروجی گیت طبقه قبل (که در حالت اشباع قرار دارد) به زمین می‌رسد. با توجه به چنین مسیری می‌توان گفت مقدار این جریان از طریق رابطه زیر محاسبه می‌شود:

$$I_{IL} = \frac{V_{CC} - V_{BEQ_1} - V_{CE(sat)}}{4k\Omega}$$

$$= \frac{5 - 0.7 - 0.3}{4k\Omega} = 1mA$$

در حالت ورودی $high$ ترانزیستور Q_1 خاموش خواهد بود ولی جریان ناچیزی از ورودی مدار (پایه امیتر) به داخل گیت کشیده می‌شود تا با توجه به رابطه $I_E = I_B + I_C$ جریان بیس ترانزیستور Q_2 تأمین شود. در چنین حالتی می‌توان گفت که پایه امیتر نقش پایه کلکتور را ایفا می‌کند و بالعکس. پس رابطه زیر در ترانزیستور Q_1 برقرار می‌شود:

$$I_{E'} = I_B + I_{C'} = I_B + \beta_R I_B$$

و جریان $I_{C'}$ یا همان جریان ورودی از پایه امیتر (واقعی) ترانزیستور از رابطه $I_E = \beta_R I_B$ محاسبه می‌شود:

$$I_{IH} = I_E = I_{C'} = I_B + \beta_R I_B = \beta_R \frac{V_{CC} - V_{BCQ_1} - V_{BEQ_2} - V_{BEQ_2}}{4k\Omega}$$

$$= 0.4 \times \frac{5 - 0.7 - 0.7 - 0.7}{2 \times 10^3} = 58\mu A$$

که به مقاومت 60 میکروآمپر بسیار نزدیک است.

۲- گزینه (۱) صحیح است.

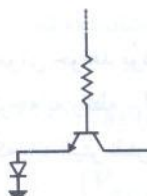
طبقه ورودی و خروجی این دو مدار با یکدیگر یکسان می‌باشد. ولی مدار شکل A در طبقه میانی خود یک دیود و یک ترانزیستور اضافی نسبت به مدار شکل B دارد که چنین تفاوتی فرآیند ساخت را دشوارتر می‌کند و لذا گزینه (۳) نادرست است. جریان خروجی I_{OH} هر دو مدار نیز به دلیل یکسان بودن طبقه خروجی آنها با هم برابر است و از طرفی وجود طبقه میانی و نیاز به وصل و قطع المانهای

اضافی موجود در این طبقه نیز زمان سوئیچینگ را افزایش می دهد. پس گزینه های (۴) و (۲) نادرست می باشد.

پارامترهای V_{OH} و V_{OL} این دو مدار یکسان است. V_{IL} در مدار شکل A برابر $1/2 V$ و در مدار شکل B برابر $5/6 V$ است. V_{IH} نیز در مدار شکل A برابر $1/4 V$ است در حالیکه این مقدار در مدار شکل B برابر $6/6 V$ می باشد. با توجه به اینکه عرض ناحیه تعریف نشده در مدار شکل A ($0/2 V$) بیشتر از عرض ناحیه تعریف نشده مدار شکل B ($0/1 V$) است پس این مدار نسبت به نوسانات ولتاژ ورودی پایداری بیشتری از خود نشان می دهد. نویز با دامنه کوچکتري می تواند ورودی مدار شکل B را تغییر دهد در حالیکه برای ایجاد تغییر از حالت low به حالت high در ورودی مدار شکل A به نویز قوی تری نیاز است.

۳- گزینه (۳) صحیح است.

چنین ترکیبی در ورودی می تواند به صورت زیر نشان داده شود.



زیرا تنها پیوند بیس - امیتر ترانزیستور ورودی در مدار تأثیر می گذارد و پیوند کلکتور - بیس آن اتصال کوتاه شده است. ورودی $0/7 V$ می تواند یک ورودی low برای این مدار محسوب شود لذا خروجی high از طریق پیوند بیس - امیتر ترانزیستور طبق خروجی (بالا) و دیود متصل به آن به صورت زیر محاسبه می شود.

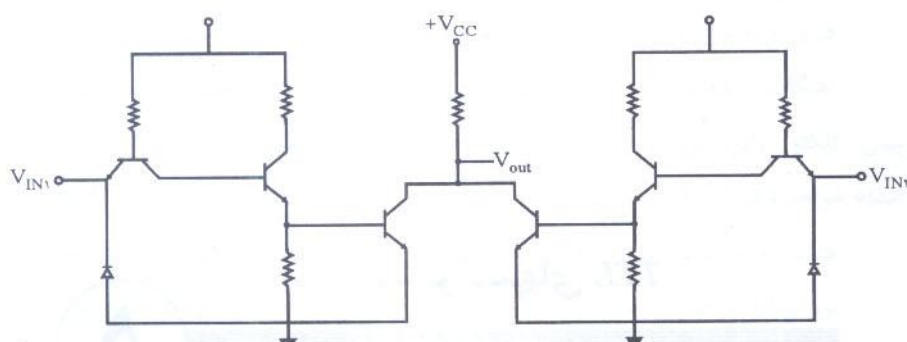
$$V_{out} = V_{CC} - I_C R_C - V_{BE(FA)} - V_{D(ON)}$$

چون طبقه بعد جریان نمی کشد پس جریان $I_C = 0$ می باشد و V_{out} برابر است با $3/6 V$.

۴- گزینه (۳) صحیح است.

خروجی یک گیت کلکتور باز بدون استفاده از یک مقاومت pull-up امپدانس بالا خواهد بود و عملکرد آن برای ورود به یک گیت دیگر (از هر خانواده ای) تعریف نشده است، لذا گزینه (۱) نمی تواند صحیح باشد. از طرفی می دانیم که اتصال wired خروجی گیت های کلکتور باز معادل AND منطقی است و هیچ مشکلی به وجود نمی آورد زیرا گیتی که ورودی low داشته باشد ترانزیستور طبقه

خروجی اش قطع خواهد بود و عملاً از مدار خارج می شود. به طرح زیر دقت کنید :



اگر هر دو ورودی low باشند ترانزیستورهای طبقه خروجی قطع خواهند بود و خروجی به V_{CC} وصل می شود و اگر حداقل یکی از ورودی ها high شود ترانزیستور طبقه خروجی آن گیت اشباع می شود و $V_{out} = V_{CE(SAT)}$ می شود. چنین طرحی از نظر عملکرد مشابه طرح ارائه شده در گزینه ۳ است.

۵- گزینه (۲) صحیح است.

طبق رابطه $N = \frac{I_{OL}}{I_{IL}}$ ابتدا I_{IL} را به دست می آوریم که از طریق مقاومت R_B ترانزیستورهای طبقه بعد وارد Q_{out} شده و از آمپتر این ترانزیستور خارج می شود.

$$I_{IL} = \frac{5 - (0/8) - (0/5)}{2/8k} = 1/32 mA$$

و برای محاسبه I_{OL} نیز خواهیم داشت:

$$I_{CD} = \frac{0/8 - 0/5}{250} = 1/2 mA$$

$$I_{RB} = \frac{5 - 0/3 - 2(0/8)}{2/8k} = 1/11 mA$$

$$I_{RC} = \frac{5 - 0/5 - 0/8}{900} = 4/11 mA$$

$$I_{ES} = 1/11 mA + 4/11 mA = 5/22 mA$$

$$I_{B out} = 5/22 - 1/2 = 4/02 mA$$

$$I_{OL} = 49(4/02 mA) = 197 mA$$

لذا N برابر است با :

$$N = \frac{197}{1/31} = 149/2$$

پس گزینه ۲ صحیح است زیرا حتی یک گیت بیش از آنچه محاسبه نموده ایم می تواند موجب اختلال در عملکرد مدار شود.