

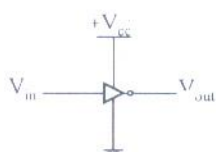
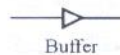
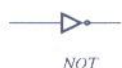
## مشخصه‌های IC های دیجیتال

۱

### ۱-۱- معکوس کننده

خروجی گیت‌های پایه مورد استفاده در مدارهای الکترونیکی دیجیتال ( $OR$ ،  $AND$ ،  $NOT$ ) در هر لحظه از زمان به مقدار ورودی‌ها در همان لحظه بستگی دارد. ولتاژ (جریان) در مدارهای منطقی دیجیتال دارای دو حالت  $low$  و  $high$  می‌باشد که حالت  $low$  را معادل صفر باینری و حالت  $high$  را معادل یک باینری فرض می‌کنیم.

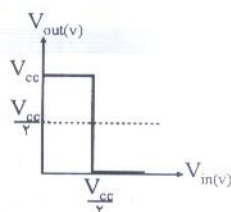
گیت  $NOT$  یا  $Inverter$  که یک معکوس کننده منطقی است ولتاژ  $low$  را به  $high$  و ولتاژ  $high$  ورودی را به  $low$  تغییر می‌دهد. در حالیکه گیت بافر یا  $Non-Inverter$  تغییری در حالت مدار اعمال نمی‌کند و تنها برای تولید دوباره سطح سیگنال یعنی افزایش سطح ولتاژ برای ولتاژهای  $high$  (تقویت) و کاهش آن برای ولتاژهای  $low$  مورد استفاده قرار می‌گیرد. شکل زیر تفاوت ظاهری این دو گیت را در وجود یا عدم وجود حباب معکوس کننده نشان می‌دهد.



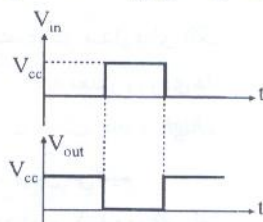
در ادامه با استفاده از گیت  $NOT$  مشخصه‌های مورد نظر برای IC های دیجیتال را معرفی می‌نماییم. شکل زیر یک گیت  $NOT$  ایده آل با یک منبع تغذیه  $V_{CC}$  نشان می‌دهد. (این مقدار معمولاً در خانواده گیت‌های منطقی  $5V$  است.)

جریان  $I_{CC}$  کشیده شده از  $V_{CC}$  در حالت ایده آل می بایست صفر باشد تا توان مصرفی  $P_{CC}$  نیز صفر باشد. در گیت‌های واقعی برای طراحی بهینه سعی می کنیم که توان مصرفی می نیمم باشد. در حالت ایده آل «۱» منطقی در سطح ولتاژ  $V_{CC}$  است و «۰» منطقی در سطح زمین.

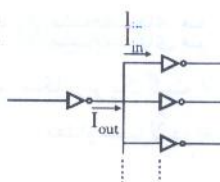
انتقال (تغییر حالت) بین  $low$  و  $high$  بطور ناگهانی در نقطه  $\frac{V_{CC}}{2}$  رخ می دهد. لذا می توان محدوده  $\frac{V_{CC}}{2} \leq V_{in} < V_{CC}$  را برای تولید خروجی  $high$  و محدوده  $0 \leq V_{in} < \frac{V_{CC}}{2}$  را برای تولید خروجی  $low$  در نظر گرفت و نقطه  $\frac{V_{CC}}{2}$  به دلیل تولید خروجی غیر قابل پیش بینی، تعریف نشده فرض می شود.



در حالت ایده با تغییر ورودی از  $low$  به  $high$  خروجی بلافاصله از  $high$  به  $low$  تغییر حالت می دهد و بالعکس که این تغییر حالت ها را می توان در شکل زیر مشاهده نمود.

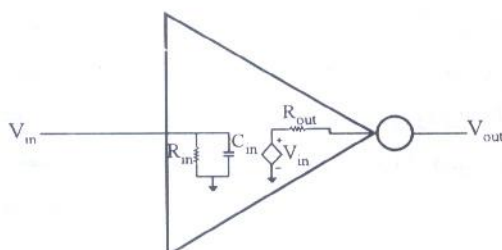


مطمئناً این حالت در گیت‌های واقعی تغییر خواهد کرد که در مورد آن در ادامه بحث خواهیم کرد. مهمترین مسأله در گیت‌های منطقی توانایی راه اندازی طبقه‌های بعدی توسط آن گیت می باشد. برای راه اندازی گیت‌های متصل به خروجی یک گیت می بایست جریان خروجی گیت توانایی تقسیم به شاخه‌های (انشعاب) متعدد را به گونه ای که قدرت راه اندازی در آن حفظ شود را داشته باشد. همانگونه که در شکل زیر مشاهده می شود خروجی یک گیت  $NOT$  به چندین گیت همسان متصل است و جریان  $I_{out}$  خروجی از گیت طبقه اول می بایست به چندین شاخه  $I_{IN}$  برای گیت‌های طبقه بعدی تقسیم شود.



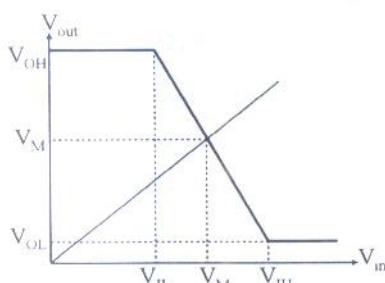
حال به عنوان مثال اگر خروجی طبقه اول *high* باشد با افزایش جریان کشی (در اثر افزایش تعداد گیت‌های طبقه بعد) افت ولتاژ محسوسی بر روی خروجی طبقه اول مشاهده خواهد شد و این کاهش ولتاژ تا حد خاصی قابل قبول می‌باشد و امکان دارد از محدوده ولتاژهای *high* پایین‌تر بیاید. هرچه جریان خروجی از یک گیت بیشتر باشد و به جریان ورودی کمتری نیاز باشد تعداد گیت‌های مجاز جهت اتصال به طبقه بعد افزایش خواهد یافت. دستیابی به چنین ویژگی‌هایی در یک گیت مستلزم رعایت دو مورد است: اول کاهش جریان ورودی به گیت از طریق طراحی امپدانس ورودی بسیار بالا و دوم افزایش جریان خروجی توسط کوچک فرض کردن امپدانس خروجی گیت. همانگونه که در شکل زیر مشاهده می‌کنیم می‌توان در ورودی یک خازن و یک مقاومت موازی را مدل نمود و در خروجی یک منبع ولتاژ و یک مقاومت سری.

اگر بخواهیم جریان خروجی افزایش یابد می‌بایست  $R_{out}$  را کوچک فرض کنیم و نیز برای کاهش جریان ورودی به گیت، ایده آل‌ترین حالت قرار دادن یک مقاومت بی‌نهایت ( $I_{IN}=0$ ) در ورودی می‌باشد.



### ۱-۲- مشخصه انتقال ولتاژ در معکوس کننده

مشخصه انتقال ولتاژ (*VTC*) بیانگر عملکرد خروجی گیت با توجه به تغییر در  $V_{IN}$  است. شکل زیر حالت کلی یک گیت *NOT* را نشان می‌دهد. در این شکل پنج مقدار خاص وجود دارد:



$V_{OH}$ : ولتاژ خروجی گیت در حالت *high*

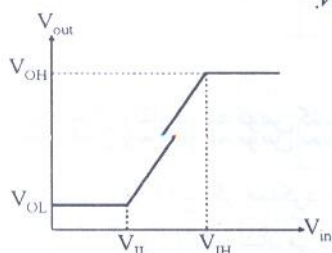
$V_{OL}$ : ولتاژ خروجی گیت در حالت *low*

$V_{IL}$ : بیشترین حد ممکن از ولتاژ که اگر به ورودی گیت اعمال شود، ورودی مفهوم  $low$  داشته باشد.  
 $V_{IH}$ : کمترین حد ممکن از ولتاژ که اگر به ورودی گیت اعمال شود، ورودی مفهوم  $high$  داشته باشد.  
 $V_M$ : نقطه‌ای از مشخصه  $V_{TC}$  مدار که در آن  $V_{IN} = V_{out}$  باشد.

در مورد  $V_{IL}$  و  $V_{IH}$  می‌توان گفت اگر ورودی مدار از کمترین حالت ممکن (صفر ولت) افزایش یافت بالاخره به ازی مقداری از  $V_{IN}$  خروجی مدار عملکرد نامشخصی دارد و پس از آن مجدداً با ادامه یافتن این روند افزایش در نقطه‌ای از مقادیر ورودی ( $V_{IH}$ ) عملکرد مدار قابل بررسی شده و حالت خروجی نیز عوض می‌شود که مرز بین این دو نقطه ( $V_{IL}$ ،  $V_{IH}$ ) ناحیه تعریف نشده در عملکرد گیت محسوب نمی‌شود. از آنجا که خروجی یک گیت به ورودی گیت طبقه بعد متصل می‌شود لذا دو مورد زیر در طراحی گیت بسیار مهم می‌باشد:

$$(1) V_{OH} > V_{IH} \quad , \quad (2) V_{OL} < V_{IL}$$

در حالت (۱) اگر ولتاژ خروجی یک گیت در حالت  $high$  از  $V_{IH}$  گیت همونوع خودش کمتر باشد نمی‌تواند گیت بعدی را درایو (راه اندازی) کند. و در حالت (۲) نیز ولتاژ خروجی یک گیت در حالت  $low$  نباید از  $V_{IL}$  بیشتر باشد، زیرا در آن صورت گیت طبقه بعدی را روشن می‌کند که این عملکرد مدار را دچار اختلال می‌کند. البته باید توجه داشت که در گیت بافر، ورودی  $low$  خروجی  $low$  می‌دهد و این یعنی  $V_{IL}$  به معنی نقطه‌ای از  $V_{TC}$  است که در آن ورودی مدار هنوز به مفهوم  $low$  است و خروجی را نیز  $low$  می‌کند و به همین ترتیب برای  $V_{IH}$ .



### ۱-۳- نویز در مدارهای دیجیتال

همانگونه که گفتیم با تغییر ولتاژ ورودی ممکن است عملکرد مدار به ناحیه تعریف نشده برود و یا اینکه حالت خروجی عوض شود. به طور کلی حاشیه نویز ( $noise margin$ ) قابل قبول برای مدارات دیجیتال که دو حالت  $low$  و  $high$  دارد. به شکل زیر تعریف می‌شود:

$$V_{NMH} = V_{OH} - V_{IH} \quad , \quad V_{NML} = V_{IL} - V_{OL}$$

یعنی ولتاژ خروجی یک گیت در حالت  $high$  تا چه مقدار مجازی می‌تواند کم شود به گونه‌ای که هنوز هم برای طبقات بعدی معنی  $high$  بدهد و در واقع از  $V_{IH}$  بیشتر باشد و همچنین ولتاژ لازم برای



خارج شدن از حالت  $low$  (مرز  $V_{IL}$ ) آنقدر کم و ناچیز نباشد (مثلاً کمتر از  $V_{OL}$  طبقه قبل) که حتی با خروجی  $low$  طبقه قبل روشن شود و این محدوده نیز مقدار مجازی از نویز است که اگر روی مقدار  $V_{OL}$  تأثیر بگذارد باز هم  $V_{OL}$  از  $V_{IL}$  کمتر باشد.

$V_{IH}$ : حد پایین ولتاژهای  $high$  (برای ولتاژهای ورودی)

$V_{IL}$ : حد بالای ولتاژهای  $low$  (برای ولتاژهای ورودی)

**نکته:** ولتاژهای کمتر از  $V_{IH}$  و بیشتر از  $V_{IL}$  خروجی تعریف نشده تولید می‌کنند.

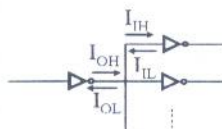
### ۱-۴- Fan - out

قبلاً مختصری در مورد تعداد گیت‌های مجاز جهت اتصال به خروجی یک گیت بحث نمودیم که در اینجا به تعریف این مفهوم بیشتر می‌پردازیم. ورودی و خروجی یک گیت به گیت‌های متعددی متصل می‌باشد، هنگامیکه خروجی یک گیت مقدار  $high$  دارد جریان خروجی آن می‌بایست توانایی تأمین جریان ورودی مورد نیاز گیت‌های طبقه بعد را داشته باشد این محدودیت تحت عنوان  $high$  fan-out و

با رابطه زیر تعریف می‌شود:

$$N_{high} = \frac{I_{Out (high)}}{I_{IN (high)}}$$

که البته این رابطه برای حالت خروجی  $low$  نیز صادق است که در آن جریان وارد شونده به گیت طبقه اول (در اثر تجمع جریانهای  $I_{IN}$  طبقه بعد که در واقع از ورودی گیت خارج می‌شوند) می‌بایست به اندازه‌ای باشد که خروجی گیت طبقه اول را همچنان در حالت  $low$  نگهدارد و باعث افزایش ولتاژ آن نشود. شکل زیر بیانگر این مفاهیم است:



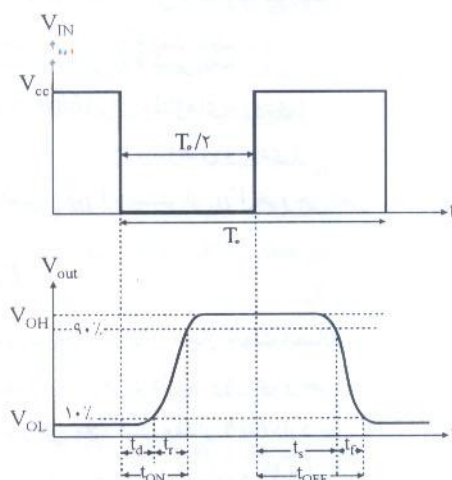
در حالت کلی  $Fan - out$  را برای یک گیت به شکل زیر محاسبه می‌کنیم:

$$Fan - out = \min (Fan - out_{low}, Fan - out_{high})$$

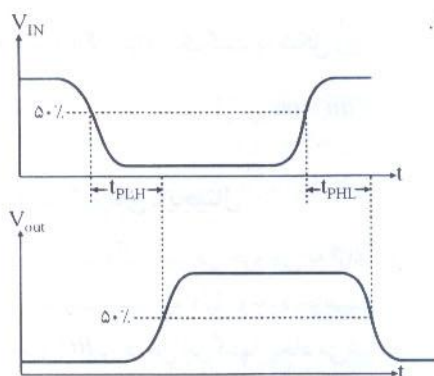
### ۱-۵- تأخیر انتشار در گیت‌های دیجیتال

برای گیت  $NOT$  حالت ایده‌آل تغییر در خروجی به ازای تغییر در ورودی را نشان دادیم ولی این حالت در عمل اندکی متفاوت است. به دلیل وجود خاصیت خازنی در ساختار المانهای یک گیت دیجیتال همیشه یک مدار  $RC$  در داخل این گیتها ایجاد می‌شود که برای رسیدن به حالت پایداری و نیز

سوئیچ از یک حالت به حالت دیگر یک تأخیر ناخواسته بوجود می آورد. شکل زیر نمونه ای از این حالت را نشان می دهد:



همانگونه که در شکل مشاهده می شود پس از تغییر حالت ورودی و  $low$  شدن آن به اندازه  $T_{delay}$  تأخیر خواهیم داشت تا خروجی شروع به افزایش کرده و به  $10\%$  مقدار واقعی  $high$  خود برسد. از این نقطه تا  $90\%$  مقدار  $high$  را  $t_{rise}$  می نامیم که مجموع این دو زمان  $t_{ON}$  نام دارد:  $t_{ON} = t_r + t_d$ . با  $high$  شدن مجدد ورودی، خروجی ابتدا در بازه زمانی  $t_{storage}$  به  $90\%$  از مقدار خود نزول کرده و سپس با یک افت ولتاژ ناگهانی تر و به اندازه  $t_{fall}$  زمان بعد به  $10\%$  مقدار خود می رسد که عملاً دیگر به معنی  $high$  نخواهد بود لذا زمان خاموش شدن را به شکل زیر تعریف می کنیم:  $t_{off} = t_s + t_f$ . از آنجا که در مدارات دیجیتال معمولاً خروجی یک گیت ورودی دیگری خواهد بود لذا می توان گفت که حتی شکل موج ورودی نیز به شکل ایده آل قبل نخواهد بود و خود دارای لبه هایی موج گونه و دارای تأخیر خواهد بود.



## مشخصه‌های IC های دیجیتال

۷

دو مقدار  $t_{PLH}$  (زمان تأخیر انتشار از low به high) و  $t_{PHL}$  (زمان تأخیر انتشار از high به low) که لزوماً با یکدیگر یکسان هم نمی‌باشند از طریق رابطه زیر متوسط زمان تأخیر انتشار یک گیت را به ما می‌دهند:

$$t_{p(avg)} = \frac{t_{PLH} + t_{PHL}}{2}$$

این مقادیر نقش بسزایی در حداکثر فرکانس کاری یک گیت خواهند داشت. زیرا اگر فرض کنیم که  $T_0$  (دوره تناوب موج ورودی) یک مقدار حداقل خواهد داشت، آنگاه داریم:

$$T_0 > t_{PLH} + t_{PHL} \Rightarrow f_0 < \frac{1}{t_{PLH} + t_{PHL}}$$

## ۱-۶- توان مصرفی

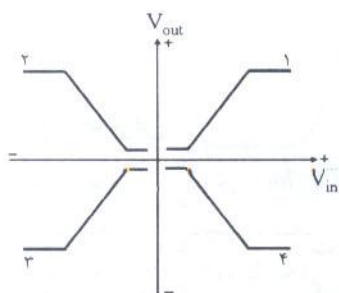
یک مدار دیجیتال دو خروجی low یا high دارد که در هر حالت نحوه جریان کشی از منبع تغذیه و مسیرهای عبور جریان و همچنین وضعیت المانهای مدار متفاوت با حالت دیگر است. کل جریانهای عبوری از مسیرهای مختلف دورن یک گیت دیجیتال که از منبع تغذیه  $V_{CC}$  به سمت زمین برقرار می‌باشند به ترتیب در حالت‌های low و high به صورت  $I_{CC(OL)}$  و  $I_{CC(OH)}$  نامگذاری می‌شود که طبق رابطه توان خواهیم داشت:

$$P_{CC(avg)} = \frac{I_{CCL} + I_{CCH}}{2} V_{CC}$$

که نحوه محاسبه این مقادیر جریان‌ها برای گیت‌های مختلف متفاوت و وابسته به مسیرهای برقراری جریان و نحوه جریان کشی آنها دارد که در فصل‌های آتی برای هر مدار بصورت مجزا آنها را تشریح خواهیم کرد.

### تست‌های طبقه‌بندی شده کنکور سراسری و آزاد فصل اول

۱- کدامیک از مشخصه‌های نشان داده شده  $VTC$  یک گیت  $Inverter$  می‌باشد؟ (مؤلف)



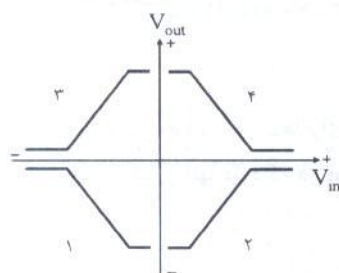
(۱) مشخصه شماره ۱ و ۳

(۲) مشخصه شماره ۳ و ۴

(۳) مشخصه شماره ۲ و ۳

(۴) مشخصه شماره ۲ و ۴

۲- کدامیک از مشخصه‌های نشان داده شده در شکل زیر  $VTC$  یک گیت بافر (تقویت کننده) می‌باشد؟ (مؤلف)



(۱) مشخصه شماره ۱ و ۲

(۲) مشخصه شماره ۲ و ۳

(۳) مشخصه شماره ۳ و ۴

(۴) مشخصه شماره ۱ و ۴

۳- کدام گزینه در مورد تأخیر انتشار در گیت‌های دیجیتال صحیح است؟ (مؤلف)

$$T_{ON} < T_{OFF} \quad (۲)$$

$$T_{ON} > T_{OFF} \quad (۱)$$

(۴) به ساختار گیت بستگی دارد.

$$T_{ON} = T_{OFF} \quad (۳)$$

۴- کدامیک از اعمال زیر به افزایش سرعت سوئیچینگ مدارهای دیجیتال کمک می‌کند؟ (مؤلف)

(۲) افزایش دامنه پالس‌های ورودی

(۱) کاهش دامنه پالس‌های ورودی

(۴) افزایش زمان  $t_s$

(۳) کاهش زمان  $t_s$



مشخصه‌های IC های دیجیتال

۹

۵- در یک مدار مجتمع دیجیتال (IC) کدامیک از گزینه‌های زیر عملکرد نادرست ارائه می‌کند؟ (مؤلف)

$$V_{IH} \geq V_{IL} \quad (۲)$$

$$V_{OH} \geq V_{OL} \quad (۱)$$

$$V_{IL} \leq V_{OL} \quad (۴)$$

$$V_{IH} \leq V_{OH} \quad (۳)$$

## پاسخ تست‌های طبقه‌بندی شده کنکور سراسری و آزاد فصل اول

۱- گزینه (۴) صحیح است.

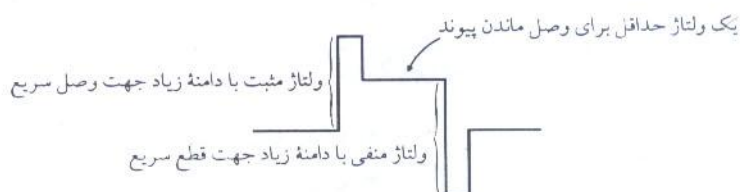
در مشخصه شماره ۲ به ازای کمترین میزان ورودی بیشترین خروجی بدست آمده و به ازای بیشترین مقدار ورودی، خروجی کمترین شده است. مشخصه شماره ۴ نیز از چنین خصوصیتی پیروی می‌کند که مختص گیت‌های *Inverter* می‌باشد.

۲- گزینه (۲) صحیح است.

در یک گیت بافر به ازای ورودی *low* خروجی نیز *low* می‌باشد و به ازای ورودی *high* خروجی نیز *high* می‌باشد این *low* و *high* می‌توانند در مقادیر مثبت تعریف شوند و یا در مقادیر منفی. پس گزینه ۲ پاسخ صحیح است زیرا مشخصه‌های ۲ و ۳ این ویژگی را نشان می‌دهند.

۳- گزینه (۲) صحیح است.

سرعت قطع و وصل پیوندهای *P-N* مهمترین مسأله در سرعت سوئیچینگ گیت‌های دیجیتال می‌باشد. برای برقراری پیوند *P-N* و یا اصطلاحاً وصل دیود، با اعمال یک منبع ولتاژ بیرونی، الکترون‌ها از طرف ناحیه *N* و حفره‌ها نیز از طرف ناحیه *P* به سمت مرز پیوند هجوم می‌آورند تا در صورت غلبه و حذف سد پتانسیل پیوند برقرار می‌شود. هر چه دامنه میدان بیرونی (ولتاژ تغذیه) بیشتر باشد، هجوم بیشتر حفره‌ها و الکترون‌ها باعث افزایش سرعت وصل و کاهش زمان آن می‌شود. از طرفی، اگر دامنه ولتاژ وصل خیلی زیاد باشد (تا حد مجازی که پیوند می‌تواند تحمل نماید) هنگام روشن بودن پیوندهای حامل الکترون و حفره در ناحیه تخلیه زیاد خواهند بود و زمان قطع دیود را افزایش می‌دهند زیرا برای قطع شدن دیود لازم است که ناحیه پیوند خالی از حامل باشد. برای داشتن زمان وصل و قطع کم بهترین پالسی که می‌توان به مدار اعمال نمود به شکل زیر می‌باشد:



ولی از آنجا که اعمال چنین شکل موجی با مولدهای معمولی غیرممکن می‌باشد و معمولاً از موجهای مربعی شکل زیر استفاده می‌شود، لذا می‌توان گفت زمان وصل پیوندهای  $p-n$  از زمان قطع آنها کمتر است.



۴- گزینه (۳) صحیح است.

زمان  $t_{\text{H}}$  مدت زمانی است که در آن ولتاژ خروجی به ۹۰٪ مقدار اولیه ( $high$ ) خود تقلیل می‌یابد. چنین زمانی به همراه  $t_{\text{F}}$  تشکیل دهنده  $t_{\text{off}}$  یا زمان قطع می‌باشد و همانگونه که گفتیم کاهش زمان قطع تأثیری زیاد در افزایش سرعت سوئیچینگ دارد. کاهش زمان  $t_{\text{H}}$  خود می‌تواند معلول تغییراتی همچون افزایش دامنه پالس منفی (لبه پایین رونده پالس) باشد و گزینه‌های (۱) و (۲) نیز بتوانند به عنوان پاسخ مطرح شوند ولی چون کاهش یا افزایش دامنه پالس به معنی کاهش یا افزایش دامنه پالس مثبت و منفی به طور همزمان است لذا نمی‌توانند پاسخ صحیح باشند.

اگر دامنه پالس را کاهش دهیم زمان  $t_{\text{H}}$  و  $t_{\text{F}}$  افزایش می‌یابند. که در نتیجه باعث افزایش  $t_{\text{ON}}$  و کاهش سرعت سوئیچینگ می‌شود. افزایش دامنه پالس اگر چه در پالس منفی باعث کاهش زمان  $t_{\text{H}}$  می‌شود ولی چون در پالس مثبت باعث افزایش حامل‌ها در ناحیه پیوند شده است پس هنگام قطع پیوند در دروساز خواهد شد. به نظر می‌رسد با توجه به اینکه در گزینه (۳) تنها کاهش زمان  $t_{\text{H}}$  (که مهمترین عامل کاهش زمان  $t_{\text{off}}$  است) و بدون ذکر چگونگی آن عنوان شده پاسخ صحیح خواهد بود.

۵- گزینه (۴) صحیح است.

گزینه‌های (۱) و (۲) از خصوصیات اصلی و روابط بدیهی گیت‌های دیجیتال هستند و اگر چنین روابطی برقرار نباشد تعریف  $low$  و  $high$  مشکل خواهد داشت. پس در مورد گزینه‌های (۱) و (۲) بحث نمی‌کنیم. گزینه (۳) نیز از ویژگیهای گیت‌های دیجیتال جهت استفاده از مدل‌های چند طبقه و اتصال بین گیت‌ها است ولی اگر  $V_{IL} \leq V_{OL}$  برای یک گیت دیجیتال رخ دهد یعنی خروجی  $low$  یک گیت دیجیتال برای ورودی گیت دیجیتال بعدی مفهوم  $low$  نخواهد داشت (ممکن است در ناحیه تعریف شده مدار قرار گیرد و یا حتی به مفهوم  $high$  برای ورودی بعدی باشد) که چنین اتفاقی بر عملکرد گیت‌های دیجیتال تأثیری منفی می‌گذارد.