

ترانزیستورهای MOSFET

۶

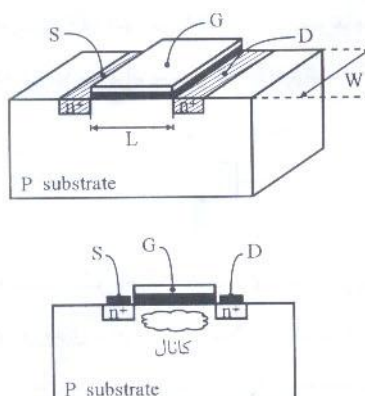
۶-۱- ساختار داخلی

گروه دیگری از آی سی های دیجیتال که امروزه مورد استفاده قرار می گیرند، آی سی هایی هستند که ساختمان داخلی آنها از گیت های MOS تشکیل شده است. این گیت ها نسبت به ساختارهای قلبی (مانند TTL) که از ترانزیستورهای BJT استفاده می کردند از سرعت کمتری برخوردارند ولی گیت های بسیار کم مصرف و کم حجمی هستند. برای آشنایی با عملکرد این گیت ها لازم است ابتدا مختصری در مورد نحوه ساخت ترانزیستورهای MOS و عملکرد آنها آشنا شویم. این ترانزیستورها که نیمه هادی های اکسید فلز^(۱) هستند به دو گروه کلی nMOS و pMOS تقسیم می شوند، تفاوت عمده این دو تقسیم بندی در عامل تولید جریان الکتریکی در آنها می باشد که ممکن است الکترون و یا حفره باشد. این ترانزیستورها، ترانزیستورهای تک قطبی می باشند و در ساخت حافظه ها، CPU ها و سایر تراشه های الکترونیک کاربرد دارند. حسن عمده این ترانزیستورها مقاومت ورودی نسبتاً زیادشان و در نتیجه جریان مصرفی بسیار پایین آنها می باشد که باعث می شود توان مصرفی آی سی کاهش یابد. به طور کلی به ترانزیستورهای nMOS و pMOS ترانزیستورهای MOSFET ارتقایی^(۲) می گویند که در

1- Metal oxide semiconductor

2- Enhancement MOS

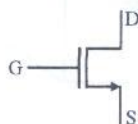
ترکیب آنها نوع دیگری از ترانزیستورها تحت عنوان *MOSFET* تکمیلی^(۱) یا همان ترانزیستورهای *CMOS* ایجاد می شود. شکل زیر بیانگر ساختمان داخلی یک ترانزیستور *nMOS* است.



سیلیکن یکی از عناصر گروه چهارم جدول مندلیف است که نیمه هادی بسیار خوبی است. برای تولید نیمه هادیهای نوع *p* و نوع *n* می بایست در غلظت سیلیکن تغییراتی ایجاد نمود. اگر در ساختار سیلیکن اتمهای عناصر گروه پنجم اضافه کنیم و ساختار پیوندهای آنرا تغییر دهیم در اثر این ترکیب الکترونهاى زیادی در ساختار پیوندی تولید می شود و لذا نیمه هادی نوع *n* با الکترونهاى اکثریت به وجود می آید. اگر در این ساختار اتمهای گروه سه را نفوذ دهیم یونهاى مثبت تولید شده باعث ایجاد نیمه هادی نوع *p* می شوند. در ساختار ترانزیستورهای *MOS* همیشه از یک بدنه نیمه هادی نوع *p* یا نوع *n* استفاده می شود. دو کانال n^+ و یا p^+ به ترتیب روی بدنه هایی از جنس نیمه هادی نوع *p* و نوع *n* ایجاد می شود. شکل های دوبعدی و سه بعدی نشان داده شده از یک ترانزیستور *nMOS* نشاندهنده وجود دو کانال n^+ روی یک بدنه نوع *p* می باشد که برای ساخت ترانزیستورهای *nMOS* مورد استفاده قرار می گیرند. اگر بخواهیم ترانزیستور نوع *pMOS* بسازیم می بایست از یک بدنه نوع *n* و دو کانال p^+ استفاده کنیم. به هر حال برای تشریح عملکرد این ترانزیستورها مجدداً با توجه به شکل یک ترانزیستور *nMOS* سایر اجزا این ساختار را مورد بررسی قرار می دهیم. پس از اینکه دو کانال n^+ روی یک بدنه نوع *p* ایجاد شد نوبت به افزودن ترکیب SiO_2 روی بدنه (بین دو کانال) می رسد. SiO_2 یک عایق الکتریکی است که بین دو کانال را می پوشاند. روی این لایه SiO_2 یک لایه فلز قرار می گیرد تا در

1- Complementary MOS

اثر ترکیب بدنه، SiO_2 و فلز یک خازن ایجاد می شود. روی کانالهای n^+ نیز یک لایه فلز جهت ایجاد اتصالات بین ترانزیستورها قرار داده می شود تا قدرت هدایت الکتریکی در این نقاط افزایش یابد. کانالهای n^+ از این پس به نام درین D و سورس S شناخته می شوند و فلز روی SiO_2 نیز نقش پایه گیت ترانزیستور را بازی می کند که در نهایت ترانزیستور $nMOS$ با شماتیک زیر به دست می آید:



ترکیب فلز - اکسید - نیمه هادی دلیل اصلی نامگذاری این ترانزیستورها به ترانزیستورهای MOS می باشد. با تشکیل خازن در ورودی ترانزیستور عملاً جریان در این ترانزیستورها کاهش می یابد. هنگامیکه به پایه G ولتاژی اعمال می کنیم (ولتاژ مثبت) در نتیجه در زیر ناحیه SiO_2 تعداد بسیار زیادی الکترون جمع می شود که اصطلاحاً کانال نامیده می شود و باعث ایجاد یک مسیر الکتریکی بین درین و سورس می شود. اگر ولتاژی به گیت اعمال نشود، بین سورس و درین دو دیود متوالی غیرهمسو قرار خواهد گرفت که یکی بین درین و بدنه نوع p است و دیگری بین سورس و بدنه. این دیودها مانع عبور جریان از درین به سورس (یا بالعکس) می شوند و مقاومت بین درین و سورس در این حالت $10^{12} \Omega$ خواهد بود.

نکته: در ترانزیستور $nMOS$ که بین بدنه و سورس و همچنین بین بدنه و درین پیوند PN برقرار است می توان با اتصال بدنه به سورس ترانزیستور هر دو پیوند PN را قطع نمود. در شرایط عادی این پیوندها همیشه در بایاس معکوس قرار دارند.

۶-۲- مدهای عملیاتی $nMOS$

در این قسمت تمام مطالب قبلی را به صورت دسته بندی شده مورد بررسی قرار می دهیم، تا عملکرد ترانزیستور $nMOS$ را به ازای ولتاژهای مختلف ورودی نشان دهیم.

۶-۲-۱- ولتاژ آستانه

اگر یک ولتاژ مثبت به پایه گیت ترانزیستور اعمال کنیم و سورس و درین آن را نیز به زمین وصل کرده باشیم، حفره ها (بارهای مثبت) موجود در ناحیه بدنه ترانزیستور به سمت پایین رانده می شود و در واقع یک ناحیه تهی از حفره در زیر گیت ایجاد می شود. ولتاژ مثبتی که به پایه گیت ترانزیستور اعمال شده باعث می شود تعدادی از الکترونهای n^+ به زیر ناحیه SiO_2 کشیده شوند و یک کانال پر از

الکترون (که مثل نیمه هادی نوع n می باشد) در زیر پایه گیت به وجود آید.

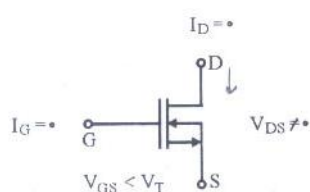
نکته: به دلیل اینکه کانال به وجود آمده در زیر پایه گیت در اثر ولتاژ نسبت V_{GS} مثل نیمه هادی نوع n پراز الکترون می باشد، به این نوع MOSFET، MOSFET ارتقاعی نوع n یا $nMOS$ می گویند.

نکته: اگر ترانزیستور از نوع $pMOS$ باشد (بدنه نوع n) کانالی که ایجاد می شود از جنس p خواهد بود و به ازای $V_{GS} < 0$ نیز به وجود خواهد آمد.

ولتاژ مثبت گیت، الکترونها را از نواحی سورس و درین جذب کرده و به ناحیه کانال تزریق می کند و نواحی سورس و درین توسط این کانال به یکدیگر متصل می شوند. ایجاد چنین کانالی سبب می شود که اگر درین ترانزیستور به ولتاژ مثبتی وصل شده باشد، جریان I_{DS} از ترانزیستور عبور کند. اینکه چه مقداری از ولتاژ V_{GS} لازم است تا کانال مذکور در زیر گیت ترانزیستور به وجود آید به ساختمان داخلی ترانزیستور و مقدار ناخالصی نیمه هادیهای به کار رفته در آن بستگی دارد. چنین مقداری که عموماً بین $1V$ تا $3V$ متغیر است را ولتاژ آستانه ^(۱) هدایت می نامند.

۶-۲-۲- قطع

اگر V_{GS} از حد آستانه (V_T) کمتر باشد ترانزیستور در ناحیه قطع قرار می گیرد و هیچ جریانی (جریان درین یا همان I_D) در ترانزیستور برقرار نخواهد شد.



همانگونه که در شکل مشخص شده است برای قطع بودن ترانزیستور تنها شرط $V_{GS} < V_T$ لازم است و اختلاف پتانسیل بین درین و سورس می تواند متغیر باشد.

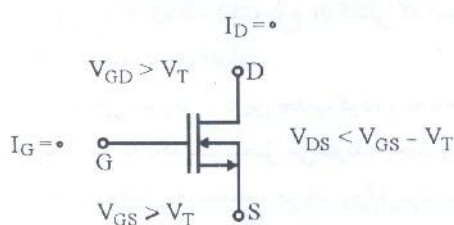
۶-۲-۳- مدار خطی

با افزایش ولتاژ V_{GS} (به گونه ای که $V_{GS} > V_T$ شود) جریان در این مدار برقرار می شود. همانگونه که قبلاً هم به آن اشاره شد وجود جریان I_D به شرط اعمال یک ولتاژ مثبت بین درین و سورس ترانزیستور است. هرچه ولتاژ درین - سورس (V_{DS}) بیشتر باشد این جریان نیز افزایش خواهد یافت. در محدوده $V_{GS} \geq V_T$ و $V_{DS} \leq V_{GS} - V_T$ ترانزیستور در ناحیه خطی کار می کند. طبق چنین تعریفی

1- Threshold

جریان در ناحیه خطی از رابطه زیر به دست می آید:

$$I_{D(LIN)} = k \left[(V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right]$$

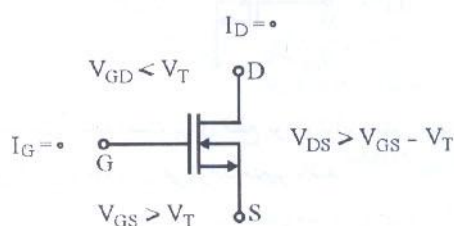


۶-۲-۴- مد اشباع

اگر پس از مراحل ولتاژ آستانه ($V_{GS} = V_T$) و عملکرد خطی ترانزیستور ($V_{DS} \leq V_{GS} - V_T$) ولتاژ V_{DS} باز هم افزایش داده شود، به ازای $V_{DS} \geq V_{GS} - V_T$ ترانزیستور وارد ناحیه اشباع خواهد شد. جریان I_D در چنین حالتی از رابطه زیر به دست می آید:

$$I_{D(SAT)} = \frac{k}{2} (V_{GS} - V_T)^2$$

چنین رابطه ای بیانگر عدم وابستگی جریان I_D ناحیه اشباع ترانزیستور به V_{DS} می باشد.

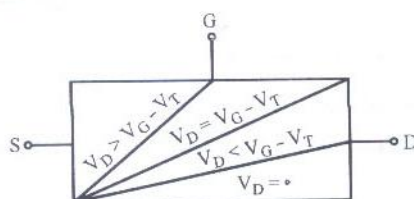


نکته: رابطه I_D در حالت اشباع ترانزیستور در عمل مقداری وابسته به V_{DS} و λ (پارامتری در طراحی ترانزیستورهای MOSFET) است که برابر است با:

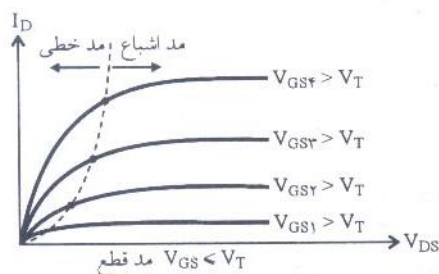
$$I_{D(SAT)} = \frac{k}{2} (V_{GS} - V_T)^2 (1 + \lambda V_{DS})$$

۶-۳- وضعیت کانال در مدارهای مختلف

هنگامیکه به ازای $V_{GS} \geq V_T$ کانال برقرار می شود می توان با توجه به مقدار V_{DS} عملکرد کانال را بررسی نمود. اگر $V_D = 0$ باشد کانال بیشترین عرض را خواهد داشت. اگر ولتاژ درین افزایش پیدا کند ولی هنوز محدودیتی برابر $V_D < V_G - V_T$ داشته باشد، ترانزیستور در ناحیه خطی خواهد بود و عرض کانال کم خواهد شد. با افزایش V_D به گونه ای که لبه اشباع ترانزیستور به وجود بیاید و $V_D = V_G - V_T$ شود کانال در آستانه قطع شدن قرار می گیرد و بالاخره با اشباع ترانزیستور کانال به طور کامل بسته می شود. (در حالت اشباع $V_D > V_G - V_T$ خواهد بود) شکل زیر تغییرات عرض کانال را به ازای ولتاژهای مختلف V_D نشان می دهد.

۶-۴- جریان I_D در مقابل V_{DS}

منحنی های زیر نشان دهنده افزایش نقطه اشباع ترانزیستور به ازای افزایش V_{GS} است. هر چه V_{GS} بزرگتر باشد، ترانزیستور دیرتر به نقطه اشباع می رسد.



وضعیت ولتاژهای ترانزیستور در مدهای عملیاتی مختلف

مشخصه وضعیت	V_{GS}	V_{DS}
خطی	$V_{GD} > V_T$	$V_{DS} < V_{GS} - V_T$
لبه خطی و اشباع	$V_{GD} = V_T$	$V_{DS} = V_{GS} - V_T$
اشباع	$V_{GD} < V_T$	$V_{DS} > V_{GS} - V_T$

۵-۶- پارامتر رسانایی متقابل

در رابطه‌های ارائه شده برای محاسبه I_D در حالت‌های مختلف پارامتر k تنها پارامتری است که به مقدار ولتاژهای اعمال شده به ترانزیستور بستگی ندارد و برای هر ترانزیستور مقداری ثابت و مشخص دارد. پارامتر k به طول و عرض کانال بستگی دارد که برای هر ترانزیستور متفاوت خواهد بود.

$$k = k' \frac{W}{L}$$

که مقدار k' از روابط زیر به دست می‌آید:

$$k' = \mu C'_{ox}$$

که μ ضریب پویایی^(۱) و C'_{ox} نیز خازن اکسید گیت به ازای هر واحد سطح است. مقدار μ برای ترانزیستورهای $nMOS$ و $pMOS$ متفاوت است:

$$\mu_N = 580 \frac{cm^2}{V.s}$$

$$\mu_P = 230 \frac{cm^2}{V.s}$$

و همچنین مقدار C'_{ox} طبق روابط زیر به دست می‌آید:

$$C'_{ox} = \frac{\epsilon_{ox}}{t_{ox}} \text{ (Per unit area)}$$

$$\epsilon_{ox} = k_{ox} \times \epsilon_s = 3/9 \times \epsilon_s = 3/45 \times 10^{-22} \frac{F}{cm}$$

($k_{ox} =$ ثابت دی الکتریک SiO_2)

1- mobility

۶-۶- ولتاژ آستانه MOSFET

یکی از پارامترهای مهم برای ترانزیستورهای MOSFET ولتاژ آستانه یا همان V_T آنها می باشد که معمولاً به صورت زیر تعریف می شود:

«ولتاژ آستانه، ولتاژ بایاسی است که به گیت اعمال می شود و مرز برقراری جریان بین درین و سورس محسوب می شود.»

بنابراین اگر ولتاژ بایاس گیت به سورس از V_T کمتر باشد جریان درین صفر خواهد بود.

$$I_{D(OFF)} = 0 \quad (V_{GS} < V_T)$$

اگر بدنه به سورس متصل باشد یعنی $V_{SB} = 0$ باشد ولتاژ آستانه چنین ترانزیستوری از رابطه زیر به دست می آید:

$$V_{T0} = -|\phi_{MS}| - |\phi_F| - \left| \frac{Q'_B}{C_{ox}} \right| - \left| \frac{Q'_{SS}}{C_{ox}} \right| + \frac{Q'_I}{C_{ox}}$$

که هر یک از این متغیرها به صورت زیر تعریف می شوند:

ϕ_{MS} : تفاوت بین ولتاژ عملیاتی سیلیکن و فلز گیت بر حسب ولت

ϕ_F : پتانسیل سطح بر حسب ولت

Q'_B : نسبت خازن ناحیه خلاء سطح^(۱) بر روی واحد سطح بر حسب C/cm^2

Q'_{SS} : نسبت خازن حالت سطح به واحد سطح بر حسب C/cm^2

Q'_I : پیاده سازی یون در درون ناحیه کانال بر حسب C/cm^2

تمام این مقادیر منفی می باشند به استثنای مقدار $\frac{Q'_I}{C_{ox}}$. اگر بدنه به سورس متصل نباشد آنگاه ولتاژ

V_{SB} لزوماً صفر نخواهد بود و به مقدار ولتاژی که با آن بایاس شده است بستگی خواهد داشت. در چنین حالتی ولتاژ آستانه به صورت زیر محاسبه می شود:

$$V_T(V_{SB} > 0) = V_{T0} + V_L (\sqrt{V_{SB} + 2\phi_F} - \sqrt{2\phi_F})$$

1- Surface depletion Region

که V_{T0} ولتاژ آستانه در حالت $V_{SB} = 0$ است و γ_L نیز ضریب تأثیر بدنه ^(۱) نام دارد.

مثال) اگر ولتاژ بایاس بدنه ۳ ولت باشد و $\gamma_L = 0.54 \text{ V}^{1/2}$ و $\phi_F = 0.6 \text{ V}$ باشد ولتاژ آستانه ترانزیستور $nMOS$ را محاسبه کنید. ($V_{T0} = 1 \text{ V}$)

(حل)

طبق رابطه $V_T = V_{T0} + \gamma_L (\sqrt{V_{SB} + 2\phi_F} - \sqrt{2\phi_F})$ و با توجه به مقادیر داده شده خواهیم داشت:

$$V_T = (1) + (0.54) [\sqrt{(3) + (0.6)} - \sqrt{(0.6)}] = 1.61 \text{ V}$$

۶-۷- مدهای عملیاتی $pMOS$

ترانزیستورهای $pMOS$ مشابه ترانزیستورهای $nMOS$ دارای یک سطح آستانه و سه مد عملیاتی هستند. این ترانزیستورها با توجه به ویژگیهایی که در ابتدای فصل به آنها اشاره شد از نظر نحوه اتصال پایه بدنه و نیز ولتاژهای مورد نیاز با ترانزیستورهای $nMOS$ اندکی تفاوت دارد. در ترانزیستورهای $pMOS$ اکثر روابط نسبت به $nMOS$ قرینه خواهد بود. در ترانزیستورهای $nMOS$ معمولاً درین به V_{DD} و سورس به زمین وصل بود در حالیکه در این ترانزیستورها نقطه درین زمین می شود. در ترانزیستورهای $nMOS$ بدنه به زمین (سورس) متصل می شد در حالیکه در ترانزیستورهای $pMOS$ پایه بدنه به V_{DD} (سورس) متصل می شود.

نکته: پایه بدنه در هر دو ترانزیستور $pMOS$ و $nMOS$ به سورس ترانزیستور متصل می شود.

با توجه به توضیحات ارائه شده می توان مدهای عملیاتی ترانزیستور $pMOS$ را به صورت زیر بیان نمود:

$$V_{SG} \leq -V_T \quad \text{قطع:}$$

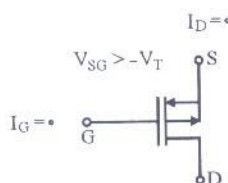
$$V_{SG} \geq -V_T, \quad V_{SD} \leq V_{SG} + V_T \quad \text{خطی:}$$

$$I_{D(LIN)} = k_P \left[(V_{SG} + V_T) V_{SD} - \frac{V_{SD}^2}{2} \right]$$

$$V_{SG} \geq -V_T, \quad V_{SD} \geq V_{SG} + V_T \quad \text{اشباع:}$$

$$I_{D(SAT)} = \frac{k_p}{2} (V_{SG} + V_T)^2$$

شکل زیر شماتیک یک ترانزیستور $pMOS$ را نشان می دهد.

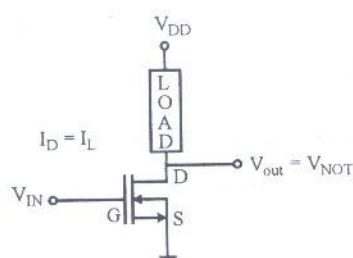


نکته: ولتاژ آستانه ترانزیستور $pMOS$ از رابطه زیر به دست می آید:

$$V_{TP} = V_{T0,P} - \gamma_P (\sqrt{V_{BS,P} + 2|\phi_{FP}|} - \sqrt{2|\phi_{FP}|})$$

۸-۶- گیت NOT خانواده NMOS

همانگونه که در فصل سوم (مدار RTL) با استفاده از یک ترانزیستور BJT و یک مقاومت توانستیم ساده ترین گیت NOT ممکن را نشان دهیم، در این فصل نیز برای معرفی گیت NOT خانواده $nMOS$ از یک گیت ساده متشکل از یک ترانزیستور $nMOS$ و یک بخش $load$ که وظیفه تأمین جریان I_D را دارد شروع می کنیم.



بخش $load$ می تواند شامل یک مقاومت باشد (مانند آنچه برای گیت NOT خانواده RTL نشان دادیم) و یا یک ترانزیستور $nMOS$ باشد که جریان I_D را تأمین می کند. ورودی گیت مستقیماً به گیت ترانزیستور متصل می باشد، بنابراین ولتاژ ورودی با ولتاژ گیت - سورس ترانزیستور مساوی خواهد بود.

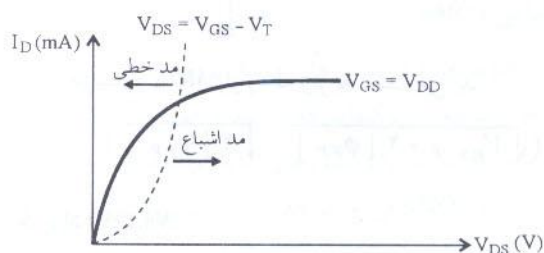
$$V_{IN} = V_{GS}$$

در این مدل نیازی به مقاومت ورودی جهت محدود نمودن جریان ورودی نخواهیم داشت. زیرا جریان I_G در حدود صفر می باشد. ولتاژ خروجی چنین مداری از رابطه:

$$V_{out} = V_{DS}$$

بدست می آید. هرچه ولتاژ درین - سورس بیشتر باشد جریان I_D نیز افزایش خواهد یافت و $load$ ترانزیستور مثل یک مقاومت کوچک عمل خواهد نمود. برای جریانهای $I_D = 0$ می توان نتیجه گرفت که V_{DS} نیز برابر صفر می باشد.

این روابط را می توان با مرور مطالب ابتدای فصل و نیز شکل زیر که بیانگر مشخصه جریان I_D و تغییرات آن بر حسب V_{DS} است به راحتی درک نمود.



۶-۸-۱- توان مصرفی

توان مصرفی گیتهای $MOSFET$ کمتر از توان مصرفی گیتهای BJT می باشد زیرا جریان در این مدارها ناچیز است. توان مصرفی در این مدارها نیز از رابطه:

$$P_{DD} = V_{DD} \frac{I_{DD(OH)} + I_{DD(OL)}}{2}$$

بدست می آید. خانواده گیتهای MOS یک توان مصرفی گذرا (دینامیکی) نیز دارند که در زمان سوئیچینگ ترانزیستور محاسبه می شود. این مقدار از رابطه

$$P_D = C_L \gamma V_{DD}^2$$

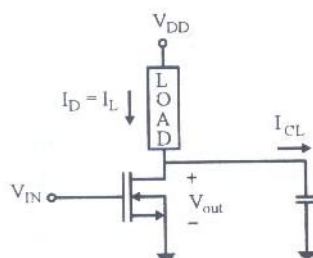
محاسبه می شود که در آن C_L بیانگر خازن بار خروجی و γ نیز بیانگر فرکانس سوئیچینگ گیت است. توان مصرفی گیتهای $MOSFET$ معمولاً از حاصل جمع این دو مقدار به دست می آید.

۶-۸-۲- Fan-out

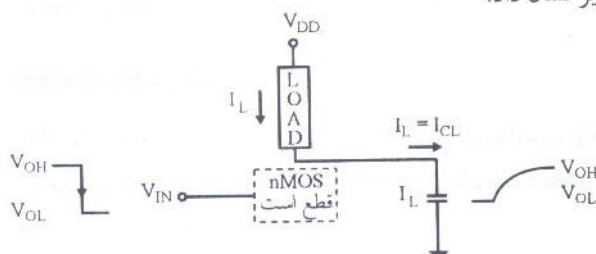
گیتهای $MOSFET$ تحت هر شرایط ورودی اعمال شده به آنها (V_{IH} و V_{IL}) جریان نمی کشند و علت اصلی چنین عملکردی همانگونه که عنوان شد ساختار پایه گیت ترانزیستورهای

MOSFET می باشد. با توجه به این ویژگی می توان گفت $fan-out$ این مدارها نامحدود است زیرا چه در حالت V_{OH} و چه در حالت V_{OL} هیچ جریانی از گیت ترانزیستورهای طبقه بعد کشیده نمی شود و یا بالعکس به خروجی طبقه اول نیز جریانی اعمال نمی شود. چنین تحلیلی با عملکرد واقعی ترانزیستورهای MOSFET اندکی مغایرت دارد. ساختار متوالی مدارهای MOSFET همانند آنچه برای ترانزیستورهای BJT و گیت های مختلف ارائه شده توسط آنها مطرح شد از نظر عملکردی با بررسی تنها یک گیت MOSFET تفاوت خواهد داشت.

همانگونه که گفتیم تکنولوژی ساخت پایه گیت ترانزیستورهای MOSFET به گونه ای است که این پایه عملکردی مشابه یک خازن دی الکتریک خواهد داشت. با توجه به این ویژگی می توان مدل زیر را یک مدل مبنا برای تحلیل عملکرد یک ترانزیستور MOSFET در ساختارهای متوالی و چند طبقه ای این خانواده از مدارها در نظر گرفت و جریانه های عبوری در مدار را به ازای هر یک از حالت های V_{OH} و V_{OL} بررسی نمود.



هنگامی که ورودی مدار از مقدار $high$ به مقدار low تغییر می یابد و با توجه به تغییر خروجی از مدار V_{OL} به V_{OH} خازن خروجی شروع به شارژ شدن نموده و چون ترانزیستور قطع می شود و جریانی از آن عبور نمی کند در نتیجه جریان عبوری از قسمت $load$ مدار به طور کامل به خازن خواهد رسید، چنین عملکردی که در اثر کاهش V_{IN} و برقراری رابطه $V_{OL}' = V_{IN} < V_T$ ایجاد می شود را می توان به صورت زیر نشان داد:

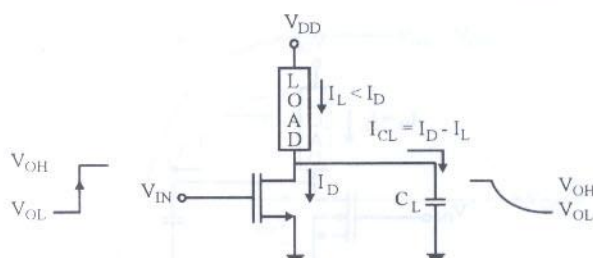


خازن در حال شارژ در چنین حالتی با توجه به مقدار (بار) ولتاژی که در هر لحظه از زمان جذب می‌کند و ظرفیت C_L خاص خودش، جریانی معادل

$$I_{C_L} = I_L = -C_L \frac{dV_{out}}{dt}$$

از خروجی کشیده و شارژ می‌شود. علامت منفی ارائه شده در عبارت بالا و جهت جریان I_{C_L} در شکل‌های قبلی می‌توانند قراردادی باشند.

همانگونه که برای تغییر حالت ورودی از *high* به *low* عملکرد ترانزیستور و خازن بار را بررسی نمودیم، حال به بررسی عملکرد مدار به ازای تغییر حالت از مقدار *low* به مقدار *high* می‌پردازیم. در چنین حالتی با توجه به تغییر اندازه خروجی از مقدار V_{OH} به V_{OL} ، خازن در ترانزیستور *MOSFET* تخلیه می‌شود و از طریق مسیر درین - سورس آن دشارژ می‌شود.



جریان I_D در این حالت مجموع جریان‌های I_{C_L} و I_L می‌باشد.

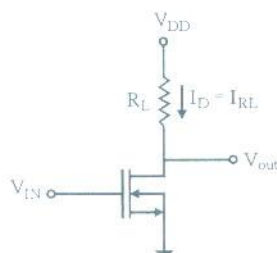
$$I_{C_L} = I_D - I_L$$

نکته: در حالت دشارژ جهت واقعی جریان I_{CL} عکس حالت شارژ خازن است.

با توجه به این توضیحات می‌توان گفت در مدارهای *MOSFET* به حداکثر زمان سوئیچینگ قابل پذیرش توسط مدار و حداکثر جریان ورودی به خازن بار بستگی دارد.

۶-۹ - *nMOS NOT* به همراه بار مقاومتی

در این بخش ناحیه *load* ترانزیستور تشکیل دهنده گیت *NOT* را با یک مقاومت R_L جایگزین کرده و عملکرد آنرا مورد بررسی قرار می‌دهیم. شکل زیر یک گیت *NOT* خانواده *nMOS* را با استفاده از بار مقاومتی نشان می‌دهد.



ولتاژ ورودی با توجه به شکل مدار معادل V_{GS} است و $V_{out} = V_{DD} - I_{RL} R_L$. اگر $V_{IN} < V_T$ باشد طبق آنچه مثلاً مطرح شد ترانزیستور قطع خواهد بود و هیچ جریانی از آن عبور نخواهد کرد لذا به دلیل صفر شدن جریان I_{RL} می توان گفت $V_{out} = V_{DD}$ خواهد شد. با توجه به اینکه در چنین حالتی V_{out} به بیشترین مقدار خود می رسد لذا $V_{OH} = V_{DD}$ یکی از پارامترهای چهارگانه چنین مداری را نشان می دهد. با افزایش V_{IN} به گونه ای که مقدار آن بیش از V_T شود، ترانزیستور وصل شده و جریان ناچیزی از مقاومت R_L عبور می کند. در چنین حالتی V_{DS} به مقدار بسیار ناچیزی از V_{DD} کمتر خواهد بود ولی با توجه به افزایش ورودی، خروجی به روند نزولی خود ادامه می دهد. برای محاسبه سایر پارامترهای مدار ابتدا کمترین مقدار خروجی یعنی V_{OL} را محاسبه می کنیم سپس به دو پارامتر V_{IH} و V_{IL} می پردازیم.

برای محاسبه V_{OL} طبق رابطه $V_{out} = V_{DD} - I_{RL} R_L$ نیاز به محاسبه جریان I_{RL} داریم. از آنجا که $I_{RL} = I_D$ می باشد لذا طبق روابطی که برای I_D در دو حالت خطی و اشباع مطرح شد می توان I_D را محاسبه نمود. اینکه حالت ترانزیستور به ازای V_{OL} چگونه مشخص می شود را می توان با توجه به مقدار V_{DS} و V_{GS} و نسبت آنها به یکدیگر بدست آورد. هنگامیکه ولتاژ ورودی V_{IN} اختلاف زیادی با V_T ندارد و ترانزیستور به مقدار آستانه وصل رسیده است و از طرفی جریان ناچیزی از مقاومت R_L عبور می کند، به دلیل اختلاف پتانسیل ناچیز بین V_{DD} و V_{DS} می توان گفت $V_{DS} > V_{GS} - V_T$ است. پس صرف افزایش ولتاژ ورودی به مقدار ناچیزی بیش از V_T ترانزیستور را وارد ناحیه اشباع می کند زیرا به دلیل اتصال درین ترانزیستور به V_{DD} می توان نتیجه گرفت که ولتاژ V_{DS} مقداری بیش از $V_{GS} - V_T$ خواهد داشت.

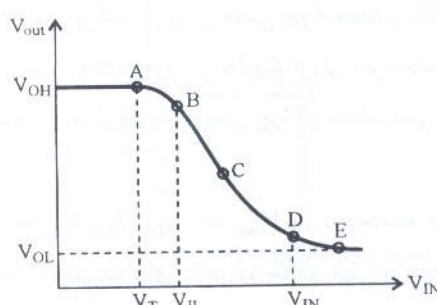
از طرفی طبق آنچه تاکنون در این کتاب مطرح شده است می دانیم که ولتاژ V_{OL} به ازای ولتاژهای ورودی $high$ به دست می آید و افزایش ناچیز ولتاژ ورودی به گونه ای که تنها بتواند از ولتاژ آستانه بیشتر شود نمی تواند به معنای $high$ بودن ورودی باشد. اگر V_{IN} روند افزایشی خود را ادامه بدهد و

ولتاژ متصل به پایه گیت به معنای واقعی *high* شود رابطه $V_{GS} - V_T > V_{DS}$ به راحتی برقرار شده و ترانزیستور را وارد ناحیه خطی می‌کند. پس نتیجه‌ای که در این بحث مطرح می‌شود به عملکرد خطی ترانزیستور در حالت V_{OL} اشاره دارد.

اگر بخواهیم با توجه به مقدار ولتاژ ورودی ناحیه عملکرد ترانزیستور را مشخص کنیم می‌توانیم طبق رابطه مربوط به جریان مقاومت R_L و روابط دوگانه I_D در دو حالت خطی و اشباع و تشکیل دو معادله ریاضی مقدار V_{out} را به دست آورده و با توجه به آن در مورد ناحیه عملکرد ترانزیستور بحث کنیم.

طبق آنچه تاکنون مطرح شد، ۲ پارامتر از چهار پارامتر مجهول مشخصه انتقال ولتاژ یک مدار *nMOS* *NOT* به دست آمد.

به طور کلی مشخصه انتقال ولتاژ گیت‌های *nMOS NOT* به شکل زیر می‌باشد:



نقاط پنج‌گانه‌ای که با حروف انگلیسی بر روی منحنی مشخص شده‌اند هر یک بیانگر محدوده عملیاتی خاصی از ترانزیستور *nMOS* گیت *NOT* می‌باشند که در ادامه آنها را شرح می‌دهیم.

نقطه *A*: این نقطه بیانگر مرزی از ولتاژهای ورودی است که تا قبل از آن قادر به تأمین V_T ترانزیستور نبوده‌اند و از این نقطه به بعد به دلیل افزایش ورودی و برقراری رابطه $V_{GS} > V_T$ ترانزیستور در آستانه هدایت قرار می‌گیرد و ولتاژ خروجی که تا قبل از آن معادل V_{OH} بوده شروع به کاهش می‌کند.

نقطه *E*: هنگامیکه منحنی به نقطه *E* می‌رسد ولتاژ خروجی معادل V_{OL} خواهد بود و ترانزیستور قطعاً در حالت خطی قرار خواهد گرفت. از نقطه به بعد با افزایش ولتاژ ورودی مدار هیچ تغییری در اندازه ولتاژ خروجی ایجاد نخواهد شد.

نقطه *B*: نقطه *B* همان نقطه‌ای است که بحث در مورد آن یکی از دو پارامتر مجهول مشخصه انتقال ولتاژ این مدار یعنی پارامتر V_{IL} را مشخص خواهد نمود. نقطه *B* بر روی منحنی انتقال ولتاژ، نقطه‌ای است که در آن شیب خط مماس بر منحنی انتقال ولتاژ مدار برابر ۱- خواهد شد. طبق چنین تعریفی می‌توان

گفت V_{IL} نقطه‌ای از ولتاژهای ورودی را ارائه می‌کند که در آن نقطه شیب خط مماس بر منحنی انتقال ولتاژ برابر عدد ۱ - است. پس برای محاسبه پارامتر V_{IL} ویژگی $\frac{dV_{out}}{dV_{IN}} = -1$ می‌بایست مدنظر قرار گیرد.

نقطه D : نقطه که پارامتر V_{IH} مشخصه انتقال ولتاژ را مشخص می‌کند همانند نقطه B تعریفی مشابه آنچه مطرح شد دارد. در نقطه D شیب خط مماس بر منحنی انتقال ولتاژ برابر ۱ - خواهد بود با این تفاوت که در این نقطه مقدار V_{IN} معنی $high$ و V_{out} معنی low می‌دهد در صورتیکه در نقطه B مقدار V_{IN} معنی low و مقدار V_{out} معنی $high$ داشت.

نقطه C : نقطه C نقطه میانی مشخصه انتقال ولتاژ مدار، نقطه‌ای است که در آن ولتاژ ورودی با ولتاژ خروجی برابر خواهد بود. در نقطه میانی ترانزیستور در ناحیه اشباع فعالیت خواهد کرد.

۶-۹-۱- چگونگی محاسبه V_{IH}

V_{IH} همانگونه که از نامش پیداست بیانگر مرزی از ولتاژهای ورودی است که در آن مقدار ورودی هنوز معنای $high$ و مقدار خروجی نیز معنای low می‌دهد. این دو مقدار تا حدودی تضمین‌کننده برقراری رابطه $V_{GS} - V_T > V_{DS}$ می‌باشند، لذا می‌توان نتیجه گرفت که در نقطه V_{IH} ترانزیستور در ناحیه خطی عمل می‌کند با توجه به چنین نتیجه‌گیری مهمی می‌توان با استفاده از تساوی زیر شیب خط مماس بر منحنی انتقال ولتاژ را در این نقطه محاسبه نمود.

$$I_D = k \left[(V_{IN} - V_T) V_{out} - \frac{V_{out}^2}{2} \right] = \frac{V_{DD} - V_{out}}{R_L}$$

با علم به اینکه در چنین نقطه‌ای شیب خط مماس برابر ۱ - است لذا با استفاده از مشتق ضمنی و

رابطه ۱ - می‌توان V_{IN} را بر حسب V_{out} نوشت:

$$\frac{dV_{out}}{dV_{IN}} = \frac{-(k(V_{IN} - V_T) - kV_{out} + \frac{1}{R_L})}{kV_{out}} = -1$$

$$\Rightarrow -k(V_{IN} - V_T) + 2kV_{out} - \frac{1}{R_L} = 0$$

$$\Rightarrow kR_L [V_{IN} - V_T - 2V_{out}] + 1 = 0$$

$$\Rightarrow V_{IN} = \frac{V_T + 2V_{out}}{kR_L} - 1$$

اگر مقدار به دست آمده برای V_{IN} را در رابطه I_D حالت خطی (که در بالا مورد استفاده قرار گرفته است) جایگزین نماییم، با توجه به معلوم بودن مقادیر V_{DD} ، V_T ، R_L ، k و ولتاژ V_{out} به دست خواهد آمد که بدون توجه به حالت خروجی به ازای آن مقدار و بدون اینکه بخواهیم در آن زمینه بحث انجام دهیم مقدار حاصل برای V_{out} را در رابطه به دست آمده برای V_{IN} (در بالا) قرار داده و مقدار نهایی V_{IN} را به عنوان V_{IH} مدار در نظر می گیریم. برای فهم بیشتر این روش به چگونگی محاسبه پارامتر V_{IH} در تست های انتهای فصل مراجعه نمایید.

۶-۹-۲- چگونگی محاسبه V_{IL}

آخرین پارامتر مجهول مشخصه انتقال ولتاژ گیت NOT خانواده nMOS پارامتر V_{IL} است که به ازای ماکزیمم ورودی low که خروجی high ایجاد می کند به دست می آید. با توجه به اینکه در نقطه V_{IL} ورودی هنوز در حالت low قرار دارد لذا می توان گفت رابطه $V_{GS} - V_T < V_{DS}$ در ترانزیستور برقرار شده و ترانزیستور در حالت اشباع فعالیت می کند. جریان I_D در این حالت از رابطه زیر محاسبه می شود:

$$I_D = \frac{k}{2} (V_{IN} - V_T)^2 = \frac{V_{DD} - V_{out}}{R_L}$$

طبق آنچه قبلاً گفتیم برای محاسبه V_{IL} مهمترین ویژگی منحنی انتقال ولتاژ در این نقطه یعنی شیب خط مماس می تواند مبنای محاسبه قرار گیرد. با توجه به رابطه $-1 = \frac{dV_{out}}{dV_{IN}}$ و تساوی ارائه شده برای جریان I_D خواهیم داشت:

$$2(V_{DD} - V_{out}) - kR_L(V_{IN} - V_T)^2 = 0$$

$$\Rightarrow \frac{dV_{out}}{dV_{IN}} = \frac{-2}{-2kR_L(V_{IN} - V_T)} = -1$$

$$\Rightarrow 2kR_L(V_{IN} - V_T) = 2$$

$$\Rightarrow V_{IN} = \frac{2}{2kR_L} + V_T = V_{IL}$$

همانگونه که مشاهده می شود رابطه به دست آمده برای V_{IL} در چنین حالتی مستقل از مقدار V_{out} است و نیازی به محاسبه مقدار V_{out} و جایگزینی آن در رابطه V_{IN} نداریم.

۶-۹-۳- چگونگی محاسبه V_M

در نقطه میانی رابطه $V_{IN} = V_{out}$ برقرار است و ترانزیستور در حالت اشباع قرار دارد زیرا برای حالت اشباع خواهیم داشت:

$$V_{DS} > V_{GS} - V_T \Rightarrow V_{out} > V_{IN} - V_T$$

$$V_{out} = V_{IN} \Rightarrow V_T > 0$$

در صورتیکه چنین رابطه‌ای در حالت خطی به تناقض خواهد رسید:

$$V_{GS} - V_T > V_{DS} \Rightarrow V_{IN} - V_T > V_{out}$$

$$V_{out} = V_{IN} \Rightarrow V_T < 0$$

در ترانزیستور $nMOS$ مقدار V_T مقداری مثبت است پس با قاطعیت می‌توان گفت که در ترانزیستورهای $nMOS$ اگر ولتاژ ورودی با ولتاژ خروجی برابر شود، ترانزیستور در ناحیه اشباع فعالیت خواهد نمود. مقدار V_M در چنین حالتی از طریق رابطه مورد استفاده برای جریان I_D در حالت اشباع به دست می‌آید:

$$I_D = \frac{k}{2} (V_{GS} - V_T)^2 = \frac{V_{DD} - V_{out}}{R_L}$$

$$\Rightarrow \frac{k}{2} (V_M - V_T)^2 = \frac{V_{DD} - V_M}{R_L}$$

از آنجا که در یک مدار NOT خانواده $nMOS$ عموماً پارامترهای V_{DD} ، V_T ، R_L و k مقدار مشخصی دارند، محاسبه ولتاژ V_M به سادگی امکانپذیر است.

۶-۹-۴- توان مصرفی

برای محاسبه توان مصرفی گیت $nMOS NOT$ ابتدا می‌بایست جریانهای DC فراهم شده توسط منبع V_{DD} را به ازای خروجیهای low و $high$ محاسبه کرد. اگر خروجی این مدار در حالت $high$ باشد یعنی ترانزیستور قطع بوده است و هیچ جریانی از آن عبور نمی‌کند پس:

$$I_{DD(OH)} = I_{RL(OH)} = I_{D(OFF)} = 0$$

و اگر خروجی در حالت *low* باشد ترانزیستور با توجه به *high* بودن ورودی در ناحیه خطی فعالیت خواهد نمود و جریان I_D آن از رابطه زیر پیروی می کند:

$$I_{DD(OL)} = I_{RL(OL)} = I_{D(LIN)} = k \left[(V_{GS} - V_T) - V_{DS} - \frac{V_{DS}^2}{2} \right]$$

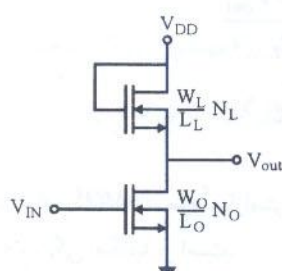
با توجه به مقادیر محاسبه شده برای جریانهای $I_{DD(OH)}$ و $I_{DD(OL)}$ ، توان مصرفی این مدار از طریق رابطه زیر به دست می آید:

$$P_{DD(avg)} = \frac{I_{DD(OH)} + I_{DD(OL)}}{2} V_{DD} = \frac{I_{DD(OL)} V_{DD}}{2}$$

و توان دینامیکی این مدار نیز از رابطه $P_{DD(dyn)} = C_L \nu V_{DD}^2$ پیروی می کند.

۶-۱۰. *nMOS NOT* به همراه بار ترانزیستوری همیشه اشباع

انتخاب دیگری که برای بخش *load* یک گیت معکوس کننده *nMOS* می توان ارائه نموده استفاده از یک ترانزیستور *nMOS* است که به شکل زیر در مدار قرار گیرد.



در ترانزیستور *nMOS load* پایه گیت و درین به یکدیگر متصل شده اند لذا رابطه $V_D = V_G$ به دلیل تساوی $V_D = V_G$ همیشه برقرار است و می توان نتیجه گرفت که ترانزیستور بار همیشه در ناحیه اشباع فعالیت می کند. اگر ولتاژ ورودی از V_T ترانزیستور N_O کمتر باشد، ترانزیستور N_O قطع خواهد بود و جریان I_D را هدایت نخواهد کرد و ولتاژ خروجی از رابطه زیر محاسبه می شود:

$$V_{out} = V_{DD} - V_{GSL}$$

که البته $I_{DL} = 0$ خواهد بود. با توجه به رابطه جریان در حالت اشباع ترانزیستور خواهیم داشت:

$$I_{DL} = \frac{k_L}{2} (V_{GSL} - V_{TL})^2 = 0$$

$$\Rightarrow V_{GSL} = V_{TL}$$

با توجه به این محاسبات می توان مقدار V_{out} را در حالت *high* محاسبه کرد:

$$V_{OH} = V_{DD} - V_{TL}$$

با افزایش ولتاژ ورودی به گونه ای که مقدار V_{TO} بیشتر شود، ترانزیستور N_O شروع به هدایت می کند و جریان I_D یکسانی از هر دو ترانزیستور N_O و N_L عبور خواهد کرد. از آنجا که هدف اصلی این مدار، *low* شدن خروجی به ازای *high* شدن ولتاژ ورودی است پس می توان گفت V_{OL} در حالتی به دست می آید که ترانزیستور N_O در حالت خطی فعالیت می کند و به دلیل اختلاف ولتاژ زیاد پایه گیت و درین آن رابطه $V_{GS} - V_T > V_{DS}$ برقرار می باشد.

$$I_{DD} = I_{DL}$$

$$k_O \left[(V_{GSO} - V_{TO}) V_{DSO} - \frac{V_{DO}^2}{2} \right] = \frac{k_L}{2} (V_{GSL} - V_{TL})^2$$

با توجه به شکل مدار می توان گفت در حالت V_{OL} مقدار V_{GSL} از رابطه زیر پیروی می کند:

$$V_{GSL} = V_{DD} - V_{OL} = V_{DSL}$$

و همچنین با توجه به اینکه خروجی *low* در اثر اعمال ورودی *high* به دست می آید، لذا می توان گفت V_{GSO} همان V_{OH} طبقه قبل از خود است. یعنی:

$$V_{GSO} = V_{DD} - V_{TL}$$

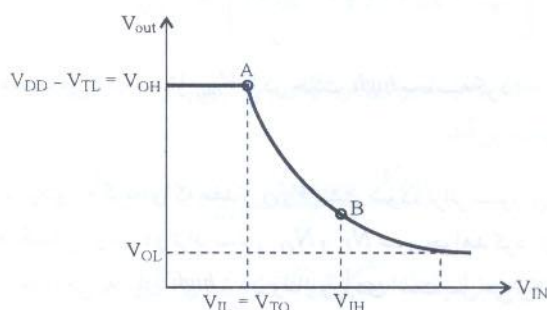
پس تساوی $I_{DO} = I_{DL}$ به صورت زیر نوشته می شود:

$$k_O \left[(V_{DD} - V_{TL} - V_{TO}) V_{OL} - \frac{V_{OL}^2}{2} \right] = \frac{k_L}{2} (V_{DD} - V_{OL} - V_{TL})^2$$

که در نهایت به رابطه زیر می رسیم:

$$V_{OL} \approx \frac{k_L (V_{DD} - V_{TL})^2}{2k_L (V_{DD} - V_{TL}) + 2k_O (V_{DD} - V_{TL} - V_{TO})}$$

در این مدار برای محاسبه V_{IL} نمی توان از رابطه $\frac{dV_{out}}{dV_{IN}} = -1$ استفاده کرد. برای توضیح بیشتر در این مورد ابتدا مشخصه انتقال ولتاژ چنین گیت هایی را نشان داده و سپس با توجه به شکل ارائه شده دلیل این امر را توضیح می دهیم.



همانگونه که در شکل مشخص شده است شیب منحنی پس از نقطه A از یک بیشتر است و به دلیل وجود ناپوستگی در نقطه A ($V_{IN} = V_{TO}$) می توان این نقطه را به عنوان V_{IL} مدار در نظر گرفت و البته نقطه B که دارای شیب -1 است (شیب خط مماس) را به عنوان V_{IH} مدار (در ادامه محاسبه خواهد شد) معرفی کرد. با توجه به موارد ذکر شده می توان V_{IL} این مدار را به شکل زیر تعریف نمود:

$$V_{IL} = V_{TO}$$

دیگر پارامتر مجهول مشخصه انتقال ولتاژ این مدار V_{IH} است که طبق آنچه در مدار $nMOS NOT$

با بار مقاومتی گفتیم از رابطه $\frac{dV_{out}}{dV_{IN}} = -1$ محاسبه می شود. هنگامیکه ورودی مدار در حالت $high$

قرار دارد با توجه به عملکرد مدار ($inverting$) می توان پیش بینی نمود که خروجی در حالت low قرار دارد در نتیجه برای ترانزیستور N_O رابطه $V_{GS} - V_{TO} > V_{DS}$ برقرار خواهد بود و این ترانزیستور در ناحیه خطی فعالیت خواهد نمود. از طرفی با توجه به اینکه جریان عبوری از هر دو ترانزیستور یکسان است و ترانزیستور N_L نیز در حالت اشباع قرار دارد لذا روابط زیر در مدار برقرار خواهند بود:

$$I_{DL(SAT)} = I_{DO(LIN)}$$

$$\Rightarrow \frac{k_L}{\gamma} (V_{GSL} - V_{TL})^2 = k_O \left[(V_{SGO} - V_{TO}) V_{DSO} - \frac{V_{DSO}^2}{\gamma} \right]$$

با توجه به اینکه ورودی مدار باید مقدار V_{IH} را نشان دهد و همچنین $V_{GSL} = V_{DSL} = V_{DD} - V_{out}$ می باشد، می توان برای رابطه ۱- $\frac{dV_{out}}{dV_{IN}} = -1$ رابطه زیر را مورد استفاده قرار داد:

$$\frac{k_L}{4} (V_{DD} - V_{out} - V_{TL})^2 - k_O \left[(V_{IH} - V_{TO}) V_{out} - \frac{V_{out}^2}{2} \right] = 0$$

همانند آنچه برای V_{IH} مدار $nMOS NOT$ با بار مقاومتی نشان دادیم در اینجا نیز ابتدا V_{out} مربوط به این ولتاژ ورودی (V_{IH}) را به دست می آوریم و پس از آن با جایگزینی مقدار به دست آمده به جای مقدار V_{out} در تساوی $I_{DO(LIN)} = I_{DL(SAT)}$ مقدار V_{IH} را به دست می آوریم. برای جلوگیری از انجام محاسبات پیچیده این مرحله مقدار نهایی V_{IH} در ادامه نشان داده شده است.

$$V_{IH} = V_{TO} + \frac{2(V_{DD} - V_{TL})}{\sqrt{\frac{3k_O}{k_L} - 1}}$$

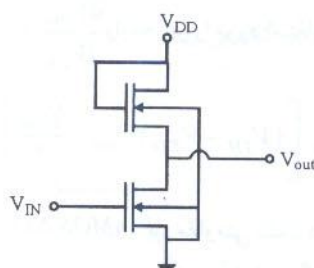
و بالاخره آخرین پارامتر مجهول VTC مدار که V_M است با توجه به اشباع بودن همزمان هر دو ترانزیستور N_O و N_L و یکسان بودن جریانهای عبوری از آنها به شکل زیر محاسبه می شود:

$$\begin{aligned} I_{DO(SAT)} &= I_{DL(SAT)} \\ \Rightarrow \frac{k_O}{4} (V_{GSO} - V_{TO})^2 &= \frac{k_L}{4} (V_{GSL} - V_{TL})^2 \\ \Rightarrow \frac{k_O}{4} (V_M - V_{TO})^2 &= \frac{k_L}{4} (V_{DD} - V_M - V_{TL})^2 \\ \Rightarrow V_M &= \frac{V_{DD} - V_{TL} + \sqrt{\frac{k_O}{k_L}} V_{TO}}{1 + \sqrt{\frac{k_O}{k_L}}} \end{aligned}$$

۶-۱۱- ترانزیستور بار با بایاس بدنه

طرحی که تاکنون به عنوان گیت $nMOS NOT$ با بار ترانزیستوری همیشه اشباع مورد بررسی قرار گرفت دارای ولتاژ آستانه V_{TL} ثابتی بود که با V_{TO} یکسان در نظر گرفته می شد. اگر پایه بدنه ترانزیستور N_L مطابق شکل زیر به پایه سورس ترانزیستور N_O متصل شود با توجه به تساوی های

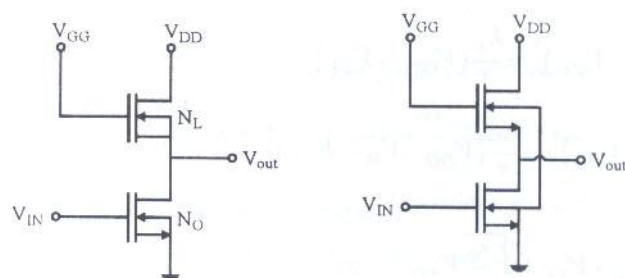
با توجه به رابطه $V_{SBL} = V_{DSO} = V_{out}$ مقدار V_{TL} نیز با توجه به مقدار تغییر خواهد کرد.



با توجه به رابطه $V_{TL} = V_{TO} = \gamma_L (\sqrt{V_{SBL} + 2\phi_{FL}} - \sqrt{2\phi_{FL}})$ می توان گفت تمام پارامترهای VTC مدار (به استثنای $V_{IL} = V_{TO}$) تغییر خواهند نمود و با توجه به جایگزینی V_{out} در رابطه V_{TL} ارائه شده به جای V_{SBL} می توان پارامترهای مذکور را مجدداً محاسبه نمود.

۶-۱۲- $nMOS$ NOT به همراه بار ترانزیستوری همیشه خطی

روش دیگری که برای تأمین جریان I_D از منبع تغذیه V_{DD} در گیت های NOT خانواده $nMOS$ ارائه می شود استفاده از ترانزیستوری است که در بخش $load$ مدل اولیه ارائه شده قرار می گیرد و البته همیشه در ناحیه خطی فعالیت می کند.



مشابه آنچه در بخش قبل گفتیم دو پیکربندی متفاوت (با توجه به پایه بدنه ترانزیستور N_L) می توان برای این نوع گیت های $nMOS$ NOT ارائه نمود که در شکل های بالا نشان داده شده اند. مدل مرجع ما برای محاسبه پارامترهای چنین مداری مدلی است که در آن هر ترانزیستور V_T ثابتی دارد و در واقع پایه بدنه هر ترانزیستور به پایه سورس آن متصل شده است.

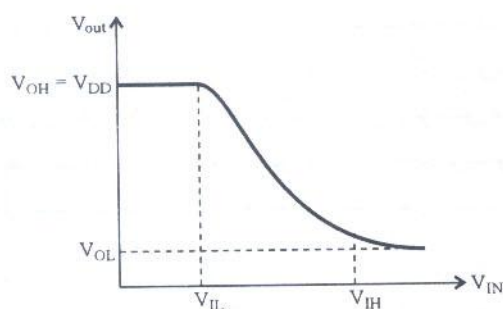
عیب عمده این مدارها استفاده از یک منبع تغذیه اضافی V_{GG} است. ولتاژ V_{GG} باید به گونه‌ای انتخاب شود که در رابطه $V_{GG} > V_{DD} + V_{TL}$ صدق کند تا ترانزیستور N_L همیشه در ناحیه خطی فعالیت کند. ولتاژ خروجی چنین گیتی با استفاده از روابط زیر به دست می‌آید:

$$V_{out} + V_{DSO} = V_{GG} - V_{GSL} = V_{DD} - V_{DSL}$$

اگر ورودی مدار مقداری کمتر از V_{TO} داشته باشد ترانزیستور N_O قطع خواهد بود و هیچ جریانی را هدایت نخواهد کرد. در این حالت خروجی از طریق $V_{out} = V_{DD} - V_{DSL}$ محاسبه می‌شود. چون I_{DL} به ازای قطع بودن ترانزیستور N_O برابر صفر خواهد بود و V_{OH} به صورت زیر به دست می‌آید:

$$V_{OH} = V_{DD} - V_{DSL} = V_{DD}$$

مشخصه انتقال ولتاژ چنین مداری به صورت زیر می‌باشد:



برای محاسبه V_{IH} و V_{IL} طبق آنچه قبلاً گفتیم با استفاده از رابطه $\frac{dV_{out}}{dV_{in}} = -1$ و جریانهای I_{DO} و I_{DL} می‌توان به سادگی به پاسخ مورد نظر رسید. به ازای ولتاژ V_{IL} ترانزیستور N_O در حالت اشباع و به ازای ولتاژ V_{IH} نیز ترانزیستور N_O در حالت خطی فعالیت می‌کند. V_{OL} این مدار نیز از طریق تساوی $I_{DL(LIN)} = I_{DO(LIN)}$ به دست می‌آید که به طور تقریبی برابر است با:

$$V_{OL} \approx \frac{K_L \left[(V_{GG} - V_{TL}) V_{DD} - \frac{V_{DD}^2}{2} \right]}{K_O (V_{DD} - V_{TO}) + K_L (V_{GG} - V_{TL})}$$

و بالاخره برای محاسبه V_M این مدار با توجه به اشباع بودن ترانزیستور N_O و عملکرد خطی ترانزیستور N_L از تساوی

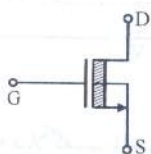
$$I_{DL(LIN)} = I_{DO(SAT)}$$

استفاده می‌کنیم. توان مصرفی این مدار نیز همچون سایر مدارهای $nMOS NOT$ که در بخشهای قبلی ارائه شد محاسبه می‌شود.

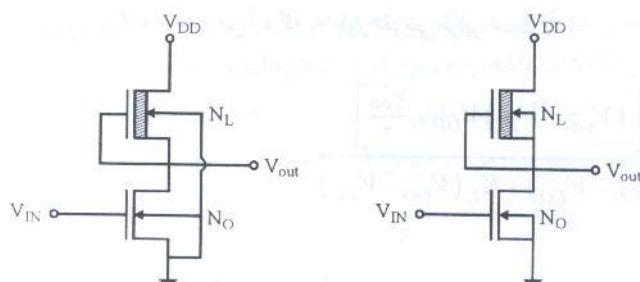
نکته: در صورت استفاده از ولتاژ بایاس بدنه برای این مدل و اتصال پایه بدنه ترانزیستور N_L با پایه سورس ترانزیستور N_O در کلیه محاسبات ذکر شده برای به دست آوردن پارامترهای مشخصه انتقال ولتاژ این مدار می‌بایست از V_{TL} مربوط به این طرح استفاده نمود.

۶-۱۳- $nMOS NOT$ به همراه بار ترانزیستور نوع تهی

ترانزیستورهای نوع تهی دسته‌ای از ترانزیستورهای $MOSFET$ هستند که هنگام ساخت یک کانال از نوع n بین ناحیه درین و سورس آنها قرار داده شده است تا در صورت صفر بودن مقدار V_{GS} باز هم با افزایش ولتاژ V_{DS} جریان I_{DS} در کانال مذکور برقرار شود. به عبارت دیگر می‌توان گفت ولتاژ آستانه هدایت این ترانزیستورها مقداری منفی (کوچکتر از صفر) دارد و این ترانزیستورها به ازای V_{GS} های منفی قطع خواهند بود. روابط خطی و اشباع این ترانزیستورها نسبت به ترانزیستورهای $MOSFET$ ارتقایی هیچ تفاوتی ندارد ولی شماتیک مداری آنها را می‌توان به صورت زیر نشان داد:



با توجه به مقدمه مطرح شده در مورد ترانزیستورهای $MOSFET$ نوع تهی، آخرین روش طراحی ناحیه $load$ گیتهای NOT خانواده $nMOS$ را نیز با استفاده از این ترانزیستورها نشان می‌دهیم:



باز هم از بین این دو مدل، مدل مرجع ما حالتی خواهد بود که پایه بدنه هر ترانزیستور به پایه سورس آن ترانزیستور متصل است و لثاژ آستانه آن ثابت است. (حالت دیگر و محاسبات مربوط به آن را به عهده خواننده می گذاریم). هنگامیکه ورودی از سطح آستانه ترانزیستور N_O کمتر است یعنی:

$$V_{IN} = V_{GS} < V_{TO}$$

ترانزیستور N_O در حالت قطع قرار خواهد گرفت و هیچ جریانی از آن عبور نخواهد کرد و جریان I_{DL} نیز برابر صفر خواهد بود. با توجه به رابطه $V_{GSL} = 0$ و $V_{TL} < 0$ و $high$ بودن ولتاژ V_{out} به ازای ورودی low می توان گفت در چنین حالتی رابطه $V_{GS} - V_T > V_{DS}$ در ترانزیستور N_L برقرار شده و این ترانزیستور در ناحیه خطی فعالیت خواهد نمود. پس جریان I_{DL} از رابطه زیر پیروی می کند:

$$I_{DL(LIN)} = K_L \left[(V_{GSL} - V_{TL}) V_{DSL} - \frac{V_{DSL}^2}{2} \right] = 0$$

که می توان نتیجه گرفت $V_{DSL} = 0$ است و لذا ولتاژ خروجی برابر است با:

$$V_{out} = V_{OH} = V_{DD}$$

نکته: همانگونه که نشان داده شد V_{OH} این مدار بدون نیاز به منبع تغذیه اضافی (طبق آنچه در بخش قبلی توسط V_{GG} تأمین می شد) مقداری در حد V_{DD} دارد که بسیار مناسب است. پارامتر V_{IL} پارامتر دیگری است که باید مورد بررسی و محاسبه قرار گیرد. هنگامیکه ورودی در حالت low و خروجی در حالت $high$ قرار دارد، ترانزیستور N_O اشباع خواهد بود و ترانزیستور N_L نیز به دلیل اختلاف ولتاژ ناچیز بین درین و سورس و برقراری رابطه $V_{GS} - V_T > V_{DS}$ در ناحیه خطی فعالیت خواهد نمود. با توجه به رابطه $\frac{dV_{out}}{dV_{IN}} = -1$ و تساوی $I_{DO} = I_{DL}$ می توان ولتاژ V_{IL} را به دست آورد. مقدار V_{IL} سپس از محاسبه برابر مقدار زیر خواهد بود:

$$V_{IL} = V_{TO} + \frac{k_L}{\sqrt{k_O k_L + k_O}} |V_{TL}|$$

برای محاسبه V_{IH} نیز از همین روابط استفاده می کنیم با این تفاوت که به دلیل low بودن خروجی حالت ترانزیستورها دقیقاً عکس شده و ترانزیستور N_O در ناحیه خطی و ترانزیستور N_L نیز در ناحیه اشباع فعالیت خواهند کرد. مقدار V_{IH} پس از انجام محاسبات مربوطه برابر مقدار زیر خواهد بود:

$$V_{IH} = \frac{1}{2} |V_{TL}| \sqrt{\frac{k_L}{k_O}} + V_{TO}$$

در حالت V_{OL} ترانزیستور N_O عملکردی خطی خواهد داشت و با توجه به خروجی low و اشباع شدن ترانزیستور N_L می توان از طریق تساوی $I_{DO(SAT)} = I_{DL(SAT)}$ به مقدار تقریبی V_{OL} دست یافت.

$$V_{OL} \approx \frac{k_L V_{TL}^2}{2k_O (V_{DD} - V_{TO})}$$

و بالاخره این که برای محاسبه V_M به دلیل اشباع شدن هر دو ترانزیستور N_O و N_L و تساوی $I_{DO(SAT)} = I_{DL(SAT)}$ مقدار ولتاژ V_M برابر خواهد بود با:

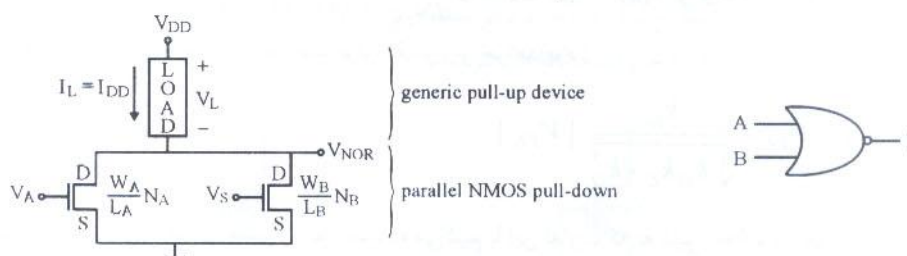
$$V_M = V_{TO} + |V_{TL}| \sqrt{\frac{k_L}{k_O}}$$

۱۴-۶- گیت های nMOS

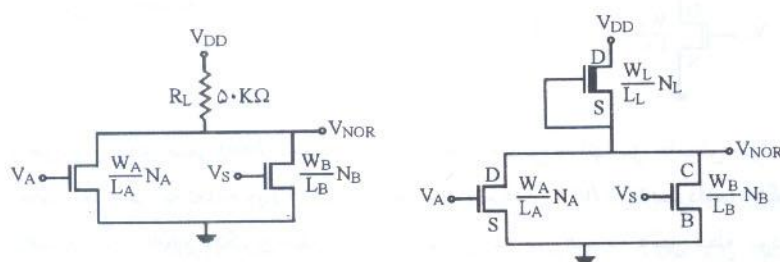
پس از معرفی انواع گیت های $nMOS$ NOT که هر یک به نوعی بخشی $load$ خاص خود را داشتند نوبت به معرفی سایر گیت های این خانواده و همچنین چگونگی طراحی سایر توابع با استفاده از این تکنولوژی می رسد. قبل از اینکه به ادامه بحث پردازیم لازم به ذکر است که در شکل های این بخش پایه بدنه ترانزیستور $nMOS$ (ارتقاعی یا تهی) رسم نمی شود و در واقع فرض بر این است که به زمین وصل شده اند.

۱۴-۶-۱- گیت NOR

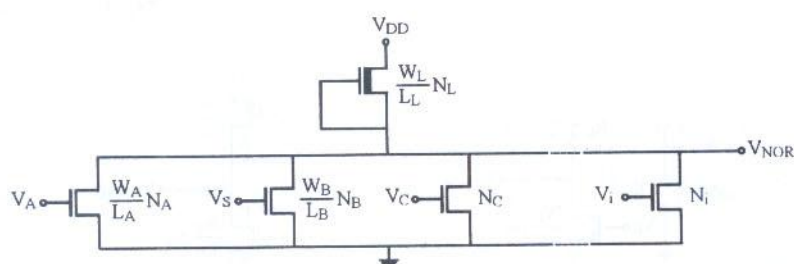
اولین گیتی که در این بخش ارائه می کنیم گیت NOR دو ورودی است. بدون در نظر گرفتن اینکه از کدام تکنولوژی طراحی برای بخش $load$ استفاده می کنیم شکل کلی یک گیت NOR دو ورودی خانواده $nMOS$ را در زیر نشان می دهیم:



هنگامیکه هر دو ورودی low باشند هیچکدام از ترانزیستورهای N_A و N_B روشن نخواهند بود ولی به دلیل اتصال V_{DD} به V_{out} از طریق بخش $load$ ولتاژ خروجی طبق رابطه $V_{out} = V_{DD} - V_L$ مقداری $high$ خواهد داشت. اگر حداقل یکی از ورودی‌ها فعال باشد به دلیل اتصال V_{out} به زمین (از طریق درین و سورس ترانزیستور وصل شده) خروجی مقداری low خواهد داشت. اگر به جای بخش $load$ از طرحهای مقاومتی و یا ترانزیستوری استفاده کنیم مدار باز هم همین عملکرد را خواهد داشت. با این تفاوت که تنها مقدار پارامترهای چهارگانه مدار ممکن است تغییر کند. شکلهای زیر بیانگر تکنیکهای مختلف طراحی گیت NOR دو ورودی با بخش $load$ متفاوت می‌باشد.



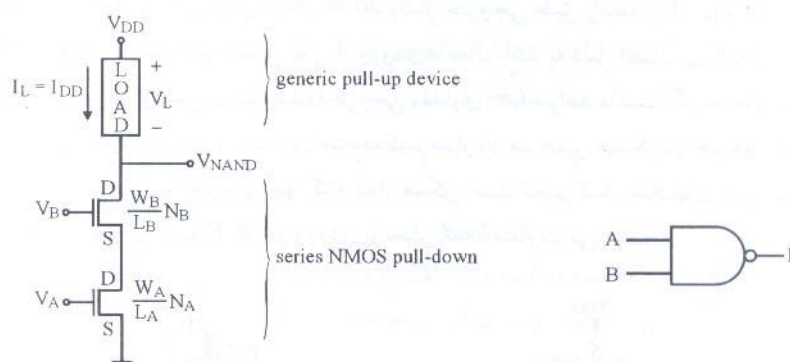
در صورتیکه بخواهیم پایه‌های ورودی گیت NOR را افزایش دهیم، ورودی‌ها را به ترانزیستورهایی که به صورت موازی به ترانزیستورهای بخش پایینی مدار (ترانزیستورهای $Pull-down$ که به زمین وصل شده‌اند) متصل شده‌اند، وصل می‌کنیم.



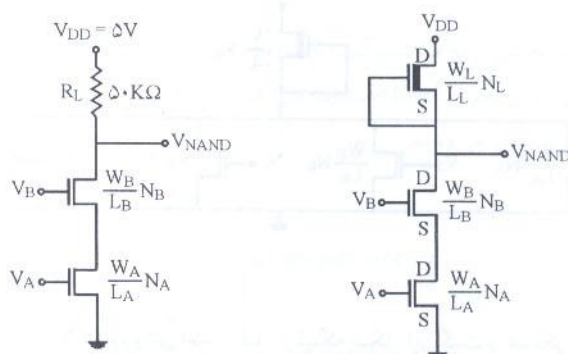
۶-۱۴-۲- گیت NAND

گیت بعدی گیت $NAND$ دو ورودی است. قبل از اینکه شکل این گیت و عملکرد آن را شرح دهیم به نکته‌ای در نامگذاری ترانزیستورهای به کار رفته در طراحی اشاره می‌کنیم. **نکته:** آن بخش از المانهای مدار که به تغذیه V_{DD} متصل شده‌اند بخش $pull-up$ مدار و بخش دیگری از المانها که به زمین متصل شده‌اند بخش $pull-down$ مدار را تشکیل می‌دهند.

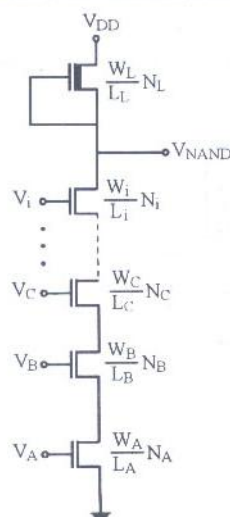
و اما شکل گیت $NAND$ دو ورودی (به صورت عمومی) می تواند به صورت زیر نشان داده شود :



اگر هر دو ورودی صفر (low) باشند، ترانزیستورهای متصل به آنها نیز خاموش خواهند بود. در چنین حالتی خروجی به تغذیه V_{DD} وصل خواهد شد و مقدار $high$ خواهد داشت. اگر یکی از ورودی ها مقدار low و دیگری مقدار $high$ داشته باشد باز هم به دلیل قطع بودن یکی از ترانزیستورهای $pull-down$ خروجی نمی تواند به زمین متصل شود و از طریق فعال بودن ترانزیستور $pull-up$ و یا به طور کلی بخش $load$ مدار مقدار آن باز هم $high$ می شود. تنها در صورتیکه هر دو ورودی $high$ باشند و مسیر درین - سورس هر دو ترانزیستور N_B و N_A برقرار باشد ولتاژ خروجی low می شود. شکل های زیر چگونگی طراحی گیت $NAND$ دو ورودی با استفاده از بار مقاومتی و ترانزیستوری را نشان می دهند.

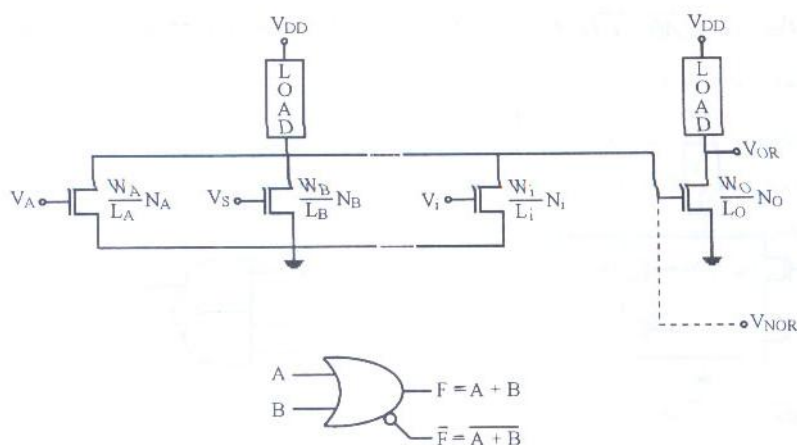


با استفاده از ترانزیستورهای سری با ترانزیستورهای بخش $pull-down$ پایه گیت آنها به عنوان ورودی مدار در نظر گرفته شده است می توان گیت های $NAND$ با پایه های ورودی بیشتر را طراحی نمود.

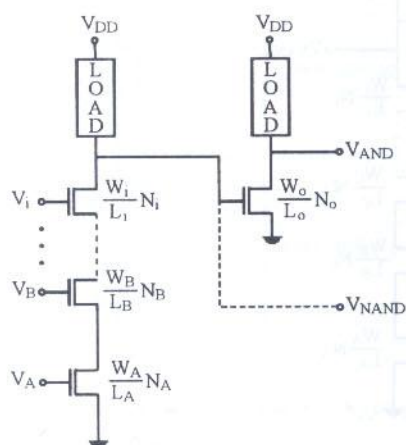


۶-۱۴-۳- خروجیهای دوگانه

برای داشتن توابع OR و NOR به صورت همزمان و یا توابع AND و $NAND$ می توان از دو طبقه مدار که بخش دوم آن عمل معکوس کنندگی را انجام می دهد استفاده کرد و هر دو این توابع را به طور همزمان طراحی نمود. به عنوان مثال برای داشتن گیت OR و NOR همزمان می توانیم با اتصال یک گیت معکوس کننده به خروجی NOR مدار، هر دو گیت را در اختیار داشته باشیم. شکل زیر نحوه طراحی همزمان گیت NOR و OR را نشان می دهد.

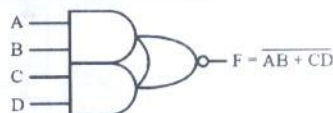
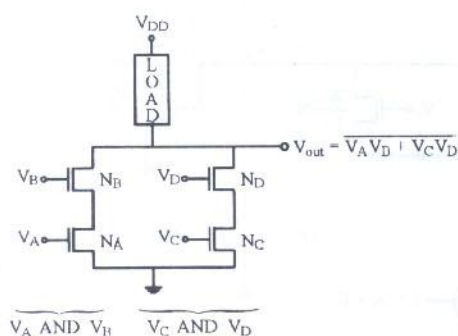


از چنین ایده‌ای می‌توان برای در اختیار داشتن همزمان توابع AND و $NAND$ نیز استفاده نمود.



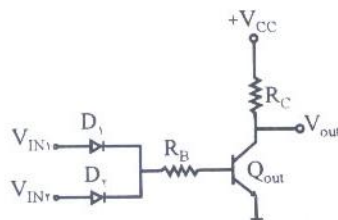
۶-۱۴-۴- گیت‌های منطقی پیچیده

همانگونه که در بخشهای قبل نشان داده شد موازی بستن ترانزیستورهای $nMOS$ می‌توانست تابع NOR را پیاده‌سازی نماید که با استفاده از یک گیت NOT اضافی تابع OR نیز قابل دسترسی می‌شد. همچنین با استفاده از تکنیک بستن سری ترانزیستورها به گیت $NAND$ می‌رسیدیم که آن هم توسط یک معکوس‌کننده AND را پیاده‌سازی می‌نمود. با استفاده از ترکیب این دو روش می‌توان سایر توابع منطقی ترکیبی را نیز پیاده‌سازی نمود. به عنوان مثال شکل زیر تابع $F = \overline{AB} + CD$ را پیاده‌سازی نموده است.



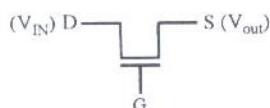
برای تحلیل عملکرد چنین مداری می توان از گیت NOR معرفی شده در بخشهای قبل کمک گرفت. در گیت NOR دو ورودی خروجی تنها زمانی *high* می شد (به V_{DD} متصل می شد) که هر دو ترانزیستور بخش *pull-down* قطع بودند، پس در این مدار نیز اگر هر دو مسیر *B* و *A* یا *D* و *C* قطع باشند خروجی *high* می شود. از طرفی با وصل شدن حداقل یکی از ترانزیستورهای *pull-down* گیت NOR دو ورودی و اتصال پایه خروجی مدار به زمین، خروجی در حالت *low* قرار می گرفت. پس در این مدار اگر حداقل یکی از مسیرهای *B* و *A* یا *D* و *C* وصل باشد خروجی مدار *low* می شود. با توجه به اینکه ترانزیستورهای N_A و N_B (و همچنین ترانزیستورهای N_C و N_D) به صورت سری به یکدیگر متصل می باشند برقراری هر مسیر نیازمند *high* بودن هر دو ورودی موجود در آن مسیر است و این یعنی عملکرد AND در هر مسیر. پس در هر مسیر ورودی ها با هم تشکیل یک تابع AND منطقی را می دهند که در نهایت در خروجی مدار با هم NOR شده اند.

اگر بخواهیم تابع $F = AB + CD$ را در کنار تابع $F = \overline{AB + CD}$ به صورت یکجا داشته باشیم می توانیم از یک معکوس کننده متصل به پایه خروجی (پایه NOR) استفاده نماییم.



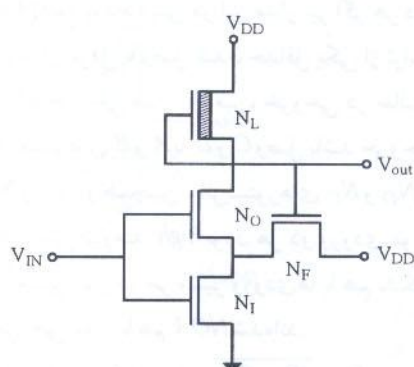
۶-۱۵- سایر مدارهای nMOS

در انتهای این فصل دو مدار کاربردی را با استفاده از ترانزیستورهای nMOS معرفی می کنیم. اگر ولتاژ گیت ترانزیستور nMOS مقدار *high* داشته باشد کانال بین پایه درین و سورس برقرار شده و ولتاژ این دو با هم برابر خواهد شد، پس با استفاده از این اصل می توان گفت ترانزیستورهای nMOS می توانند به عنوان گیت انتقال (Pass Transistor) مورد استفاده قرار گیرند.



در این حالت اگر ولتاژ گیت در حالت *high* قرار بگیرد ولتاژ خروجی از رابطه $V_{out} = \min(V_D, V_G - V_T)$ به دست می آید.

آخرین مداری که در این بخش با استفاده از ترانزیستورهای $nMOS$ معرفی می‌کنیم گیت معکوس‌کننده اشمیت تریگری خانواده $nMOS$ است که به شکل زیر می‌باشد.



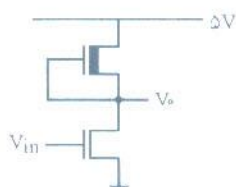
تست های طبقه بندی شده کنکور سراسری و آزاد فصل ششم

۱- شکل مقابل یک معکوس کننده $nMOS$ با بار $depletion$ است. مقایر V_{OH} (ولتاژ خروجی در حالت $high$) و V_{OL} (ولتاژ خروجی در حالت low) به ترتیب چقدر است؟

$$\frac{W}{L} = 2, \quad |V_t| = 2V; \text{ depletion ترانزیستور}$$

$$\frac{W}{L} = 4, \quad |V_t| = 1V; \text{ enhancement ترانزیستور}$$

(مهندس کامپیوتر (A))

 K' برای هر دو ترانزیستور یکسان است.

$$V_{OL} = 0V, \quad V_{OH} = 3V \quad (1)$$

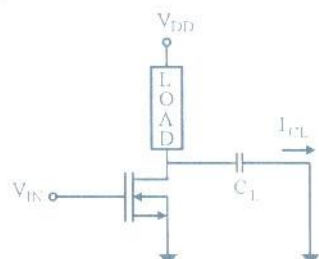
$$V_{OL} = 0/26V, \quad V_{OH} = 3V \quad (2)$$

$$V_{OL} = 0V, \quad V_{OH} = 5V \quad (3)$$

$$V_{OL} = 0/26V, \quad V_{OH} = 5V \quad (4)$$

۲- حداکثر خازن قابل استفاده در طبقه خروجی یک گیت NOT خانواده $nMOS$ با توجه به ویژگی های زیر چه مقداری خواهد بود؟

(مؤلف)



$$I_{CRG} = 50 \mu A: \text{ جریان شارژ خازن}$$

$$I_{DIS} = -20 \mu A: \text{ جریان دشارژ خازن}$$

$$V_{OL} = 0/5V, \quad V_{OH} = 5V$$

$$t = 1 \mu s: \text{ حداکثر زمان سوئیچینگ}$$

$$33/3 PF \quad (4)$$

$$55/5 PF \quad (3)$$

$$44/4 PF \quad (2)$$

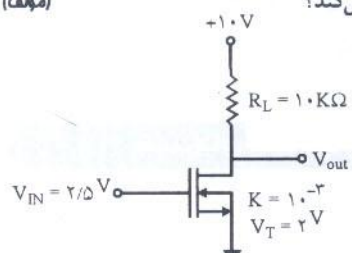
$$11/1 PF \quad (1)$$

۱۵۲

کنکور کارشناسی ارشد (الکترونیک دیجیتال)

(مؤلف)

۳- ترانزیستور نشان داده شده در شکل زیر در چه ناحیه‌ای عمل می‌کند؟



(۱) قطع

(۲) خطی

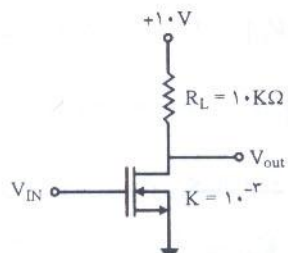
(۳) لبه اشباع

(۴) اشباع

۴- اگر ولتاژ ورودی مدار مقابل ۷ ولت باشد و ولتاژ آستانه هدایت آن نیز ۲ ولت، ترانزیستور این مدار در

(مؤلف)

چه ناحیه‌ای فعالیت می‌کند؟



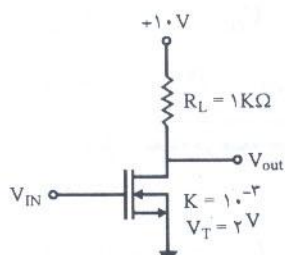
(۱) قطع

(۲) خطی

(۳) لبه اشباع

(۴) اشباع

(مؤلف)

۵- پارامتر V_{IH} مدار شکل زیر طبق ویژگیهای نشان داد. برای این مدار کدام است؟

(۱) ۸ ولت

(۲) ۷ ولت

(۳) ۶ ولت

(۴) ۵ ولت

۶- برای یک گیت $nMOS NOT$ با بار مقاومتی $R_L = 1 k\Omega$ ، $V_T = 2 V$ ، $V_{DD} = 1.0 V$ و $k = 10^{-2}$

(مؤلف)

مطلوبست پارامتر V_{IL} ؟

۴ V (۴)

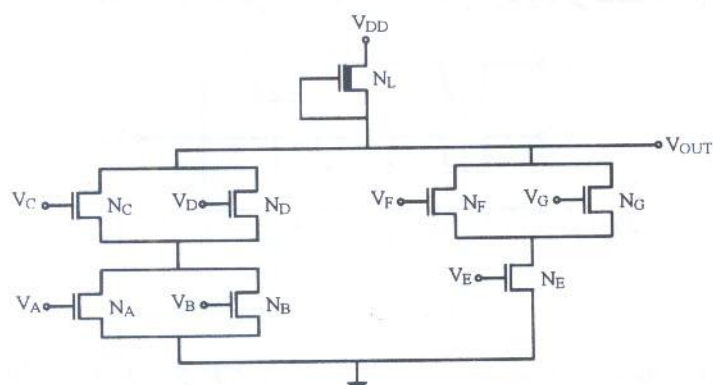
۳ V (۳)

۲ V (۲)

۱ V (۱)

(مؤلف)

۷- شکل زیر بیانگر پیاده سازی کدام تابع منطقی است؟

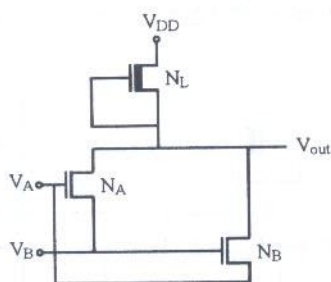


$$F = (A+B)(C+D) + E(F+G) \quad (2) \quad F = (A+B)(C+D)E(F+G) \quad (1)$$

$$F = (AB + CD)E(FG) \quad (4) \quad F = (AB + CD)(E + FG) \quad (3)$$

(مؤلف)

۸- شکل زیر کدام تابع منطقی را پیاده سازی نموده است؟



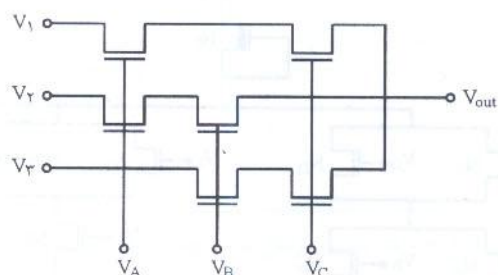
XNOR (2)

XOR (1)

(4) بافر سه حالت با فعال ساز V_B (3) بافر سه حالت با فعال ساز V_A

(مؤلف)

۹- در شکل زیر کدام گزینه صحیح می باشد؟

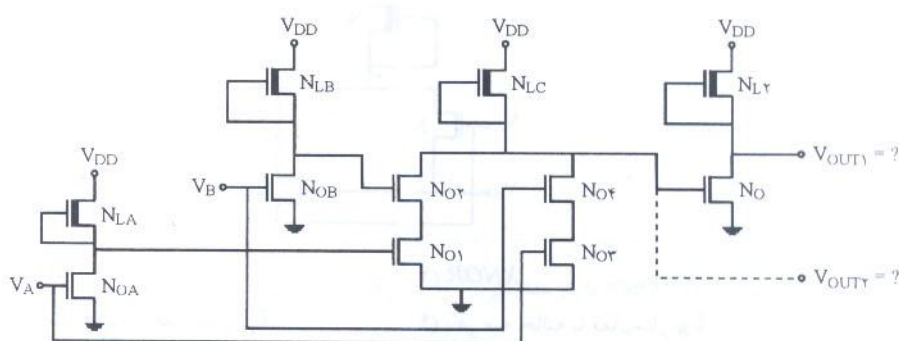
(فرض کنید ورودی های V_1 ، V_2 و V_3 یا همزمان در حالت $high$ قرار دارند و یا در حالت low .)

$$V_{out} = V_A V_C V_1 + V_A V_B V_2 + V_B V_C V_3 \quad (۱)$$

$$V_{out} = V_1 V_2 V_3 + V_A V_B V_C \quad (۲)$$

$$V_{out} = (V_1 + V_2 + V_3)(V_A + V_B + V_C) \quad (۳)$$

$$V_{out} = V_A V_B V_1 + V_B V_C V_2 + V_B V_C V_3 \quad (۴)$$

۱۰- پایه های V_{out1} و V_{out2} به ترتیب از راست به چپ کدام توابع منطقی را پیاده سازی نموده اند؟ (مؤلف)

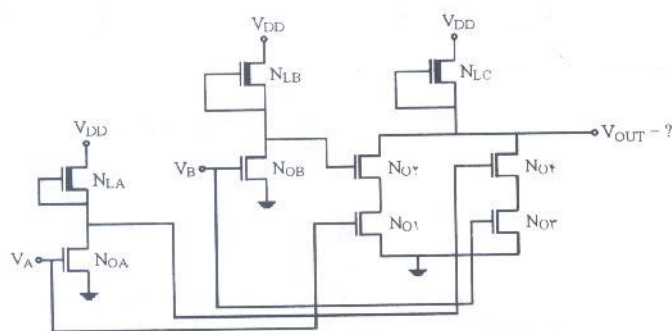
XOR, XNOR (۲)

XNOR, XOR (۱)

$$\begin{aligned} V_{out1} &= 1 \\ V_{out2} &= 1 \end{aligned} \quad (۴)$$

$$\begin{aligned} V_{out1} &= (\overline{A+B})(\overline{A+B}) \\ V_{out2} &= (\overline{A+B})(\overline{A+B}) \end{aligned} \quad (۳)$$

(مؤلف)

۱۱- خروجی V_{out} مدار شکل زیر معادل کدام تابع منطقی است؟

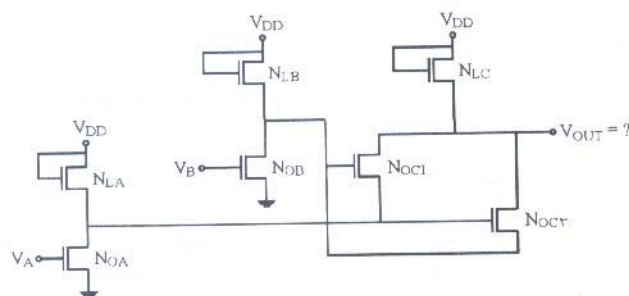
$$V_{out} = (A + B) \quad (۲)$$

$$V_{out} = AB + \bar{A}\bar{B} \quad (۱)$$

$$V_{out} = (\bar{A} + B) \quad (۴)$$

$$V_{out} = \bar{A}B + A\bar{B} \quad (۳)$$

(مؤلف)

۱۲- خروجی V_{out} مدار شکل زیر کدام است؟

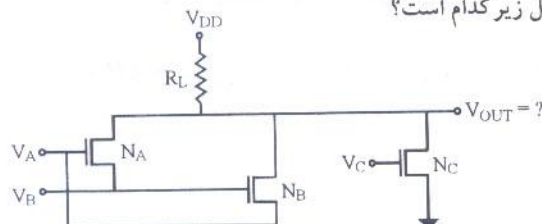
$$V_{out} = (A + B) \quad (۲)$$

$$V_{out} = AB + \bar{A}\bar{B} \quad (۱)$$

$$V_{out} = \bar{A} + B \quad (۴)$$

$$V_{out} = \bar{A}B + A\bar{B} \quad (۳)$$

(مؤلف)

۱۳- خروجی V_{out} مدار شکل زیر کدام است؟

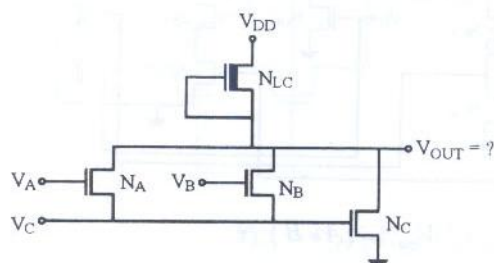
$$V_{out} = (A \oplus B) \bar{C} \quad (۲)$$

$$V_{out} = \overline{A+B+C} \quad (۱)$$

$$V_{out} = (A \odot B) \bar{C} \quad (۴)$$

$$V_{out} = (A \odot B) C \quad (۳)$$

(مؤلف)

۱۴- خروجی V_{out} مدار شکل زیر را به دست آورید؟

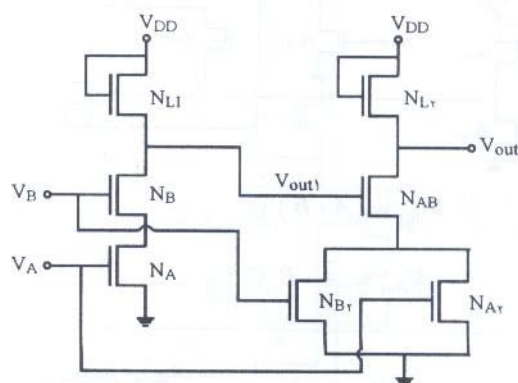
$$F = (\overline{A+B}) C \quad (۲)$$

$$F = (A+B) C \quad (۱)$$

$$F = ABC \quad (۴)$$

$$F = \overline{A+B+C} \quad (۳)$$

(مؤلف)

۱۵- خروجی V_{out} مدار شکل زیر معادل کدام تابع منطقی است؟

$$V_{out} = \overline{A+B} \quad (۴)$$

$$V_{out} = \overline{AB} \quad (۳)$$

$$V_{out} = A \odot B \quad (۲)$$

$$V_{out} = \overline{A} \oplus B \quad (۱)$$

ترانزیستورهای MOSFET

۱۵۷

۱۶- یک ترانزیستور $nMOS$ با مشخصات زیر در چه ناحیه‌ای عمل می‌کند؟ (مؤلف)

$$V_T = 1V$$

(۱) قطع

$$V_S = GND$$

(۲) خطی

$$I_{DS} = 4mA$$

(۳) لبه خطی و اشباع

$$k = 2 \frac{mA}{V^2}$$

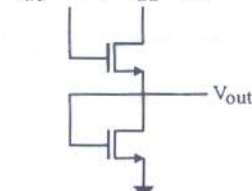
(۴) اشباع

$$V_D = 2.5V$$

۱۷- ترانزیستور $nMOS$ شبکه $pull-down$ و ترانزیستور $nMOS$ شبکه $pull-up$ مدار زیر برای مقادیر داده

شده به ترتیب در چه ناحیه‌ای فعالیت می‌کند؟ (مؤلف)

$$V_{GG} = 1.0V \quad V_{DD} = 5V$$

(هر دو ترانزیستور $V_T = 1V$)

(۱) خطی، خطی

(۲) خطی، اشباع

(۳) اشباع، خطی

(۴) اشباع، اشباع

پاسخ تست‌های طبقه‌بندی شده کنکور سراسری و آزاد فصل ششم

۱- گزینه (۴) صحیح است.

برای محاسبه V_{OH} و V_{OL} چنین مداری می‌توان به مباحث مطرح شده در فصل ۶ مراجعه نمود. اگر ورودی از سطح آستانه V_{TL} کمتر باشد و ترانزیستور $enhancement$ قطع باشد، ترانزیستور $depletion$ در ناحیه خطی فعالیت خواهد کرد ولی هیچ جریانی را از خود عبور نمی‌دهد و لذا ولتاژ خروجی با توجه به رابطه $V_{DSL} = 0$ به صورت زیر محاسبه می‌شود.

$$V_{OH} = V_{DD} = 5V$$

و همچنین برای محاسبه V_{OL} طبق رابطه $I_{DO(LIN)} = I_{DL(SAT)}$ به معادله‌ای تقریبی طبق آنچه در زیر مشاهده می‌کنید می‌رسیم که مقدار تقریبی V_{OL} را بر حسب پارامترهای V_T و $\frac{W}{L}$ ارائه می‌کند.

$$V_{OL} \approx \frac{k_L V_{TL}^2}{2k_O (V_{DD} - V_{TO})}$$

که با جایگزین نمودن مقادیر داده شده در مسأله به $V_{OL} \approx 0.25V$ می‌رسیم. از بین گزینه‌های ارائه شده گزینه (۴) به پاسخ حقیقی نزدیک‌تر است.

۲- گزینه (۲) صحیح است.

طبق رابطه $I_C = C \frac{dV_C}{dt}$ و داشتن زمان شارژ و دشارژ خازن خواهیم داشت:

$$dt = \frac{C}{I_C} dV_C$$

$$\Delta t = t_f - t_1 = \int_{t_1}^{t_f} dt = C \int_{V_1}^{V_f} \frac{dV}{I_C} = \frac{C}{I_C} \int_{V_1}^{V_f} dV = \frac{C}{I_C} (V_f - V_1) = \frac{C}{I_C} \Delta V$$

رابطه فوق با فرض ثابت بدون جریان شارژ خازن در فاصله زمانی که خازن در حال شارژ شدن است و نیز ثابت بودن جریان دشارژ خازن در بازه زمانی دشارژ آن بررسی می‌شود. طبق روابط فوق محاسبه حداکثر خازن قابل استفاده در خروجی هنگام تغییر حالت V_{out} از V_{OL} به V_{OH} به صورت زیر خواهد

بود:

$$C_{max(Charging)} = \frac{\Delta t}{\Delta V} I_{CRG} = \frac{1\mu s}{V_{OH} - V_{OL}} (50\mu A) = \frac{1\mu s}{4/5V} (50\mu A) = 11/1PF$$

و همچنین حداکثر خازن قابل دشارژ برابر است با:

$$C_{max(disCharging)} = \frac{\Delta t}{\Delta V} I_{DIS} = \frac{\Delta t}{V_{OL} - V_{OH}} I_{DIS} = \frac{1\mu s}{-4/5V} (-20\mu A) = 24/4PF$$

برای محاسبه حداکثر خازن طبق رابطه زیر خواهیم داشت:

$$C_{max} = MAX(C_{max(charging)}, C_{max(discharging)})$$

$$= C_{max(discharging)} = 24/4PF$$

۳-گزینه (۴) صحیح است.

طبق آنچه در شکل مشخص شده است برای ولتاژ ورودی مدار داریم:

$$V_{IN} = V_{GS} = 2/5V$$

که با توجه به $V_T = 2V$ می توان نتیجه گرفت که ترانزیستور در ناحیه قطع قرار ندارد به دلیل وجود رابطه $V_{GS} > V_T$ و تأمین ولتاژ آستانه هدایت ترانزیستور، این ترانزیستور در حال هدایت خواهد بود. یک ترانزیستور در حال هدایت با توجه به مقادیر $V_{GS} - V_T$ و V_{DS} ناحیه عملکردی خاص خود را خواهد داشت که در هر یک از آنها جریان I_{DS} رابطه جداگانه ای را اختیار می کند. به طور کلی با توجه به اینکه $I_D = I_{RL}$ است و $I_{RL} = \frac{V_{DD} - V_{out}}{R_L}$ لذا خواهیم داشت:

$$(۱) \quad I_D = k \left[(V_{GS} - V_T) V_{DS} - \frac{V_{DS}^2}{2} \right] = \frac{V_{DD} - V_{out}}{R_L} \quad (\text{خطی})$$

$$(۲) \quad I_D = \frac{k}{2} (V_{GS} - V_T)^2 = \frac{V_{DD} - V_{out}}{R_L} \quad (\text{اشباع})$$

از آنجا که ولتاژ V_{IN} به مقدار ناچیزی بیشتر از V_T است می توان گفت این ترانزیستور در ناحیه اشباع عمل می کند ولی در این تست سعی داریم با اثبات ریاضی به این پاسخ دست بیابیم. طبق روابط بالا و

مقادیر ارائه شده در شکل مدار خواهیم داشت :

$$(۱) \quad 10^{-3} \left[(2/5 - 2) V_{out} - \frac{V_{out}^2}{2} \right] = \frac{10 - V_{out}}{10 \text{ k}\Omega}$$

$$\Rightarrow 5V_{out}^2 - 6V_{out} + 10 = 0 \Rightarrow \Delta < 0$$

با توجه به اینکه در معادلات درجه ۲ منفی شدن علامت Δ به معنی نداشتن پاسخ حقیقی برای معادله مورد نظر است لذا می توان گفت چنین فرضی (خطی بودن ناحیه عملکرد ترانزیستور) غلط بوده است. برای رابطه دوم نیز خواهیم داشت :

$$\frac{10^{-3}}{3} (2/5 - 2)^2 = \frac{10 - V_{out}}{10 \text{ k}\Omega} \Rightarrow V_{out} = 8/75 \text{ V}$$

چون V_{IN} مقداری در حدود ولتاژ آستانه هدایت دارد و مقدار خروجی مدار نیز به V_{DD} نزدیک است می توان عملکرد NOT این گیت را به راحتی احساس کرد. لذا عملکرد ترانزیستور در ناحیه اشباع بوده و مدار NOT نیز به ازای ورودی low خروجی $high$ داده است.

۴- گزینه (۲) صحیح است.

طبق آنچه برای تست قبل ارائه شد در اینجا نیز خواهیم داشت :

$$(۱) \quad I_D = 10^{-3} \left[(7 - 2) V_{out} - \frac{V_{out}^2}{2} \right] = \frac{10 - V_{out}}{10 \text{ k}\Omega}$$

$$(۲) \quad I_D = \frac{10^{-3}}{2} (7 - 2)^2 = \frac{10 - V_{out}}{10 \text{ k}\Omega}$$

مقدار V_{out} برای رابطه دوم برابر 115 V - خواهد شد که نشان می دهد فرض اشباع بودن ترانزیستور غلط بوده است و برای حالت خطی نیز خواهیم داشت :

$$5V_{out}^2 - 51V_{out} + 10 = 0$$

$$\Rightarrow V_{out} \approx \frac{51 \pm 50}{10} = \begin{cases} 10/1 \text{ V} \\ 0/1 \text{ V} \end{cases} \quad \begin{array}{l} \text{چون } V_{out} = 10/1 > V_{DD} \text{ می باشد لذا غیر قابل قبول است.} \\ \text{قابل قبول است.} \end{array}$$

ترانزیستور در ناحیه خطی فعالیت می کند و ولتاژ ورودی $high$ ، خروجی low داده است.

۵- گزینه (۳) صحیح است.

با توجه به اینکه ورودی مدار در حالت *high* قرار دارد می توان گفت رابطه $V_{GS} - V_T > V_{DS}$ برقرار است و ترانزیستور در ناحیه خطی فعالیت می کند. جریان I_D در این حالت از رابطه زیر به دست می آید:

$$I_D = k \left[(V_{IN} - V_T) V_{out} - \frac{V_{out}^2}{2} \right] = \frac{V_{DD} - V_{out}}{R_L}$$

$$\Rightarrow k \left[(V_{IN} - V_T) V_{out} - \frac{V_{out}^2}{2} \right] - \left(\frac{V_{DD} - V_{out}}{R_L} \right) = 0$$

حال $\frac{dV_{out}}{dV_{IN}}$ را محاسبه کرده و برابر ۱- قرار می دهیم:

$$\frac{dV_{out}}{dV_{IN}} = - \frac{k(V_{IN} - V_T) - kV_{out} + \frac{1}{R_L}}{kV_{out}} = -1$$

$$\Rightarrow -k(V_{IN} - V_T) + 2kV_{out} - \frac{1}{R_L} = 0$$

با توجه به مقادیر V_{DD} و R_L ، V_T ، k خواهیم داشت:

$$kR_L(V_{IN} - V_T - 2V_{out}) + 1 = 0 \Rightarrow (V_{IN} - 2) - 2V_{out} = -1$$

$$\Rightarrow V_{IN} = 2V_{out} + 1$$

رابطه به دست آمده برای V_{IN} را در رابطه I_D بالا قرار می دهیم و V_{out} را به دست می آوریم:

$$10^{-3} \left[(2V_{out} + 1 - 2)V_{out} - \frac{V_{out}^2}{2} \right] = \frac{10 - V_{out}}{10^3 \Omega}$$

$$\Rightarrow \frac{3}{2} V_{out}^2 = 10$$

$$\Rightarrow V_{out} = 2/5^V$$

در مورد مقدار خروجی و وضعیت آن هیچ بحثی نمی کنیم ولی با استفاده از رابطه ای که برای V_{IN} به دست آوردیم و مقدار $V_{out} = 2/5^V$ می توانیم مقدار V_{IH} را به دست آوریم.

$$V_{IH} = 2V_{out} + 1 = 2(2/5) = 6V$$

۶- گزینه (۳) صحیح است.

با توجه به اینکه ورودی مفهوم low دارد و طبق عملکرد معکوس کنندگی مدار خروجی مقدار high خواهد داشت، می توان گفت ترانزیستور در ناحیه اشباع فعالیت می کند و رابطه $V_{DS} > V_{GS} - V_T$ در مدار برقرار است. جریان I_D در چنین حالتی برابر است با:

$$I_D = \frac{k}{2}(V_{IN} - V_T)^2 = \frac{V_{DD} - V_{out}}{R_L}$$

که با استفاده از رابطه ۱- $\frac{dV_{out}}{dV_{IN}} = -1$ به تساوی $V_{IL} = V_T + \frac{1}{kR_L}$ می رسیم. با توجه به مقادیر داده

شده در مسأله مقدار V_{IL} به صورت زیر محاسبه می شود:

$$V_{IL} = 2V + \frac{1}{10^{-3} \times 10^3} = 3V$$

۷- گزینه (۲) صحیح است.

همانگونه که در درس نیز توضیح داده شد ترانزیستورهای موازی تابع NOR (OR) و ترانزیستورهای سری تابع $NAND$ (AND) را پیاده سازی می کنند. لذا گزینه های (۳) و (۴) نمی توانند پاسخ صحیح باشند. از طرفی کل مدار عملکرد NOR خواهد داشت و چون ورودی های V_A و V_B و همچنین ورودی های V_C و V_D و بالاخره ورودی های V_F و V_G دو به دو با هم موازی اند پس تشکیل تابع OR خواهند داد و سری بودن ترانزیستور E با مدل موازی شده V_F و V_G و نیز سری بودن مدل موازی شده V_A و V_B با مدل موازی شده V_C و V_D بیانگر این نکته است که این مدارها دو به دو با هم AND شده اند.

۸- گزینه (۲) صحیح است.

اگر هر دو ترانزیستور $pull-down$ به هر دلیلی نتوانند به صورت همزمان روشن شوند و مسیر $pull-down$ کاملاً قطع باشد باز هم خروجی از طریق ترانزیستور N_L مقداری $high$ خواهد داشت پس این مدار به هیچ وجه نمی تواند یک بافر سه حالت را پیاده سازی کند. پس به ازای هر دو ورودی low خروجی مدار $high$ خواهد شد. اگر ورودی V_A مقدار $high$ و ورودی V_B مقدار low داشته باشد ترانزیستور N_A وصل و ترانزیستور N_B قطع و خروجی از طریق N_A به زمین وصل شده و مقدار low خواهد داشت. طبق این تحلیل برای $V_A = low$ و $V_B = high$ نیز خروجی مقدار low خواهد داشت. اگر هر دو ورودی در حالت $high$ قرار گیرند چون اختلاف پتانسیل بین پایه گیت و سورس هر دو

ترانزیستور صفر خواهد بود و لذا رابطه $V_{GS} > V_T$ برقرار نخواهد شد پس هر دو ترانزیستور قطع و خروجی در حالت *high* قرار خواهد گرفت چنین تابعی که تنها به ازای هر دو ورودی *low* و یا هر دو ورودی *high* خروجی اش *high* می شود تابع *XNOR* می باشد.

۹- گزینه (۱) صحیح است.

اگر V_A و V_B در حالت *high* قرار گیرند مقدار V_2 به V_{out} منتقل می شود، اگر V_A و V_C در حالت *high* قرار گیرند V_1 به V_{out} منتقل می شود و بالاخره این که به ازای $V_B = V_C = \text{high}$ و ورودی V_3 به V_{out} منتقل می شود پس با توجه به فرض مسأله می توان گفت این سه حالت با یکدیگر *OR* می شوند.

۱۰- گزینه (۲) صحیح است.

اگر به شکل توجه شود می توان به راحتی عبارت $V_{out} = \overline{A} \overline{B} + AB$ را از آن استخراج نمود. با توجه به اینکه چنین تابعی معادل تابع $V_{out2} = \overline{A \odot B} = A \oplus B$ می باشد لذا می توان گفت خروجی V_{out2} بیانگر عملکرد *XOR* منطقی است و خروجی V_{out1} نیز معکوس V_{out2} می باشد پس $V_{out1} = A \odot B$ است و عملکرد *XNOR* منطقی را پیاده سازی نموده است.

۱۱- گزینه (۱) صحیح است.

شاخه سمت راست آخرین بخش مدار که از ترانزیستورهای N_{O2} و N_{O3} تشکیل شده است تابع \overline{AB} و شاخه سمت چپ که از ترانزیستورهای N_{O1} و N_{O2} تشکیل شده است تابع \overline{AB} را پیاده سازی نموده است که این دو شاخه در انتها با یکدیگر *NOR* شده اند. خروجی مدار از رابطه $V_{out} = \overline{AB} + \overline{AB}$ به دست می آید و این دو ورودی V_A و V_B با هم *XNOR* شده اند.

۱۲- گزینه (۳) صحیح است.

همانگونه که در تست های قبل نشان دادیم چنین ترکیبی بیانگر عملکرد *XNOR* و ورودی ها می باشد پس با توجه به اینکه ورودی ها یکبار معکوس شده اند خواهیم داشت:

$$V_{out} = \overline{V_A} \odot \overline{V_B} = V_A \oplus V_B$$

۱۳- گزینه (۴) صحیح است.

خروجی این تابع تنها هنگامیکه هر دو مسیر *pull-down* باشند از طریق مقاومت R_L برابر مقدار *high* خواهد شد. مسیر سمت راست در صورتی قطع است که ترانزیستور N_C به واسطه *low* بودن V_C

قطع* باشد و مسیر مست چپ نیز در صورتی قطع است که یا هر دو ورودی low باشند و یا هر دو $high$. پس برای $high$ شدن خروجی ، ورودی V_C باید low باشد و همچنین یا هر دو ورودی V_A و V_B همزمان low شوند و یا همزمان $high$.

$$V_{out} = \overline{C} (AB + \overline{A}\overline{B})$$

۱۴- گزینه (۳) صحیح است.

اگر ورودی V_C در حالت $high$ قرار گیرد ترانزیستور N_C وصل شده خروجی low می شود، پس برای $high$ شدن خروجی مدار، ورودی V_C نباید در حالت $high$ قرار گیرد. اگر ورودی V_C در حالت low قرار گیرد آنگاه $high$ شدن یکی از ورودی های V_A یا V_B مسیر اتصال خروجی به زمین را تأمین نموده و خروجی low می شود. با توجه به این توضیحات می توان گفت خروجی تنها به ازای حالتی $high$ خواهد شد که هر سه ورودی مقدار low داشته باشند تا هیچ مسیری برای اتصال پایه خروجی به زمین برقرار نباشد.

$$F = \overline{A}\overline{B}\overline{C} = \overline{A+B+C}$$

۱۵- گزینه (۲) صحیح است.

در طبقه سمت چپ یک گیت $NAND$ دو ورودی ساده پیاده سازی شده است که ورودی های A و B را با یکدیگر $NAND$ می کند. در طبقه سمت راست نیز که در آن خروجی گیت $NAND$ طبقه اول به پایه گیت ترانزیستور N_{AB} متصل است، تابع $(A+B)$. پیاده سازی شده است. با ساده سازی چنین تابعی به این نتیجه می رسیم که گزینه (۲) صحیح است.

$$V_{out1} = \overline{AB}$$

$$V_{out2} = \overline{V_{out1} (A+B)}$$

$$= \overline{\overline{AB} (A+B)}$$

$$= AB + \overline{A}\overline{B}$$

$$= A \odot B$$

۱۶- گزینه (۴) صحیح است.

برای حل چنین مسأله ای طبق داده های مسأله می بایست بین نتیجه حاصل و رابطه ای که برای محاسبه

I_{DS} مورد استفاده قرار گرفته است یک تناظر برقرار شود. مثلاً اگر ترانزیستور در ناحیه اشباع عمل می‌کند، مقدار I_{DS} آن نیز طبق رابطه

$$I_{DS} = \frac{k}{2} (V_{GS} - V_T)^2$$

محاسبه شده باشد و همچنین است برای حالت خطی. به هر حال می‌توان یک فرض در نظر گرفت و با به دست آوردن سایر پارامترهای مدار تناظر مذکور را مورد بررسی قرار داد. برای جریان حالت اشباع خواهیم داشت:

$$4^{mA} = \frac{2}{2} (V_{GS} - 1)^2$$

$$\Rightarrow 4(V_G - 1)^2 \Rightarrow V_G = +3V$$

چون $V_{GS} = 3V > V_T = 1V$ است پس ترانزیستور قطع نخواهد بود (وجود جریان I_{DS} نیز دلیل دیگری بر اثبات این ادعا می‌باشد) و طبق رابطه:

$$V_{DS} > V_{GS} - V_T$$

$$2/5V > 3 - 1 = 2V$$

نتیجه می‌گیریم که فرض اشباع صحیح است. اگر فرض کنیم که ترانزیستور در حالت خطی فعالیت می‌کند، مقداری که برای V_{GS} به دست خواهد آمد در رابطه $V_{GS} - V_T > V_{DS}$ صدق نمی‌کند و این همان تناقضی است که بین فرض مسأله و مقادیر به دست آمده برای پارامترها به آن اشاره شد.

۱۷- گزینه (۳) صحیح است.

ترانزیستور nMOS طبقه پایینی (شبکه pull-down) اولین ترانزیستوری است که مورد بررسی قرار می‌گیرد. در این ترانزیستور $V_G = V_D$ است لذا با توجه به رابطه $V_S = 0$ نتیجه می‌گیریم:

$$V_{GS} = V_{DS}$$

لذا رابطه $V_{GS} - V_T < V_{DS}$ در این ترانزیستور برقرار شده و ترانزیستور همیشه در ناحیه اشباع عمل خواهد کرد. با توجه به مقادیر ارائه شده برای ولتاژهای V_{DD} و V_{GG} می‌توان نتیجه گرفت:

$$V_{GG} - V_S - V_T = 10 - 1 - V_S = 9 - V_S$$

$$V_{DD} - V_S = 5 - V_S$$

در ترانزیستور pull-up برقرار است و با توجه به نامساوی $9 - V_S > 5 - V_S$ این ترانزیستور در ناحیه خطی فعالیت می‌کند.