

خانواده‌های RDL و مقدمه‌ای بر ترانزیستور

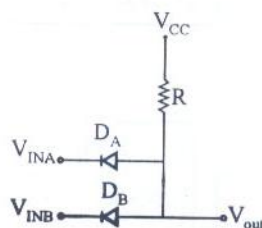
۲

۲-۱- گیت AND

یکی از اولین و ساده‌ترین گیت‌های طراحی شده در بین گیت‌های دیجیتال، خانواده گیت‌هایی بود که از منطق دیود - مقاومت استفاده می‌کردند. بدون هیچ مقدمه‌ای به سراغ اولین گیت تعریف شده توسط این خانواده یعنی گیت AND می‌رویم.

شکل زیر یک گیت AND را نشان می‌دهد. اگر ولتاژ هریک از ورودی‌ها مقداری کمتر از $V_{CC} - V_{D(ON)}$ داشته باشد ($V_{D(ON)} = V_{\gamma}$) در این صورت دیود متصل به آن ورودی روشن خواهد بود و خروجی برابر با مقدار زیر می‌شود:

$$V_{out} = V_{IN} + V_{D(ON)}$$



مثلاً برای محاسبه V_{OL} خواهیم داشت :

$$(V_{INA} \text{ or } V_{INB}) = 0 \Rightarrow V_{out} = V_{IN} + V_{D(ON)}$$

$$\Rightarrow V_{OL} = V_{D(ON)}$$

در این حالت جریان خروجی که از مقاومت R می‌گذرد از رابطه زیر محاسبه می‌شود :

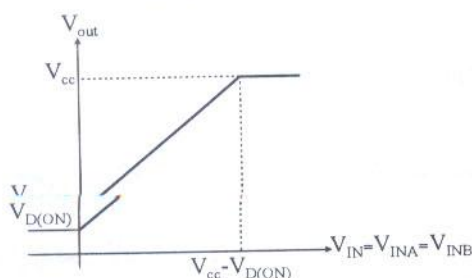
$$I_R = \frac{V_{CC} - V_{out}}{R} = \frac{V_{CC} - V_{D(ON)} - V_{IN}}{R}$$

اگر ورودی از $V_{CC} - V_{D(ON)}$ بیشتر شود اختلاف پتانسیل دو سر دیود از V_{γ} کمتر شده و دیود قطع خواهد شد و لذا جریانی از مقاومت R نخواهد گذشت و خروجی $high$ را می‌توان به شکل زیر تعریف نمود :

$$\text{if } (V_{INA} \text{ and } V_{INB}) > V_{CC} - V_{D(ON)} \Rightarrow D_{A,B} : \text{off} \Rightarrow I = 0$$

$$\Rightarrow V_{OH} = V_{CC}$$

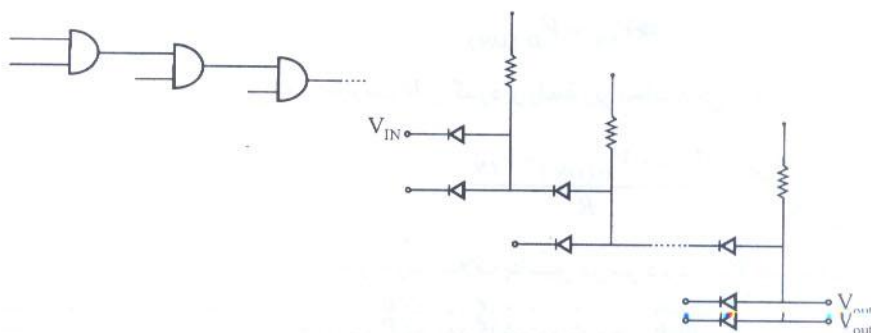
با توجه به این مقادیر می‌توان VTC مدار فوق را به شکل زیر نشان داد :



همانگونه که مشاهده می‌شود، اندازه ولتاژ خروجی در این مدار به ورودی وابسته است یعنی با افزایش ورودی، خروجی گیت نیز افزایش می‌یابد و بالاخره در نقطه‌ای به مقدار ثابتی می‌رسد و پس از آن با افزایش ورودی، خروجی بدون تغییر خواهد ماند. در این مدار نمی‌توان تعریف خاصی برای V_{IH} و V_{IL} ارائه نمود و این دو مقدار با توجه به فرض اولیه ما برای اینکه چه مقادیری از خروجی حد $high$ بودن و چه مقادیری حد low بودن را نشان دهند معنی پیدا می‌کنند.

$fan-out$ در این مدارها به علت عدم وجود جریان در حالت $high$ مفهومی ندارد. و در حالت low نیز جریان کشیده شده از گیت‌های طبقه بعد تأثیری در افزایش و یا کاهش مقدار خروجی گیت طبقه اول ندارد. تنها نکته مهم در این مدارات ایجاد خلل در عملکرد مدار به ازای افزایش طبقات متصل به هم می‌باشد زیرا ورودی low در خروجی با افزایشی تقریباً به اندازه V_{γ} ظاهر می‌شود که این افزایش ولتاژ

پس از چند طبقه (مرحله) از $V_{CC} - V_{D(ON)}$ بیشتر می شود و دیگر به معنی low نخواهد بود. این حالت را می توان با نگاه کردن به عملکرد شکل مدارهای زیر بهتر درک نمود.



اگر ورودی V_{IN} در شکل بالا را در طبقه اول برابر صفر در نظر می گیریم ورودی های طبقه های بعد به شکل زیر افزایش خواهد یافت:

$$V_{in}(stage\ 1) = 0$$

$$V_{in}(stage\ 2) = V_{D(ON)}$$

$$\vdots$$

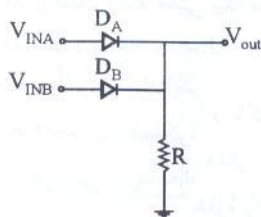
$$V_{in}(stage\ N) = (N - 1) V_{D(ON)}$$

که به ازای یک N مشخص $(N - 1) V_{D(ON)} > V_{CC} - V_{D(ON)}$ خواهد بود و معنی high پیدا خواهد کرد و عملکرد مدار را تحت تأثیر قرار خواهد داد.

۲-۲- گیت OR

یکی دیگر از گیت های این خانواده، گیت OR می باشد که شماتیک آن در زیر نشان داده شده است. اگر ورودی ها از $V_{D(ON)}$ کمتر باشند هر دو دیود مربوط به آن ورودی ها قطع خواهند بود و در خروجی خواهیم داشت:

$$V_{out} = 0 = V_{OL}$$



و در صورتی که هر یک از ورودی‌ها ولتاژی بیش از $V_{D(ON)}$ داشته باشد دیود مربوطه وصل و جریانی که از مقاومت R عبور خواهد کرد باعث ایجاد ولتاژ خروجی برابر با مقدار زیر خواهد شد:

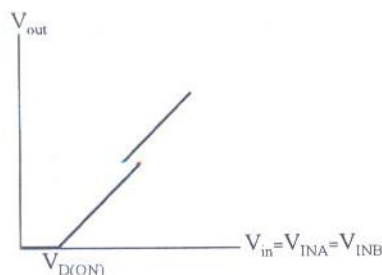
$$V_{out} = V_{IN} - V_{D(ON)}$$

$$I = \frac{V_{IN} - V_{D(ON)}}{R}$$

نکته مهم در این مدار نداشتن V_{OH} می‌باشد زیرا در این مدارها همانگونه که گفتیم افزایش یا کاهش ولتاژ خروجی نسبت مستقیمی با ولتاژ ورودی دارد، لذا هر اندازه که ورودی را افزایش دهیم خروجی نیز با نسبت $V_{out} = V_{IN} - V_{D(ON)}$ افزایش می‌یابد و عملاً نمی‌توان مفهومی برای V_{OH} پیدا کرد.

از طرفی V_{IH} و V_{IL} نیز با چنین مشکلی مواجه هستند و بسته به اینکه چه حدی برای این حالات $high$ و low تعریف کنیم این دو مقدار تعاریف متفاوتی خواهند داشت و مرزگذاری برای این مقادیر غیر عملی است.

شکل زیر VTC گیت OR خانواده RDL را نشان می‌دهد:



در این شکل نیز همچون VTC گیت AND قسمتی از مشخصه مدار دارای شیب ۱ می‌باشد که مربوط به همان رابطه مستقیم بین ورودی و خروجی است با این تفاوت که خروجی پس از اینکه ولتاژ لازم جهت روشن شدن دیودها تأمین شد شروع به افزایش می‌کند.

باز هم باید دقت کنیم که V_{IH} و V_{IL} صرفاً به معنی نقطه روشن شدن دیودها و یا نقطه افزایش ولتاژ خروجی و ... نمی‌باشد. بلکه ثبات و پایداری مقدار خروجی مهمترین معیار در مرزگذاری برای V_{IL} و

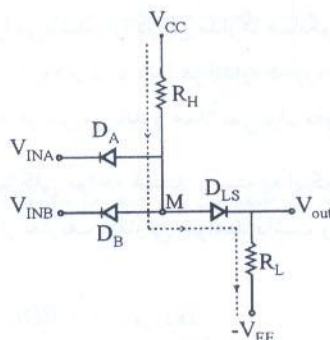
V_{IH} می‌باشد. در مورد $fan-out$ نیز آنچه برای گیت‌های AND این خانواده گفتیم برای گیت‌های OR نیز مصداق پیدا می‌کنند، البته این تفاوت که در گیت OR به ازای $high$ بودن ورودی، در خروجی $V_{IN} - V_{D(ON)}$ دیده می‌شود که پس از چند طبقه پشت سر هم این افت ولتاژ به قدری زیاد خواهد بود که:

$$V_{IN_H} - N(V_{D(ON)}) < V_{D(ON)}$$

شده و توانایی روشن نمودن دیود را نیز نخواهد داشت

۲-۳- جابجایی سطح ولتاژ در گیت‌های AND و OR

شکل زیر یک گیت *level-shifted AND* از خانواده *RDL* است که در طبقه خروجی آن یک D_{LS} و یک مقاومت متصل به منبع ولتاژ V_{EE} مشاهده می‌شود.



اگر ورودی *low* باشد ولتاژ نقطه *M* از رابطه زیر (با توجه به وصل شدن دیود مربوطه) بدست می‌آید:

$$V_M = V_{IN} + V_{DIN(ON)}$$

و ولتاژ خروجی نیز به شکل زیر تعریف می‌شود:

$$V_{Out} = V_M - V_{DLS(ON)} = V_{IN}$$

یعنی در این مدار نیز خروجی وابستگی مستقیم به ورودی دارد. اگر ورودی از V_{EE} کمتر باشد آنگاه

$$V_M < -V_{EE} + V_{D(ON)}$$

لذا دیود D_{LS} خاموش خواهد بود. بنابراین $V_{OL} = -V_{EE}$ خواهد بود.

برای محاسبه V_{OH} مسیر جریان نشان داده شده در شکل مدار کمک زیادی به ما خواهد نمود. اگر ورودی بیش از $V_{CC} - V_{D(ON)}$ باشد دیود ورودی قطع خواهد بود و ولتاژ خروجی از *KVL* مسیر عبور جریان بدست خواهد آمد.

$$I_{DLS} = \frac{V_{CC} + V_{EE} - V_{DLS(ON)}}{R_H + R_L} \Rightarrow V_{OH} = V_{CC} - I_{DLS(ON)} R_H - V_{DLS(ON)}$$

$$= V_{CC} - \frac{V_{CC} + V_{EE} - V_{DLS(ON)}}{R_H + R_L} R_H - V_{DLS(ON)}$$

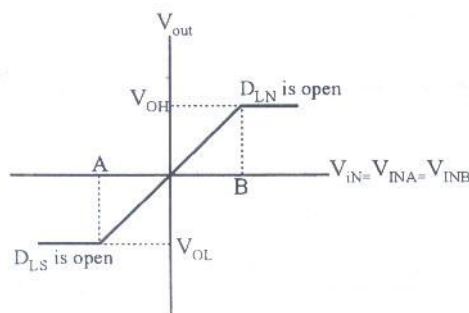
و یا می‌توان V_{OH} را از رابطه زیر بدست آورد :

$$V_{OH} = -V_{EE} + I_{DLS(ON)} R_L$$

$$= -V_{EE} + \frac{V_{CC} + V_{EE} - V_{DL(ON)}}{R_H + R_L} R_L$$

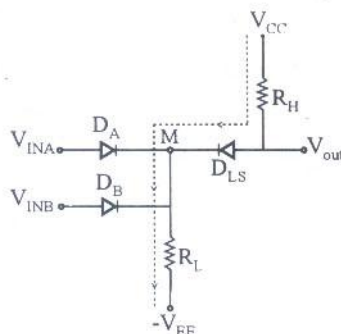
با توجه به مقادیر مطرح شده ، VTC مدار را می‌توان به شکل زیر رسم نمود:

نقاط A و B را می‌توان به گونه‌ای نقاط V_{IH} و V_{IL} مدار در نظر گرفت اگر چه محدوده بین آنها از نظر عملکرد مدار قابل تحلیل است به نوعی با منطقه تعریف نشده مطرح شده در فصل اول متفاوت است ولی از آنجا که ولتاژ خروجی در این نقاط به پایداری می‌رسد این دو نقطه می‌توانند مرزهای مورد نظر باشند.



برای گیت OR این خانواده نیز می‌توان چنین ساختاری را ارائه نمود :

برای ورودی‌های low دیودهای ورودی خاموش خواهند بود و V_{OL} از طریق بدست آوردن جریان عبوری از V_{CC} به $-V_{EE}$ قابل محاسبه است :



کنکور کارشناسی ارشد (الکترونیک دیجیتال)

۱۸

$$I_{DLS} = \frac{V_{CC} + V_{EE} - V_{DLS(ON)}}{R_H + R_L}$$

$$V_{out} = V_{CC} - I_{DLS} R_H = V_{CC} - \frac{V_{CC} + V_{EE} - V_{DLS(ON)}}{R_H + R_L} R_H$$

و یا از روش دومی مانند رابطه زیر استفاده نمود:

$$V_{out} = -V_{EE} + I_{DLS} R_L + V_{DLS(ON)}$$

$$= -V_{EE} + \frac{V_{CC} + V_{EE} - V_{DLS(ON)}}{R_H + R_L} R_L + V_{DLS(ON)}$$

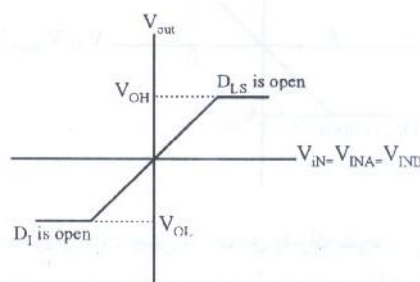
و در صورتی که یکی از ورودی‌ها *high* باشد آنگاه دیود مربوط به آن وصل شده و ولتاژ نقطه *M* از رابطه زیر محاسبه می‌شود:

$$V_M = V_{IN} - V_{DIN(ON)}$$

و ولتاژ V_{OH} با توجه به ولتاژ نقطه *M* برابر مقدار زیر است:

$$V_{OH} = V_M + V_{DI(ON)} = V_{IN}$$

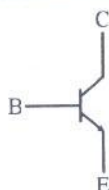
و این رابطه نیز به خوبی وابستگی مستقیم خروجی به ورودی را نشان می‌دهد. شکل زیر *VTC* این مدار را نشان می‌دهد:



۲-۴- مدارهای دو قطبی دیجیتال

از آنجا که ترانزیستورهای *BJT* مهمترین المان در ساختار این مدارها می‌باشند لذا ابتدا در مورد این ترانزیستورها و عملکردشان بحث خواهیم نمود:

عمده کاربردهایی که در مباحث آینده مطرح می‌شود از ترانزیستور *NPN* استفاده می‌کنند که شماتیک آن به صورت زیر می‌باشد.

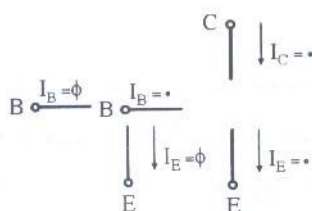


همانگونه که از نام این ترانزیستور پیداست بین بیس B و کلکتور C یک پیوند PN و بین بیس و امیتر E نیز یک پیوند PN وجود دارد. بسته به حالات مختلفی که این پیوندها در مدار به خود می‌گیرند عملکرد ترانزیستور مورد تحلیل قرار می‌گیرد.

جدول زیر این حالات مختلف و نام ناحیه عملکرد ترانزیستور مربوط به هر حالت را نشان می‌دهد.

حالت ترانزیستور	پیوند PN بیس - کلکتور	پیوند PN بیس - امیتر
قطع (۱)	معکوس	معکوس (۲)
بایاس مستقیم (۳)	معکوس	مستقیم (۴)
اشباع (۵)	مستقیم	مستقیم
بایاس معکوس (۶)	مستقیم	معکوس

در حالت قطع که هر دو پیوند ترانزیستور در حالت معکوس هستند جریانهای I_C و I_E نیز برابر صفر خواهند بود و در واقع ترانزیستور را در حالت قطع می‌توان به صورت زیر مدل کرد:



همانگونه که مشاهده می‌شود هر دو پیوند به صورت یک مدار باز عمل می‌کنند و در عمل، جریان عبوری در حد نانو آمپر می‌باشد که قابل چشم‌پوشی است. از آنجا که ولتاژ لازم برای وصل شدن یک پیوند PN برابر $0.7V$ است لذا می‌توان نتیجه گرفت در این حالت $V_{BE} < V_{BE(F.A)} = 0.7V$

1- cut off

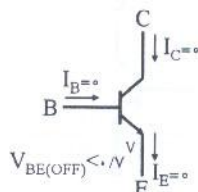
2- Reverse

3- Forward active

4- Forward

5- Saturation

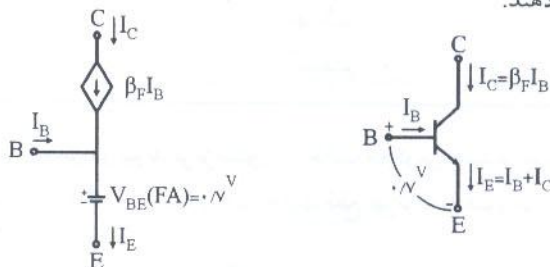
6- Reverse active



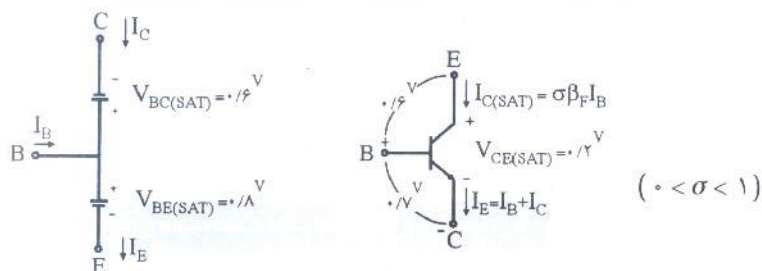
در حالت بایاس مستقیم $V_{BE(FA)} = 0.7V$ (برای دیودهای سیلیکونی) و جریان کلکتور برابر است با: $I_{C(FA)} = \beta_F I_B$ که β به ساختار ترانزیستور بستگی دارد و نیز $I_E = I_B + I_C$ رابطه زیر برای $\sigma = 1$ بیانگر این حالت برای ترانزیستور است:

$$\sigma = \frac{I_C}{\beta_F I_B} \quad (\sigma \leq 1)$$

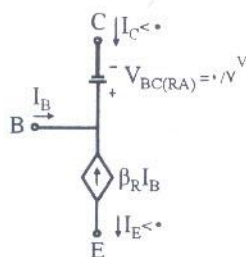
اگر برای ترانزیستور این رابطه برابر ۱ نباشد (کمتر از یک باشد) به معنی کاهش β_F است که در این حالت ترانزیستور در حالت بایاس مستقیم عمل نمی‌کند. شکلهای زیر یک ترانزیستور را در حالت بایاس مستقیم نشان می‌دهند.



اگر هر دو پیوند بیس - کلکتور و بیس - امیتر در حالت مستقیم باشند آنگاه ترانزیستور در حالت اشباع قرار دارد و جریان‌های عبوری از ترانزیستور افزایش می‌یابند. در این حالت $V_{BE(SAT)} = 0.7V$ است و $V_{BC(SAT)} = 0.6V$ ، که می‌توان نتیجه گرفت $V_{CE(SAT)} = 0.1V$. مقدار σ در حالت اشباع کمتر از یک می‌باشد و برای ثابت ماندن و برقراری رابطه $I_C = \beta I_B$ می‌توان نتیجه گرفت که β باید کاهش بیابد، لذا β ی ترانزیستور در حالت اشباع از β ی حالت اکتیو کمتر است. زیرا در یک ضریب σ که از یک کمتر است ضرب می‌شود، شکلهای زیر ترانزیستور را در حالت اشباع مدل می‌کنند.

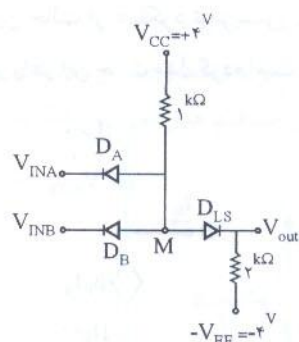


و بالاخره در حالت بایاس معکوس $V_{BC(RA)} = 0.7V$ یعنی پیوند بیس-کلکتور در حالت مستقیم و پیوند بیس-امیتر نیز در حالت معکوس عمل می‌کند. در این حالت $I_{E(RA)} = -\beta_R I_B < 0$ که $\beta_R < \beta_F$ و البته ما معمولاً این حالت از عملکرد ترانزیستور را در مدارهای دیجیتال مشاهده نمی‌کنیم. شکل زیر یک ترانزیستور را در این حالت مدل کرده است:



تست‌های طبقه‌بندی شده کنکور سراسری و آزاد فصل دوم

(مؤلف)

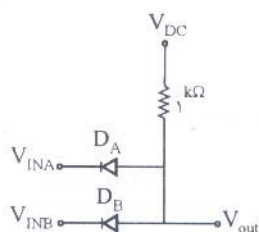
۱- پارامترهای V_{OH} و V_{OL} مدار زیر کدام است؟ (با فرض $V_{D(ON)} = 0.7V$)

$$V_{OL} = -0.7V - V_{EE} \quad , \quad V_{OH} = +4V \quad (2) \quad V_{OL} = -4V \quad , \quad V_{OH} = 0.7V \quad (1)$$

$$V_{OL} = 0.7V - V_{EE} \quad , \quad V_{OH} = 0.7V \quad (4) \quad V_{OL} = -4V \quad , \quad V_{OH} = +4V \quad (3)$$

۲- در گیت AND دو ورودی RDL که در زیر نشان داده شده است اگر ولتاژ ورودی A به میزان یک ولت از

(مؤلف)

 V_{INB} بیشتر باشد، دیود A در چه وضعیتی قرار دارد؟

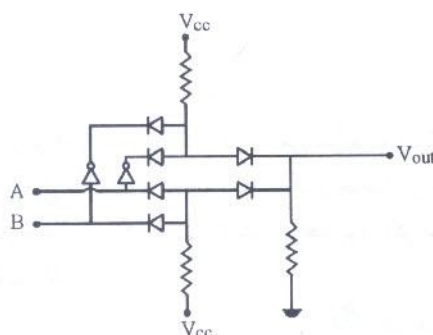
(۱) قطع

(۲) وصل

(۳) به میزان ولتاژ ورودی V_{INB} بستگی دارد.

(۴) به میزان جریان کشی طبقه بعد بستگی دارد.

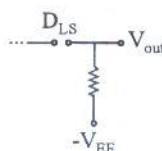
۴- مدار زیر کدام تابع منطقی را پیاده‌سازی نموده است؟ (مفلف)


$$V_{out} = 1 \text{ (}\Psi \text{)} \quad V_{out} = 0 \text{ (}\Psi \text{)} \quad V_{out} = A \oplus B \text{ (}\Psi \text{)} \quad V_{out} = \overline{A \oplus B} \text{ (}\Psi \text{)}$$

پاسخ تست‌های طبقه‌بندی شده کنکور سراسری و آزاد فصل دوم

۱- گزینه (۱) صحیح است.

V_{OL} یعنی زمانی که خروجی برابر کمترین مقدار خود می‌باشد که این حالت برای مدار فوق هنگامی رخ می‌دهد که D_{LS} قطع باشد، پس $V_{OL} = -4V$ خواهد بود.



حال دو انتخاب برای V_{OH} داریم که با اندکی دقت متوجه می‌شویم که V_{OH} زمانی رخ می‌دهد که مسیر جریان از V_{CC} به $-V_{EE}$ برقرار باشد که با توجه به افت ولتاژ حاصل از عبور جریان از مقاومت $1k\Omega$ و $V_{DLS(ON)}$ مطمئناً این مقدار از $V_{CC} = 4V$ کمتر خواهد بود. اگر بخواهیم این مقدار را به طور دقیق محاسبه نماییم خواهیم داشت:

$$V_{OH} = -V_{EE} + I_{DLS(ON)} R_L$$

$$= -V_{EE} + \frac{V_{CC} + V_{EE} - V_{DLS(ON)}}{R_H + R_L} R_L = (-4) + \frac{4 + 4 - 0.7}{1k + 2k} 2k = 0.8V$$

۲- گزینه (۱) صحیح است.

ولتاژ دو سر هر دیود از رابطه‌های زیر به دست می‌آید:

$$V_{DA} = V_{out} - V_{INA} \quad , \quad V_{DB} = V_{out} - V_{INB}$$

اگر فرض کنیم D_A وصل باشد، آنگاه خواهیم داشت $V_{DA} = 0.7V$ و لذا روابط زیر در مدار صدق می‌کنند:

$$V_{out} = V_{INA} + 0.7V \quad \Rightarrow \quad V_{out} = (V_{INB} + 1) + 0.7V$$

از طرفی برای V_{DB} خواهیم داشت:

$$V_{DB} = (V_{INB} + 1.7V) - V_{INB} \quad \Rightarrow \quad V_{DB} = 1.7V$$

هیچ‌گاه این مقدار ولتاژ دو سر یک دیود روشن نمی‌افتد لذا فرض اولیه غلط بوده است.

ولی اگر فرض کنیم D_B وصل بوده است آنگاه:

$$V_{DA} = (V_{INB} + 0.7) - V_{INA}$$

$$= 0.7 - (V_{INA} - V_{INB})$$

$$= 0.7 - 1 = -0.3V$$

و ولتاژ $(-0.3V)$ دیود D_A را در حالت قطع نگاه خواهد داشت. پس دیود D_A قطع می‌باشد.

۳- گزینه (۲) صحیح است.

مهمترین ویژگی‌های متفاوت در این حالات مختلف V_{BE} و σ هستند که به دست آوردن آنها به حل مسأله کمک می‌کند. ابتدا با فرض $V_{BE} = 0.7V$ مدار را تحلیل می‌کنیم:

$$V_{BE} = 0.7V \Rightarrow I_B = \frac{V_{CC} - V_{BE}}{R_B} = \frac{5 - 0.7}{5k} = 0.86mA$$

اگر فرض کنیم $V_{BE} = 0.7V$ است لذا ترانزیستور در حالت بایاس مستقیم باید باشد و $\sigma = 1$:

$$I_C = \beta_F I_B = 65 \times 0.86mA = 55.9mA$$

$$\Rightarrow V_{CE} = V_{CC} - I_C R_C = 5 - (55.9mA \times 0.64k) = -30.7V$$

از آنجا که V_{CE} در بدترین حالت $0.2V$ است و همچنین در حالت بایاس مستقیم خاصیت تقویت‌کنندگی دارد لذا این فرض غلط بوده و ترانزیستور در حالت بایاس مستقیم عمل نمی‌کند. با توجه به $V_{CC} = 5V$ که به بیس ترانزیستور متصل است و نیز آمیتر ترانزیستور که به زمین متصل شده لذا مطمئناً $V_{BE} = 0.7V$ به راحتی تأمین می‌شود تا ترانزیستور نه قطع بماند و نه اینکه پیوند بیس - آمیتر آن در حالت معکوس بایاس شود. تنها حالت باقیمانده حالت اشباع است:

$$V_{BE(SAT)} = 0.8V \Rightarrow I_B = \frac{V_{CC} - V_{BE}}{R_B} = \frac{5 - 0.8}{5k} = 0.84mA$$

$$I_C = \frac{V_{CC} - V_{CE(SAT)}}{R_C} = \frac{5 - 0.2}{640\Omega} = 7.5mA$$

$$\sigma = \frac{I_C}{\beta_F I_B} = \frac{7.5}{65 \times 0.84} = 0.373$$

که تمام روابط گفته شده برای این حالت از ترانزیستور نیز در آن صدق می‌کند.

۴- گزینه (۱) صحیح است.

این مدار از دو گیت AND و یک گیت OR تشکیل شده است. در گیت AND بالایی عبارت $\bar{A} \bar{B}$ و در گیت AND پایینی عبارت AB پیاده‌سازی شده است. با توجه به OR شدن خروجی این دو گیت می‌توان گفت عبارت $AB + \bar{A} \bar{B}$ با استفاده از منطق RDL در خروجی به دست می‌آید. اگر ورودی‌ها به یکدیگر متصل شوند خروجی همیشه معادل یک منطقی خواهد بود و در صورتیکه یکی از آنها معکوس دیگری باشد خروجی همیشه صفر است و این ویژگی‌ها را می‌توان توسط گیت $XNOR$ پیاده‌سازی کرد.