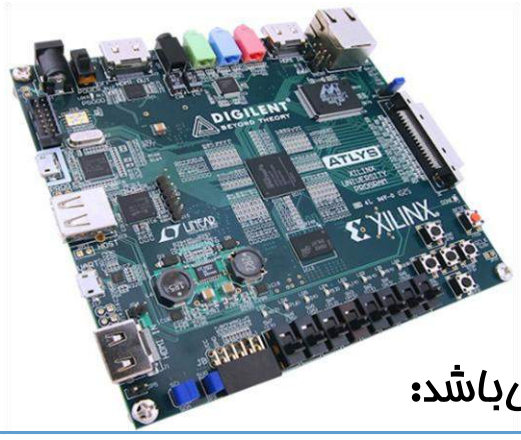
دفتر طراحی و توسعه سیستم‌های دیجیتال دانشگاه شریف برگزار می‌کند:

آموزش طراحی و پیاده‌سازی موثر سیستمهای دیجیتال مبتنی برFPGA های Xilinx

Digital System Design with Xilinx FPGAs



هدف از برگزاری این دوره‌ها، بالا بردن سطح توانایی‌های علمی و عملی دانشجویان و مهندسین علاقمند به طراحی و پیاده‌سازی سیستم‌های دیجیتال می‌باشد.

عناوین مطالب تئوری و عملی (مبتنی بر برد Atlys) این دوره‌های آموزشی به شرح زیر می‌باشد:

کارگاه آموزشی شماره یک (سطح مقدماتی و متوسط)				
زمان	۱۵.۵-۱۷	۱۳.۵-۱۵	۱۱-۱۲.۵	۹-۱۰.۵
پنج شنبه ۹۳/۶/۶	**Design Creation** • Design Entry Overview • Types of Source Files • Create and Add a Source File • Project Settings	**Verilog for Synthesis**	**Verilog for Synthesis**	**Introduction** • About This Workshop • ISE Software Overview • FPGA Design Flow **FPGA Architectures**
جمعه ۹۳/۶/۷	**CORE Generator (Cont.)** • CORE Generator Design Flows • CORE Generator Tool Files	**CORE Generator** • CORE Generator Tool • Intellectual Property (IP) Cores	**Simulation** • Simulation Libraries • Behavioral Simulation • Post-Synthesis Simulation **LAB2:** Behavioral Simulation with ModelSim/ISim	**Synthesize** • XST Detailed Design Flow • Design Goals and Strategies • RTL &Technology Viewers **LAB1:** Getting Started with Xilinx ISE Design Suite
پنج شنبه ۹۳/۶/۱۱	**Implementation** • Translate • Map • Place & Route	**LAB3:** Getting Started with Xilinx CORE Generator **LAB4:** Entering Constraint	**Constraints Entry (Cont.)** • Constraints Entry Tools	**Constraints Entry** • Types of Constraint • Constraints Entry Methods
جمعه ۹۳/۶/۱۴	**Final Exam**	**Device Configuration/Programming** • PROM and System ACE Files • Program/Erase a PROM/FLASH **LAB7:** FPGA Configuration Using iMPACT	**Device Configuration/Programming** • Programming File Generation • iMPACT Tool • Hardware Platform • Boundary Scan (JTAG)	**LAB5:** Design Implementation **LAB6:** Post-implementation Simulations

پیش نیازهای این دوره: مدار منطقی، آشنایی مقدماتی با زبان توصیف سخت افزار (Verilog)

در پایان این دوره آموزشی، گواهینامه معتبری از طرف دانشگاه صنعتی شریف به شرکت‌کنندگان اعطا می‌گردد.

کارگاه آموزشی شماره دو (سطح پیشرفته)				
زمان	۱۵.۵ - ۱۷	۱۳.۵ - ۱۵	۱۱ - ۱۲.۵	۹ - ۱۰.۵
۲۶ الی ۲۸ شهریور	**Power Analysis** • XPower Estimator (XPE) • XPower Analyzer Tool (XPA)	**LAB1:** Timing Analysis using Timing Analyzer Tool	**Timing Analysis** • Timing Analyzer Tool • Post-Map and Post-PAR Static Timing	**Introduction** • About This Workshop • Summary of Workshop No.1
	LAB3: Implementation Results Improvement	**Improve the Implementation Results** • Optimizing Timing Performance • Reducing Area Utilization • Reducing Power Consumption • Reducing Runtime	**LAB2: Power Analysis Using XPower Analyzer Tool**	**Power Analysis (Cont.)** • XPower Analyzer Design Flow • Power Analysis Using XPA • Power Reduction Techniques
	Final Exam	**LAB4:** Design Debugging with ChipScope Pro Tool **LAB5:**FPGA in the Loop	**Design Debugging (Cont.)** • ChipScope Pro Design Flow • Using CORE Generator Tool with ChipScope Pro Cores	**Design Debugging** • ChipScope Pro Tool • ChipScope Pro Cores • Debugging Platform

پیش نیازهای این دوره: گذراندن کارگاه آموزشی شماره یک

علاقمندان به شرکت در هر یک از دوره‌های آموزشی فوق می‌توانند از تاریخ ۹۳/۵/۲۰ با مراجعه به سایت **ddds.sharif.ir** *ثبت نام نمایند.*

محل برگزاری کارگاه‌های آموزشی: دانشکده برق دانشگاه صنعتی شریف و ظرفیت هر کارگاه ۱۸ نفر است.

اولویت ثبت نام در این دوره: ۱-با دانشجویان دانشگاه صنعتی شریف می باشد. ۲-با دانشجویان تحصیلات تکمیلی و سپس مقطع کارشناسی می باشد. ۳-اولویت ثبت نام بر مبنای ترتیب زمان ثبت نام متقاضی در وب سایت می باشد.