

راهنمای استفاده از

سیستم آموزشی مدارمخابراتی دیجیتال

AT-DC101

فهرست

۵	فصل اول مبدل آنالوگ به دیجیتال
۶	مقدمه
۹	بررسی تراشه ADC0804
۱۳	بررسی مشخصات تراشه ADC0809
۱۷	آزمایش ۱-۱: مبدل آنالوگ به دیجیتال ADC0804
۱۹	آزمایش ۲-۱: مبدل آنالوگ به دیجیتال ADC0809
۲۲	فصل دوم مبدل دیجیتال به آنالوگ
۲۳	مقدمه
۲۴	شیوه ی عملکرد مبدل دیجیتال به آنالوگ
۲۵	معرفی تراشه DAC0800
۲۸	آزمایش ۱-۲: مبدل دیجیتال به آنالوگ تک قطبی مبتنی بر DAC0800
۳۱	آزمایش ۲-۲: خروجی ولتاژ DAC0800 دو قطبی
۳۴	فصل سوم مدولاتور PWM
۳۵	تعریف مدولاسیون PWM
۳۶	مدولاتور PWM با استفاده از مقایسه کننده
۳۷	مدولاتور PWM با استفاده از تراشه ۵۵۵
۴۱	آزمایش ۱-۳: مدولاتور پهنای پالس با استفاده از 741
۴۳	آزمایش ۲-۳: مدولاتور پهنای پالس با استفاده از LM555

۴۸	فصل چهارم دمدولاتورهای PWM
۴۹	مقدمه
۵۴	آزمایش ۴-۱ : دمدولاتور پهنای پالس
۵۸	فصل پنجم مدولاتور FSK
۶۳	آزمایش ۵-۱ : مدولاتور FSK
۶۷	فصل ششم دمدولاتور FSK
۶۸	مقدمه
۷۲	آزمایش ۶-۱ : دمدولاتور FSK
۷۵	فصل هفتم سیستم CVSD
۷۶	مقدمه
۷۶	DM خطی
۸۰	سیستم CVSD (Continuously variable slope delta)
۸۲	مدولاتور CVSD
۸۲	دمدولاتور CVSD
۸۴	آزمایش ۷-۱ : مدولاتور CVSD
۸۷	آزمایش ۷-۲ : دمدولاتور CVSD
۹۰	آزمایش ۷-۳ : فیلتر پایین گذر
۹۲	آزمایش ۷-۴ : سیستم CVSD با پالس های ساعت مختلف
۹۵	فصل هشتم: مدولاتور و دمدولاتور ASK

۹۶	مقدمه
۱۰۱	دمدولاتور ASK
۱۰۴	آزمایش ۸-۱ : دمدولاتور ASK
۱۰۷	آزمایش ۸-۲ : دمدولاتور ناپیوسته ASK
۱۱۰	آزمایش ۸-۳ : سیستم ASK همراه با CVSD منچستر
۱۱۵	آزمایش ۸-۴ : دمدولاتور پیوسته ASK

فصل اول

مبدل آنالوگ به دیجیتال

اهداف :

- بررسی عملکرد کلی مبدل های آنالوگ به دیجیتال
- بررسی ویژگی های تراشه های ADC0804 و ADC0809
- بررسی کاربردهای تراشه های ADC0804 و ADC0809

مقدمه

مبدل های آنالوگ به دیجیتال (ADC یا A/D) مقادیر آنالوگ را که به طور معمول بصورت جریان ها و ولتاژ های پیوسته می باشند را به مقادیر دیجیتال که در سیستم های محاسباتی و سیستم های ارسال اطلاعات و سیستم های پردازش و ذخیره اطلاعات و سیستم های کنترل به کار می روند تبدیل می کند.

سیگنال آنالوگ بدین دلیل به سیگنال دیجیتال تبدیل می شود که عیب یابی ، ذخیره سازی و پردازش آن نسبت به سیگنال آنالوگ ساده تر می باشد.

همچنین سیگنال دیجیتال در مقابل نویز مقاومت بیشتری نسبت به سیگنال آنالوگ دارد .

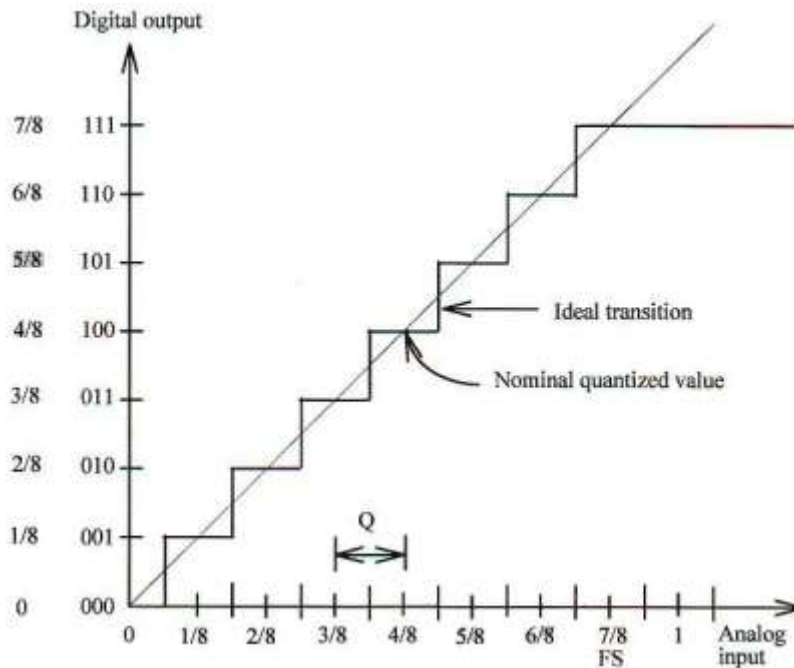
شیوه ی عملکرد مبدل آنالوگ به دیجیتال :

شکل ۹-۱ مشخصه ی انتقال یک مبدل آنالوگ به دیجیتال ایده آل ۳بیتی را نشان می دهد. محدوده ی ورودی آنالوگ (از ۰ تا ۱۷) که به ۸ قسمت گسسته تقسیم شده است. همه ی مقادیر آنالوگ داخل هر محدوده توسط یک کد دیجیتال یکسان نشان داده می شوند که با مقدار میانگین نامی برابر می باشد. بنابراین یک خطا به مقدار

مثبت و منفی $\frac{1}{2}$ در روند کارکرد مبدل آنالوگ به دیجیتال (در تقسیم بندی آن) وجود دارد. البته این خطا در کم ارزش ترین بیت موجود رخ خواهد داد. تنها راه برای کاهش مقدار این خطا افزایش تعداد بیت ها می باشد.

Q ، مقدار تفکیک پذیری، کوچک ترین اختلاف آنالوگ که مبدل آنالوگ به دیجیتال قادر به تشخیص آن می باشد که به صورت زیر بیان می شود.

$$Q = \frac{FS}{2^n - 1} = \frac{1}{2^n}$$



شکل ۹-۱. مشخصه ی انتقال مبدل آنالوگ به دیجیتال سه بیتی ایده آل

که FS محدوده مقیاس کامل که برابر با $\frac{2^n - 1}{2^n}$ می باشد و 2^n میزان دقت می باشد که توسط تعداد بیت های خروجی (n) مشخص می شود. بنابراین تعداد بیت خروجی بیشتر میزان دقت را بالا تر می برد. به طور کلی، تولید

کننده های مبدل های آنالوگ به دیجیتال میزان دقت مبدل را برحسب تعداد بیت های خروجی مشخص می کنند. به طور مثال میزان دقت ADC0804 روی دفترچه راهنما با ۸ بیت مشخص شده است .

تعداد زیادی مدار برای مبدل های آنالوگ به دیجیتال طراحی شده است . نظیر رمپ دیجیتال ، تقریب متوالی و ... ما در این آزمایش از نوع مبدل آنالوگ به دیجیتال تقریب متوالی استفاده می کنیم. در ادامه به توضیح این روش می پردازیم.

شکل ۹-۲ بلوک دیاگرام مبدل آنالوگ به دیجیتال تقریب متوالی ۸ بیتی را نشان می دهد. عملکرد معمول آن در ادامه بیان می شود.

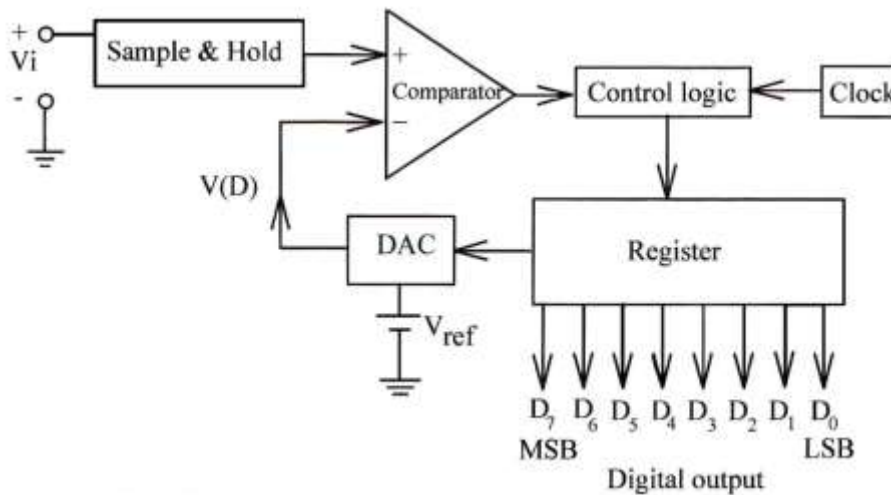
وظیفه بلوک Sample & Hold ثابت نگاه داشتن ولتاژ ورودی در حین عملیات تبدیل است . این بلوک بعد از نمونه گیری ولتاژ آنالوگ آن را در مدت زمان ثابت نگاه می دارد تا اینکه نمونه گرفته شده قبلی به کد دیجیتالی تبدیل شود و بلوک های دیگر دچار اشتباه نشوند . وظیفه بلوک Control Logic تعیین MSB و LSB عدد تبدیل شده است . وظیفه بلوک DAC تهیه ولتاژ $V(D)$ به منظور عملیات مقایسه سازی است .

$$V(D) = 2^{n-1} \times Q = 2^{n-1} \times \frac{V_{ref}}{2^n} = \frac{1}{2} V_{ref}$$

که در این جا $V(D)$ نصف مقدار V_{ref} است .

مقایسه کننده ولتاژ ورودی $V(i)$ را با سیگنال خروجی DAC یعنی $V(D)$ مقایسه کرده و اگر $V(i)$ بزرگتر از $V(D)$ باشد 1 در D_7 باقی می ماند و اگر $V(i)$ کوچکتر از $V(D)$ باشد عدد 1 از D_7 برداشته می شود و به بیت با ارزش

بعدی یعنی D_6 فرستاده می‌شود. بنابراین یک ۱ در خروجی های رجیستر گردش داده می‌شود تا در نهایت معادل باینری V_i به دست آید.



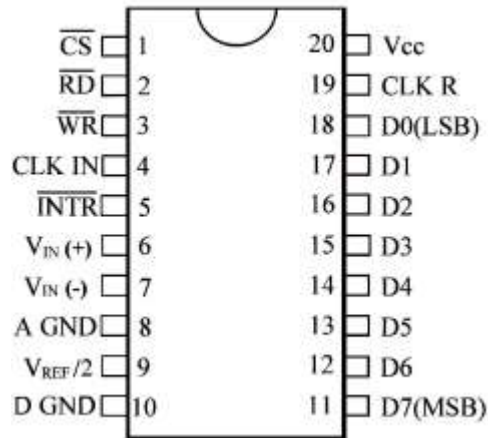
شکل ۹-۲. بلوک دیاگرام یک مبدل آنالوگ به دیجیتال با تقریب متوالی

بررسی تراشه ADC0804

ADC0804 تراشه ای 20 پایه در بسته بندی DIP به منظور تبدیل سیگنال آنالوگ به یک عدد 8 بیتی دیجیتال با استفاده از روش تقریب متوالی ساخته شده است.

از مشخصات این تراشه اینکه، با تغذیه 5 ولت می‌تواند سیگنال آنالوگ DC از 0 تا 5 ولت را تبدیل به عدد دیجیتال 8 بیتی نماید. اتلاف توانی در حدود 15mW و زمان تبدیلی معادل 100μs دارد. از آن جای که میزان دقت ADC0804 ۸بیت می باشد. ولتاژ ورودی به 2^8 حالت (۲۵۶ حالت) تقسیم می‌شود با ولتاژ مرجع 5 ولتی هر قسمت مقداری برابر 0.01953 ولت می‌شود. برای مثال زمانی که نتیجه تبدیل عدد 11111111 یا (FFH) باشد در ورودی ولتاژ 5 ولت وجود دارد. خطای تبدیل در این مبدل معادل ± 1 LSB یا ۰/۰۱۹۵۳ می‌باشد.

نمای پایه های ADC0804 در شکل ۹-۲ به تصویر کشیده شده است:



شکل ۹-۳. شیوه ی وصل کردن پایه های ADC0804 در مدار

زمانی که Data از خروجی های D₀ تا D₇ خوانده می شود. ترکیب پایه های \overline{CS} و \overline{RD} در حالت LOW قرار می گیرند تا اینکه لچ های خروجی عدد 8 بیت دیجیتال را تولید نمایند. اگر هر دو پایه ی \overline{CS} و \overline{RD} در وضعیت High باشند خروجی های D₀ تا D₇ در وضعیت شناور قراردارند. عملیات تبدیل زمانی آغاز می شود که پایه های \overline{CS} و \overline{WR} در وضعیت Low قرار داشته باشند. در این حالت رجیستر 8 بیتی Reset می شود. هر زمانی که \overline{WR} به وضعیت High برگردد عملیات انجام می شود.

پایه های CLKIN پایه ورودی کلاک پالس است. این فرکانس می تواند مقداری مابین 100Hz تا 800KHz داشته باشد.

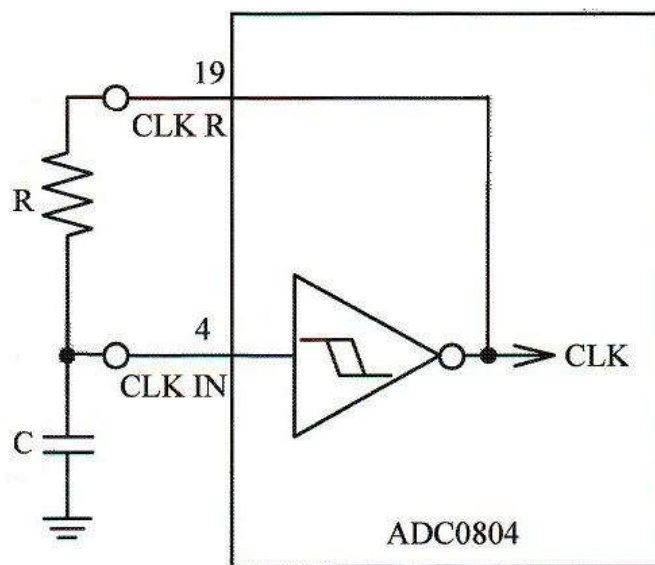
پایه \overline{INTR} در وضعیت High باقی می ماند تا زمانی که عملیات تبدیل کامل شود.

ولتاژ تفاضلی آنالوگ ورودی از طریق پایه های $V(+)$ و $V(-)$ وارد مبدل می شود. زمانی که ورودی تک باشد می بایست پایه $V(-)$ به زمین متصل شود.

AGND و DGND میبایست به ترتیب جهت تامین Ground برای سیگنال های آنالوگ و دیجیتال به زمین متصل شوند. میبایست ولتاژ مرجع نصف ولتاژ تغذیه بوده و یا برابر مقدار ولتاژ اعمال شده به پایه ۹، $(\frac{V_{ref}}{2})$ باشد.

کلاک پالس مورد نیاز برای ADC0804 را می تواند از یک منبع خارجی و یا از یک شبکه RC خارجی که به پایه CLK IN (پایه ۴) متصل است تامین کرد. شکل ۹-۴ یک شبکه RC خارجی متصل شده به پایه های CLK R و CLK IN را نشان می دهد که کلاک پالس مورد نیاز برای ADC را تامین می کند. فرکانس تولید شده از رابطه زیر تبعیت می کند:

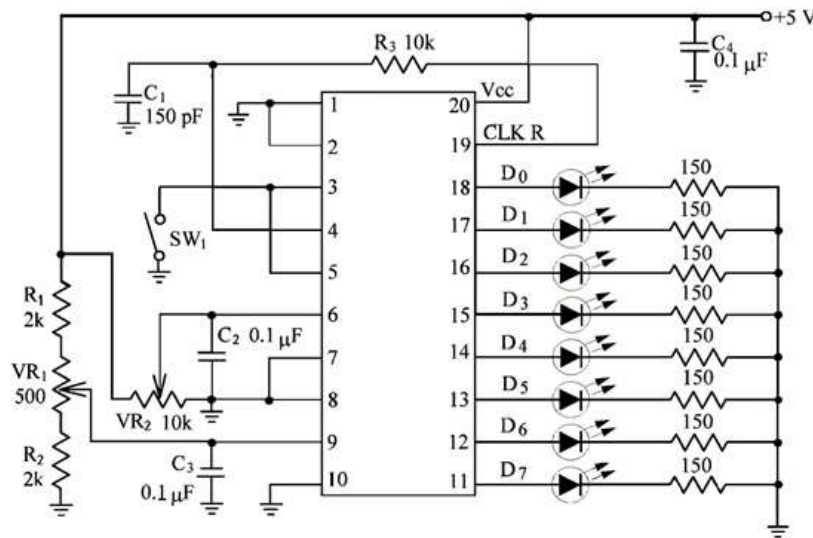
$$f_{clk} = \frac{1}{1.1 RC} \text{ (Hz)}$$



شکل ۹-۴. تولید کننده کلاک داخلی ADC0804

شکل ۹-۵ مدار مبدل آنالوگ به دیجیتال با استفاده از تراشه ADC0804 می‌باشد. مقدار سیگنال آنالوگ ورودی از طریق ولوم VR2 تعیین می‌شود. پایه ی $V_{in(-)}$ نیز به دلیل تبدیل تک قطبی به زمین متصل شده است ولتاژ مرجع برای پایه ۹، $(\frac{V_{ref}}{2})$ توسط ولتاژ ۵V و تقسیم کننده ی ولتاژ R_1 و R_2 و VR_1 تامین می‌شود. ترکیب مقاومت R_3 و خازن C_1 تعیین کننده مقدار فرکانس ورودی در پایه ی CLKIN می‌باشد.

به منظور فعال سازی تراشه پایه های \overline{CS} و \overline{RD} مستقیماً به زمین متصل شده اند. عملیات تبدیل با یکبار LOW شدن پایه های \overline{INTR} و \overline{WR} آغاز و نتیجه تبدیل به روی ۸ عدد LED متصل به پایه های D_0 تا D_7 نمایش داده می‌شود.



شکل ۹-۵. مدار مبدل آنالوگ به دیجیتال ADC0804

بررسی مشخصات تراشه ADC0809

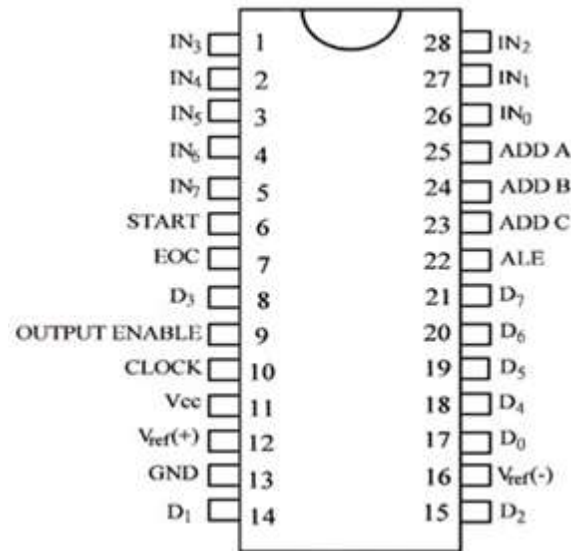
ADC0809 تراشه ای 28 پایه در بسته بندی DIP، مبدل آنالوگ به دیجیتال 8 بیتی به روش تقریب متوالی است که شامل 8 کانال ورودی به منظور تبدیل سیگنال آنالوگ به دیجیتال ساخته شده است. همانند ADC0804 با تغذیه تک 5 ولت می تواند سیگنالی ما بین 0 ولت تا 5 ولت را به یک عدد 8 بیتی دیجیتال تبدیل نماید. این تراشه 15mW اتلاف توان دارد.

عملیات تبدیل همانند ADC0804 است، بدین گونه که شامل 8 ورودی آنالوگ می باشد که به یک مالتی پلکسر 8 کاناله متصل می شود از آنجاییکه میزان دقت ADC0809 8 بیت می باشد. ورودی آنالوگ را به 256 قسمت مجزا تقسیم می نماید. با ولتاژ مرجع 5Vdc، هر قسمت نشان دهنده ی $0.01953V$ می باشد. بدین ترتیب به ازای هر تغییر در LSB می بایست ولتاژ آنالوگی معادل 0.01953 ولت در ورودی تغییر نماید. کد دیجیتال خروجی 00000000 نشان دهنده ولتاژ ورودی صفر ولت می باشد و 11111111 نشان دهنده ی $5V \times$ می باشد.

8 کانال ترکیبی می تواند 8 نتیجه تبدیل مجزا را به همراه داشته باشد.

کلاک پالس ورودی می تواند فرکانسی ما بین 10KHz تا 1280KHz داشته باشد. در بهترین شرایط به ازای فرکانس ورودی 640KHz زمان تبدیل $100\mu s$ می باشد.

شکل ۶-۹ تمامی پایه های ADC0809 را نمایش می دهد:



شکل ۶-۹. شیوه ی وصل کردن پایه های آی سی در مدار

پایه های 5، 4، 3، 2، 1، 26، 27، 28 به ترتیب ورودی های کانال های IN0 تا IN7 می باشد.

همچنین پایه های 17، 14، 15، 8، 18، 19، 20، 21 نیز خروجی های دیجیتال D0 تا D7 هستند.

پایه 10 محل ورود سیگنال کلاک پالس است. در مدارات آزمایشگاهی می توان علاوه بر پایه شماره 11 (VCC)،

پایه شماره 12 (Vref(+)) را نیز مستقیماً به تغذیه اصلی وصل نمود.

این کار زمانی که ولتاژ تغذیه از پایداری نسبتاً خوبی برخوردار نباشد باعث کم شدن دقت ADC می شود. هر کدام

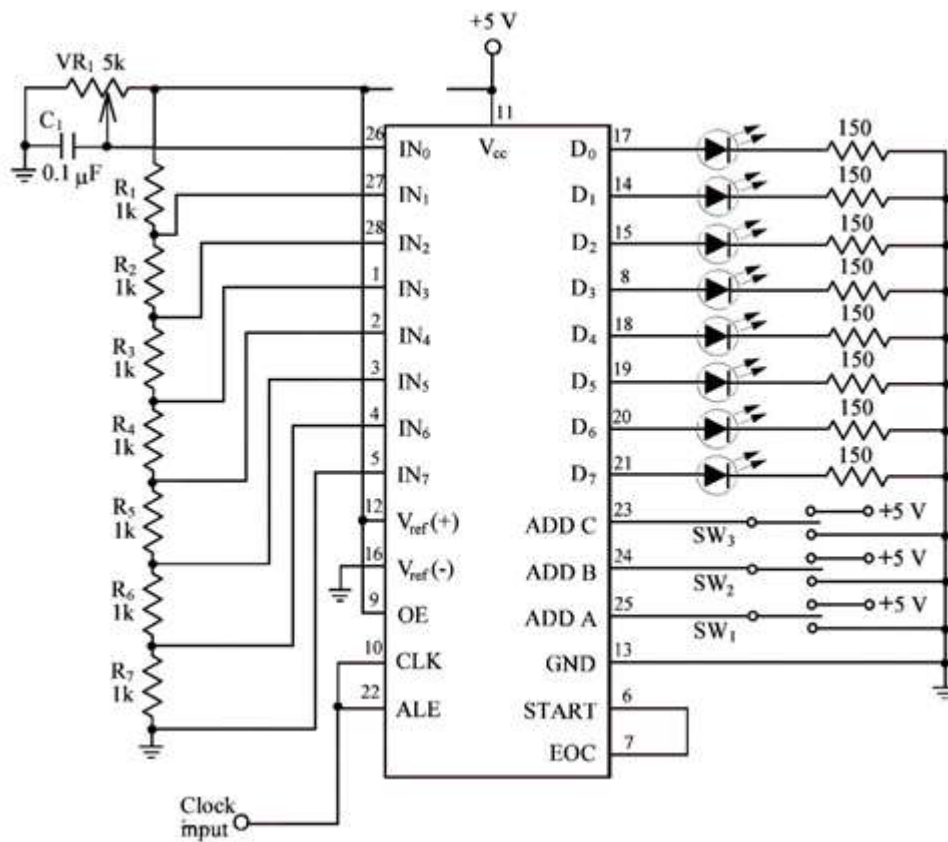
از ورودی های مبدل می تواند بصورت جداگانه توسط صفر و یا یک شدن پایه های ADDA و ADDB و ADDC

که به ترتیب پایه های شماره 23، 24، 25 می باشند به منظور عملیات تبدیل انتخاب شوند.

برای مثال اگر این سه پایه در وضعیت صفر باشند ورودی IN_0 انتخاب می‌شود. این تراشه عموماً برای استفاده در کنار میکروپروسسورها قرار می‌گیرد.

پایه های ALE , OE , EOC , $START$ می‌توانند به خطوط کنترل باس استاندارد CPU متصل شوند. زمانی که عملیات تبدیل با موفقیت انجام شود پایه EOC که به CPU وصل شده نقش وقفه را ایفا کرده و تغییر حالت می‌دهد. با فعال کردن پایه OE توسط CPU عملیات تبدیل آغاز می‌شود. با فعال کردن پایه های ALE و $START$ تراشه‌ی $ADC0809$ ریست شده و عملیات تبدیل دوباره آغاز می‌شود.

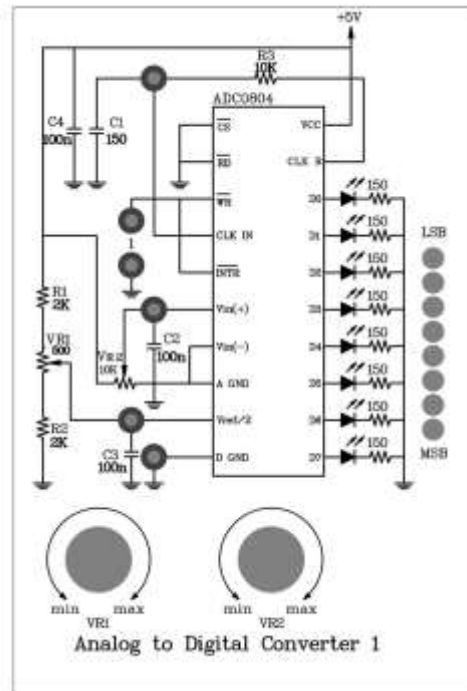
مدار شکل ۷-۹ یک نمونه مدار کاربردی به منظور استفاده بهینه از $ADC0809$ می‌باشد.



شکل ۷-۹ مدار مبدل آنالوگ به دیجیتال با $ADC0809$

در این مدار پایه ی EOC مستقیماً به START وصل شده است. پایه CLK و ALE نیز به یکدیگر متصل شده اند و محل ورود سیگنال کلاک پالس نیز این دو پایه می باشد. ولتاژ ورودی به پایه IN0 در این مدار توسط VR_1 تعیین می شود، ولتاژ بقیه ورودی ها نیز توسط شبکه تقسیم مقاومتی R_1 تا R_7 تعیین می شود. کانال های ورودی IN0 تا IN7 توسط سوئیچ های SW1 ، SW2 ، SW3 انتخاب می شوند. LED ها نیز نتیجه تبدیل را به صورت یک عدد دیجیتال ۸ بیتی نمایش می دهند.

آزمایش ۱-۱: مبدل آنالوگ به دیجیتال ADC0804



شکل ۹-۹

مراحل انجام آزمایش:

- ۱- مدار مبدل آنالوگ به دیجیتال ADC0804 را روی قاب آزمایش قرار دهید. منبع تغذیه را روشن کنید.
- ۲- با استفاده از مولتی متر دیجیتال ولتاژ ورودی $\frac{V_{ref}}{2}$ (پین ۹) را اندازه گیری کنید و به آرامی ولوم V_{R1} را تنظیم کنید تا ولتاژ اندازه گیری شده به $2.5V$ برسد. این کار رنج ولتاژ ورودی آنالوگ ADC0804 را از 0 تا $5V$ تنظیم می کند.

- ۳- جامپر را در موقعیت ۱ قرار دهید. وضعیت LED ها را مشاهده و در جدول ۹-۱ ثبت کنید.

۴- جامپر را از موقعیت ۱ خارج کنید خروجی دیجیتال با تغییرات ورودی آنالوگ تغییر خواهد کرد.

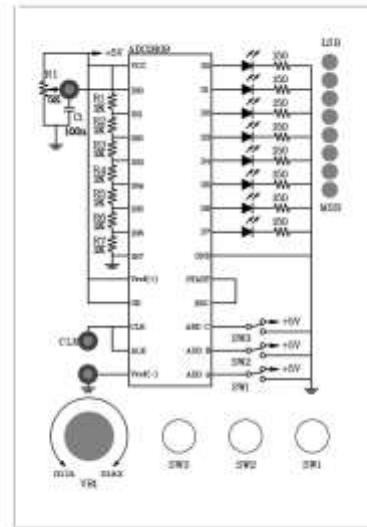
۵- ولتاژ ورودی آنالوگ (بین ۶) را اندازه گیری کنید و به آرامی V_{R2} را تنظیم کنید تا ولتاژ اندازه گیری شده به 0 برسد.

۶- ولتاژ ورودی آنالوگ را طبق جدول ۹-۱ بوسیله ی پتانسیومتر V_{R2} تنظیم کنید و مراحل ۴ و ۵ را تکرار کنید.

جدول ۹-۱

ولتاژ ورودی آنالوگ (V)	خروجی دیجیتال			
	مقدار محاسبه شده		مقدار اندازه گیری شده	
	باینری	هگزا دسیمال	باینری	هگزا دسیمال
0.0				
0.5				
1.0				
1.5				
2.0				
2.5				
3.0				
3.5				
4.0				
4.5				
5.0				

آزمایش ۱-۲: مبدل آنالوگ به دیجیتال ADC0809



شکل ۹-۱۰

مراحل انجام آزمایش:

- ۱- مدار مبدل آنالوگ به دیجیتال ADC0809 را که در مازول 01 قرار دارد روی قاب آزمایش قرار دهید و منبع تغذیه را روشن کنید.
- ۲- یک موج مربعی با دامنه $2.5V$ و فرکانس 120 KHz همراه با $2.5V$ آفست (حد بالا مساوی $5V$ و حد پایین $0V$) به ورودی کلاک اعمال نمایید.
- ۳- کلیدهای SW_1 و SW_2 و SW_3 را به زمین متصل نمایید.
- ۴- ولتاژ آنالوگ را طبق جدول ۹-۲ بوسیله ی پتانسیومتر VR_1 را با دقت تنظیم کنید.
- ۵- حالت LED ها را برای هر ولتاژ ورودی آنالوگ مشاهده و در جدول ۹-۲ ثبت کنید.

۶- ولتاژ ورودی های IN₁ تا IN₇ را محاسبه و در جدول ۹-۲ ثبت کنید .

۷- وضعیت کلیدهای SW₁ و SW₂ و SW₃ را طبق جدول ۹-۳ تنظیم کنید تا یکی از ورودی های IN₁ تا IN₇ در هر زمان به عنوان ورودی آنالوگ انتخاب شود.

۸- حالت LED ها را مشاهده کرده و در جدول ۹-۳ ثبت کنید

ولتاژ ورودی آنالوگ (V)	خروجی دیجیتال			
	مقدار محاسبه شده		مقدار اندازه گیری شده	
	باینری	هگزا دسیمال	باینری	هگزا دسیمال
0.0				
0.5				
1.0				
1.5				
2.0				
2.5				
3.0				
3.5				
4.0				
4.5				
5.0				

جدول ۳-۹

SW3	SW2	SW1	ورودی آنالوگ (مقدار محاسبه شده)		خروجی دیجیتال (مقدار اندازه گیری شده)	
			پورت و رودی	ولتاژ	باینری	هگزا دسیمال
GND	GND	+5V	IN ₁			
GND	+5V	GND	IN ₂			
GND	+5V	+5V	IN ₃			
+5V	GND	GND	IN ₄			
+5V	GND	+5V	IN ₅			
+5V	+5V	GND	IN ₆			
+5V	+5V	+5V	IN ₇			

فصل دوم

مبدل دیجیتال به آنالوگ

اهداف :

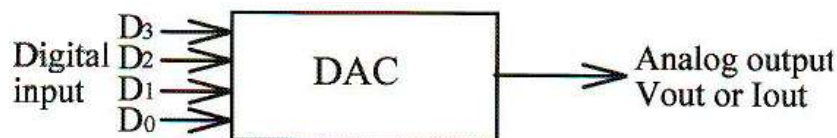
- بررسی عملکرد کلی مبدل های دیجیتال به آنالوگ
- بررسی عملکرد تراشه DAC0800
- بررسی چگونگی تولید خروجی های تک قطبی و دو قطبی در تراشه DAC0800

مقدمه

مبدل های دیجیتال به آنالوگ برای تبدیل سیگنال های اطلاعات دیجیتال دریافت شده یا ذخیره شده یا نتایج حاصل از محاسبات به سیگنال های آنالوگ تا بتوان توسط سیگنال آنالوگ سیستمی را کنترل یا عملکرد های دیگری را انجام داد.

شیوه ی عملکرد مبدل دیجیتال به آنالوگ

به طور خلاصه ، مبدل های دیجیتال به آنالوگ ابزاری هستند که سیستم های دیجیتالی با دنیای خارج ارتباط برقرار می کنند. یک مبدل دیجیتال به آنالوگ ورودی دیجیتال را به ولتاژ یا جریان آنالوگ خروجی تبدیل می کند. نمای شماتیک یک مبدل دیجیتال به آنالوگ ۴ بیتی در شکل ۱-۱۰ نشان داده شده است.



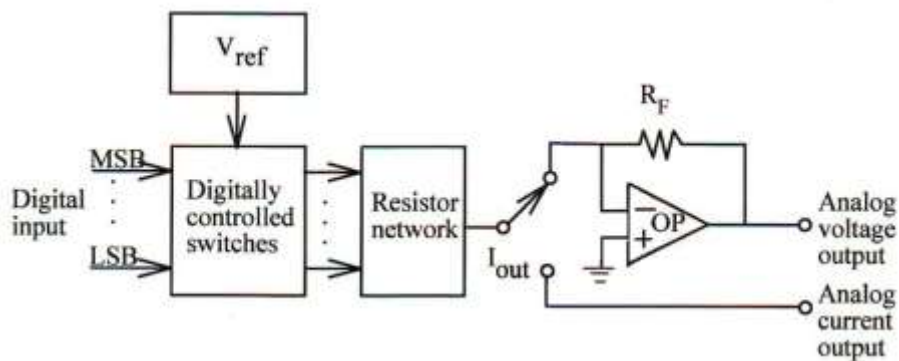
شکل ۱-۱۰ . مبدل دیجیتال به آنالوگ ۴ بیتی (نمای شماتیک)

جدول ۱-۱۰

D_3	D_2	D_1	D_0	V_{out}	D_3	D_2	D_1	D_0	V_{out}
0	0	0	0	0	1	0	0	0	8
0	0	0	1	1	1	0	0	1	9
0	0	1	0	2	1	0	1	0	10
0	0	1	1	3	1	0	1	1	11
0	1	0	0	4	1	1	0	0	12
0	1	0	1	5	1	1	0	1	13
0	1	1	0	6	1	1	1	0	14
0	1	1	1	7	1	1	1	1	15

ورودی های دیجیتال D_3 ، D_2 ، D_1 ، D_0 به طور معمول به خروجی رجیستر یک سیستم دیجیتال متصل می شوند. جدول درستی مبدل دیجیتال به آنالوگ ۴بیتی را نشان می دهد هر کلمه باینری ورودی یک سیگنال خروجی گسسته را تولید می کند و در خروجی مبدل 2^4 یا ۱۶ سطح ولتاژ مختلف را داریم که شامل صفر نیز می شود.

شکل ۱۰-۲ بلوک دیاگرام یک نمونه مبدل دیجیتال به آنالوگ را نشان می دهد.



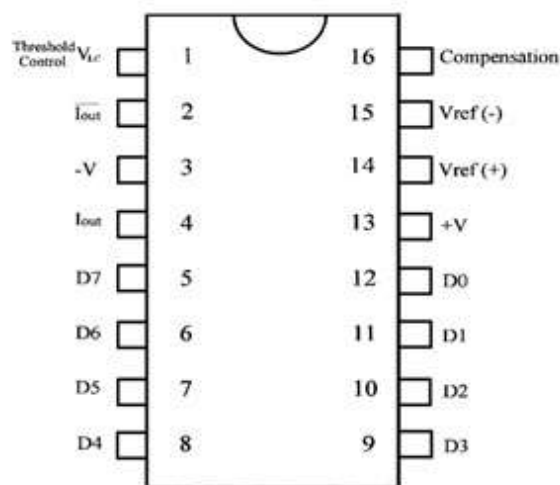
شکل ۱۰-۲. بلوک دیاگرام مبدل دیجیتال به آنالوگ

DAC شامل یک منبع تولید کننده ولتاژ مرجع بسیار دقیق، سوئیچ های کنترل شده ی دیجیتال، شبکه مقاومتی و یک OpAmp است. هر کدام از مقاومت های شبکه مقاومتی به یکی از ورودی های دیجیتال متصل شده اند که از این طریق به ولتاژ مرجع متصل می شود سر دیگر مقاومتها به نقطه جمع OpAmp متصل است. در اینجا حالت های ورودی های دیجیتال حالت سوئیچ ها را مشخص می کند. OpAmp جریانهای تولید شده توسط مقاومت ها را به ولتاژ در خروجی تبدیل می نماید.

معرفی تراشه DAC0800

DAC0800 یک مبدل دیجیتال به آنالوگ ۸ بیتی شامل منبع ولتاژ مرجع، شبکه مقاومتی R-2R و سوئیچ های ترانزیستوری است.

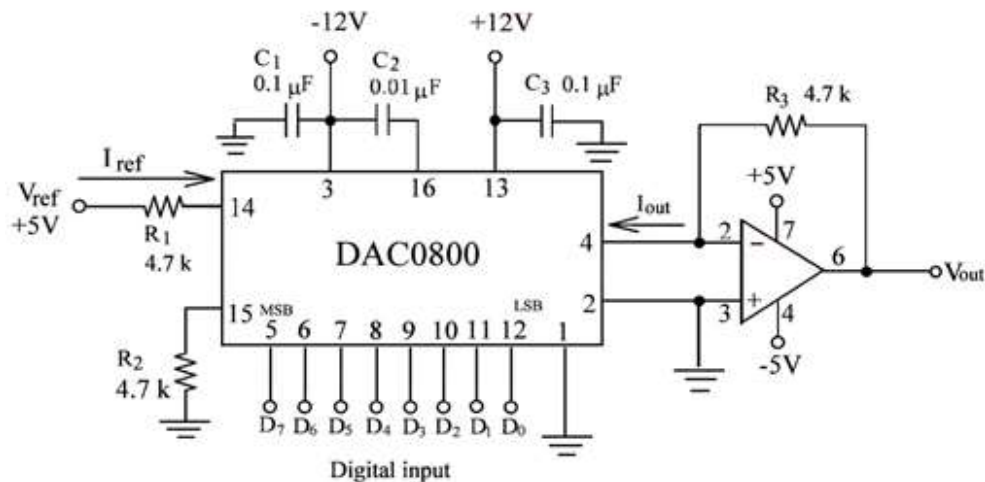
شکل زیر پایه های این تراشه را نشان می دهد:



شکل ۱۰-۳. شیوه ی وصل کردن مبدل دیجیتال به آنالوگ به مدار

منبع تغذیه مورد نیاز این تراشه ± 4.5 ولت تا ± 18 ولت است. به ازای تغذیه ± 5 ولت اتلاف توانی معادل 33mW و زمان نشست معادل 88ns دارد. به دلیل وجود جریان های خروجی متقارن (I_{out} و I_{out}) DAC0800 می تواند خروجی های تک قطبی (ولتاژ مثبت) و یادو قطبی (ولتاژ مثبت یا منفی) در خروجی تولید نماید.

شکل ۴-۱۰ یک نمونه مدار پیشنهادی تک قطبی شامل DAC0800 و تقویت کننده UA741 را نشان می دهد:



شکل ۴-۱۰. مدار مبدل دیجیتال به آنالوگ توسط DAC0800

$V_{ref}(-)$ از طریق مقاومت R_2 زمین شده است و $V_{ref}(+)$ نیز از طریق مقاومت R_1 به تغذیه $+5$ متصل شده است. بدین ترتیب جریان I_{ref} قابل محاسبه است:

$$I_{ref} = \frac{V_{ref}}{R_1}$$

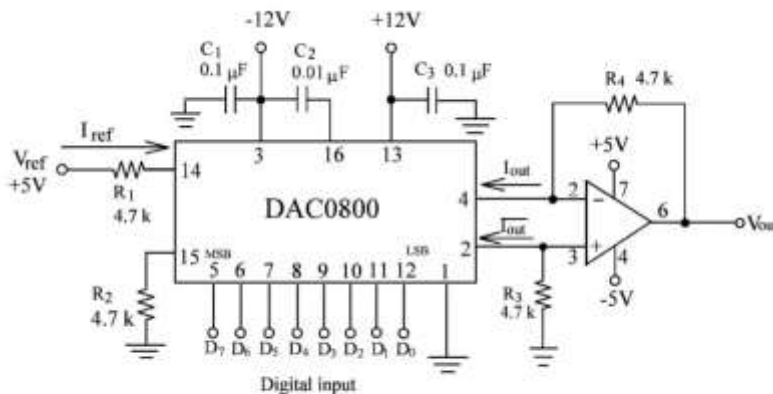
بدین ترتیب جریان خروجی I_{out} برابر است با:

$$I_{out} = \frac{V_{ref}}{R_1} \left(\frac{D_7}{2} + \frac{D_6}{4} + \frac{D_5}{8} + \frac{D_4}{16} + \frac{D_3}{32} + \frac{D_2}{64} + \frac{D_1}{128} + \frac{D_0}{256} \right)$$

I_{out} جریان جاری شده از DAC0800 می‌باشد که توسط OpAmp به ولتاژ تبدیل می‌شود.

$$V_{out} = I_{out} \cdot R_3$$

شکل زیر مبدل دیجیتال به آنالوگ دو قطبی شامل DAC0800 و UA741 را نشان می‌دهد:



شکل ۱۰-۵. مدار مبدل دیجیتال به آنالوگ توسط ADC0800

پایه ی I_{out} از DAC0800 به ورودی غیر معکوس کننده OpAmp متصل شده است.

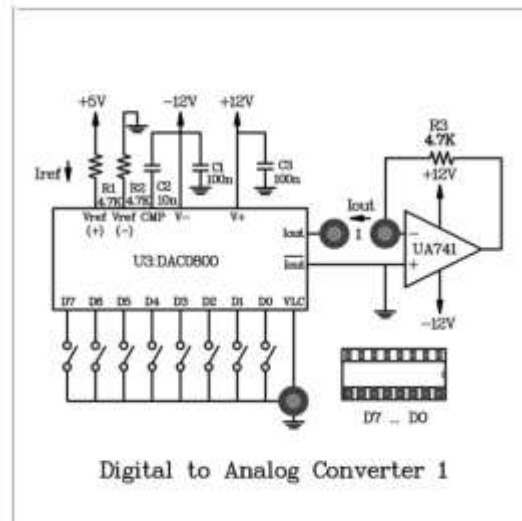
در این حالت خروجی OpAmp برابر است با:

$$V_{out} = (I_{out} - \overline{I_{out}}) R_4$$

$$I_{FS} = \overline{I_{out}} + I_{out}$$

$$V_{out} = 2 I_{out} R_4 - I_{FS} R_4$$

آزمایش ۱-۲: مبدل دیجیتال به آنالوگ تک قطبی مبتنی بر DAC0800



شکل ۱۰-۶

مراحل انجام آزمایش:

- ۱- مدار مبدل دیجیتال به آنالوگ تک قطبی مبتنی بر DAC0800 را که در مازول 01 قرار دارد را در قاب آزمایش قرار دهید. جامپر ۱ را در مدار قرار دهید تا جریان خروجی DAC0800 (pin 4) را به ورودی $\mu 741$ (pin 2) اعمال شود.
- ۲- مقدار هر پله را محاسبه و در جدول ۱۰-۱ ثبت کنید.
- ۳- کلیدهای ورودی D0 تا D7 را در موقعیت‌های $+5V$ ="1" و GND ="0" قرار دهید.
- ۴- با استفاده از معادله‌های زیر جریان خروجی I_{out} و ولتاژ خروجی V_{out} را محاسبه و در جدول ۱۰-۱ ثبت کنید.

$$I_{out} \approx \frac{V_{ref}}{R_1} \left(\frac{D_7}{2} + \frac{D_6}{4} + \frac{D_5}{8} + \frac{D_4}{16} + \frac{D_3}{32} + \frac{D_2}{64} + \frac{D_1}{128} + \frac{D_0}{256} \right)$$

$$V_{out} = I_{out} R_3$$

۱- جامپر ۱ را از مدار خارج کرده و جریان I_{out} را با قراردادن یک آمپر متر بین خروجی DAC0800 و ورودی $\mu A741$ را اندازه گیری کرده و نتایج را در جدول ۱۰-۲ ثبت کنید.

مقدار هر پله = 0/01953

۲- مولتی متر دیجیتال را از مدار خارج کنید و جامپر ۱ وارد مدار کنید و ولتاژ خروجی V_{out} را توسط ولتمتر اندازه گیری کنید و در جدول ۱۰-۲ ثبت کنید.

۳- براساس کدهای دیجیتال لیست شده در جدول ۱۰-۲، کلیدهای D_0 تا D_7 را تغییر دهید و مراحل ۵ و ۶ را تکرار کنید و نتایج را در جدول ۱۰-۲ ثبت کنید.

جدول ۱۰-۲. مقدار پله =

ورودی دیجیتال								خروجی آنالوگ			
								V_{OUT} (ولت)		I_{OUT} (آمپر)	
D_0	D_1	D_2	D_3	D_4	D_5	D_6	D_7	محاسبه شده	اندازه گیری شده	محاسبه شده	اندازه گیری شده
0	0	0	0	0	0	0	0				
0	0	0	0	0	0	0	1				
0	0	0	0	0	0	1	0				
0	0	0	0	0	1	0	0				
0	0	0	0	1	0	0	0				
0	0	0	1	0	0	0	0				
0	0	1	0	0	0	0	0				
0	1	0	0	0	0	0	0				
1	0	0	0	0	0	0	0				
1	1	1	1	1	1	1	1				

آزمایش ۲-۲: خروجی ولتاژ DAC0800 دو قطبی

مراحل انجام آزمایش:

۱- مبدل DAC0800 را که درماژول 01 قرار دارد را در قاب آزمایش قرار دهید و جامپر های ۱ و ۲ را در مدار قرار دهید.

۲- مقدار پله را محاسبه در جدول ۲-۱۰ ثبت کنید.

۳- کلید های D_0 تا D_7 را در وضعیت 00000000 قرار دهید.

۴- با استفاده از معادله های زیر مقدارهای V_{out} را محاسبه و در جدول ۲-۱۰ ثبت کنید.

$$I_{out} \approx \frac{V_{ref}}{R_1} \left(\frac{D_7}{2} + \frac{D_6}{4} + \frac{D_5}{8} + \frac{D_4}{16} + \frac{D_3}{32} + \frac{D_2}{64} + \frac{D_1}{128} + \frac{D_0}{256} \right)$$

$$V_{out} = 2I_{out}R_4 - I_{FS}R_4$$

۵- با استفاده از مولتی متر دیجیتال، ولتاژ خروجی V_{out} را اندازه گیری و در جدول ۲-۱۰ ثبت کنید.

۶- جامپر ۱ را از مدار خارج کرده و جریان I_{out} را اندازه گیری کنید و نتایج را در جدول ۲-۱۰ ثبت کنید.

۷- جامپر ۲ را از مدار خارج کرده و جامپر ۱ را در مدار قرار دهید و جریان خروجی $\overline{I_{out}}$ را اندازه گیری و در جدول ۲-۱۰ ثبت کنید.

۸- مقدار $\overline{I_{out}} + I_{out}$ را محاسبه و در جدول ۲-۱۰ ثبت کنید.

۹- با استفاده از کدهای دیجیتال لیست شده در جدول ۱۰-۲، کلیدهای D_0 تا D_7 را تغییر داده و نتایج را در جدول ۱۰-۲ ثبت کنید.

جدول ۱۰-۳. مقدار هر پله = 0.04

ورودی دیجیتال								خروجی آنالوگ					
D_7	D_6	D_5	D_4	D_3	D_2	D_1	D_0	محاسبه به شده	مقدار اندازه گیری شده				
									V_{out}	V_{out}	I_{out}	$\overline{I_{out}}$	$I_{out} + \overline{I_{out}}$
0	0	0	0	0	0	0	0						
0	0	0	0	0	0	1	0						
0	0	0	0	1	0	0	0						
0	0	1	0	0	0	0	0						
0	1	1	1	1	1	1	1						
1	0	0	0	0	0	0	0						
1	0	0	0	0	0	1	0						
1	0	0	0	1	0	0	0						
1	0	1	0	0	0	0	0						
1	1	0	0	0	0	0	0						
1	1	1	1	1	1	1	1						

فصل سوم

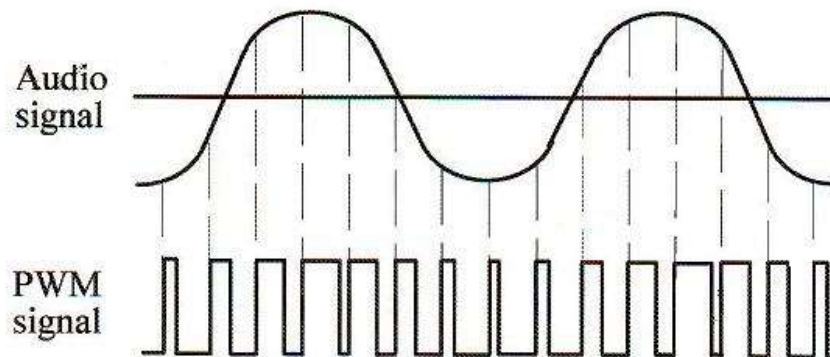
مدولاتور PWM

اهداف

- تشکیل یک نمونه مدولاتور PWM با استفاده از تراشه 741
- بررسی مشخصات و مدارهای پایه تراشه ۵۵۵
- تشکیل یک نمونه مدولاتور PWM با استفاده از تراشه ۵۵۵

تعریف مدولاسیون PWM

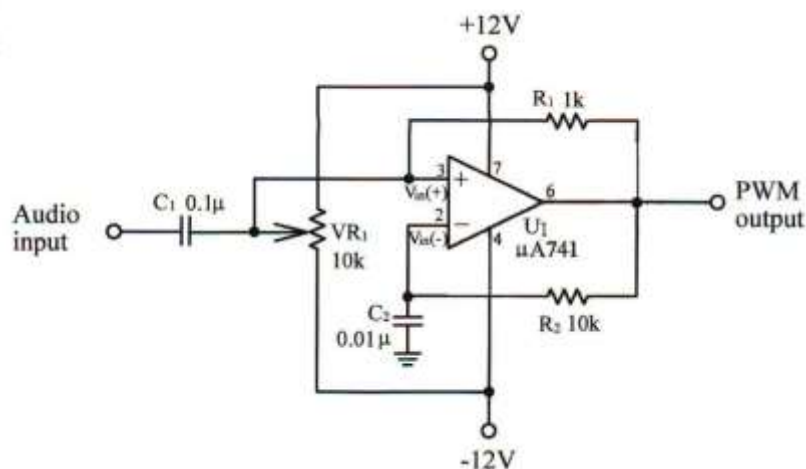
مدولاسیون PWM نوعی از مدولاسیون است که در آن سیگنال آنالوگ به منظور ارسال به سیگنال دیجیتال تبدیل می‌شود. در این نوع مدولاسیون سیگنال پیام (با دامنه‌های متفاوت) به یک رشته پالس متوالی با فرکانس و دامنه‌ی ثابت تبدیل می‌شود اما پهنای هر پالس متناسب با دامنه سیگنال پیام است. رابطه‌ی بین سیگنال مدوله PWM در شکل زیر نمایش داده شده است.



شکل ۱۱-۱. ارتباط بین سیگنال پیام و pwm

مدولاتور PWM با استفاده از مقایسه کننده

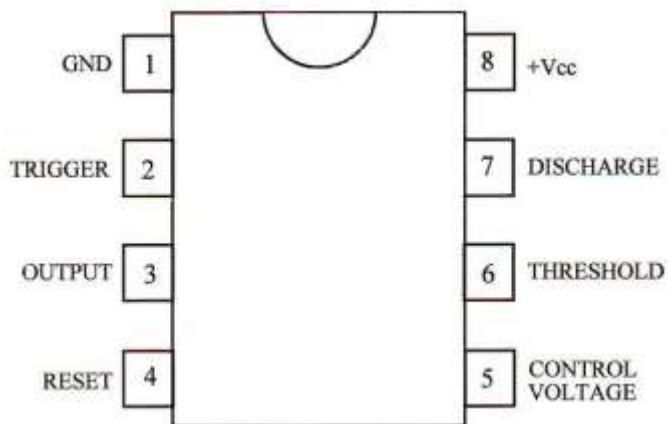
یک پالس ژنراتور (تولید کننده موج مربعی) یا یک مولتی ویراتور منواستابل می‌تواند به عنوان تولید کننده سیگنال PWM مورد استفاده قرار گیرد. شکل ۱۱-۲ یک پالس ژنراتور متشکل شده از تراشه 741 را که در خروجی، سیگنال PWM تولید می‌کند را نشان می‌دهد. مقادیر R_2 و $V_{in}(+)$ و C_2 تعیین کننده مقدار سیگنال خروجی مدار می‌باشد تراشه 741 در این مدار به عنوان مقایسه کننده عمل می‌نماید. ولتاژ مرجع اعمال شده به پایه ۳ توسط مقادیر R_1 و VR_1 تعیین می‌شود ترکیب مقاومت و خازن R_2 و C_2 مسیر شارژ و دشارژ مدار می‌باشد. زمانی که سیگنال پیام به ورودی اعمال نشده است ولتاژ مرجع DC یعنی $V_{in}(+)$ می‌تواند با استفاده از VR_1 تغییر کند. اگر ولتاژ مرجع $V_{in}(+)$ ثابت تنظیم شود و سیگنال پیام به ورودی مدار اعمال شده باشد سیگنال پیام با سطح DC تنظیم شده توسط VR_1 جمع می‌شود و بدین ترتیب مقدار ولتاژ مرجع به نسبت تغییرات دامنه پیام تغییر خواهد کرد. در نتیجه سیگنال مدوله PWM در خروجی مقایسه کننده تولید خواهد شد.



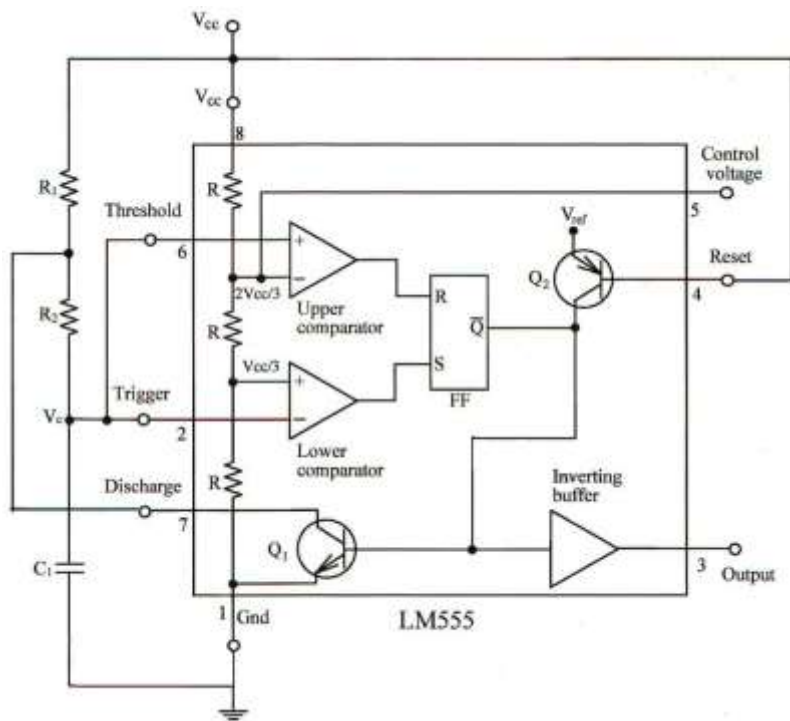
شکل ۱۱-۲ مدولاتور عرض پالس بر مبنای 741

مدولاتور PWM با استفاده از تراشه ۵۵۵

مدار داخلی و شمای پایه‌های تراشه ۵۵۵ در شکل‌های ۳-۱۱ و ۴-۱۱ نمایش داده شده است.



شکل ۳-۱۱ شیوه‌ی وصل‌آی‌سی LM555 به مدار



شکل ۴-۱۱ مولتی‌ویبراتور LM 555

اگر هیچ سیگنالی به ورودی پایه ۵ یعنی control voltage اعمال نشود ولتاژ مرجع مقایسه کننده‌های داخلی

بالایی و پایینی به ترتیب به مقدار $\frac{2}{3}V_{CC}$ و $\frac{V_{CC}}{3}$ خواهد رسید.

این مقادیر ولتاژهای مرجع می‌توانند به طور خارجی به ورودی پایه ۵ control voltage اعمال شوند.

در عمل اگر نخواهیم از این پایه استفاده کنیم می‌بایست آن را از طریق یک خازن 10nf به زمین بای پس کنیم.

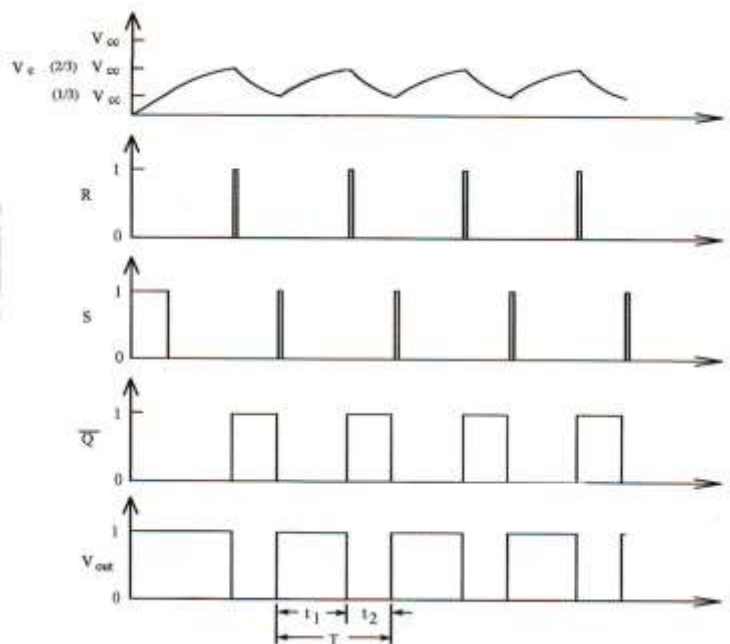
یک مولتی ویراتور آستابل مبتنی بر تراشه ۵۵۵ در شکل ۱۱-۴ نمایش داده شده‌اند.

شکل موج خروجی مربعی بوده و فرکانسش توسط مقادیر R_1 و R_2 و C_1 تعیین می‌شود.

مطابق با فرمول ثابت زمانی زمان شارژ t_1 برابر است با $0.693 \times (R_1 + R_2) \times C_1$ و زمان دشارژ t_2 برابر است با

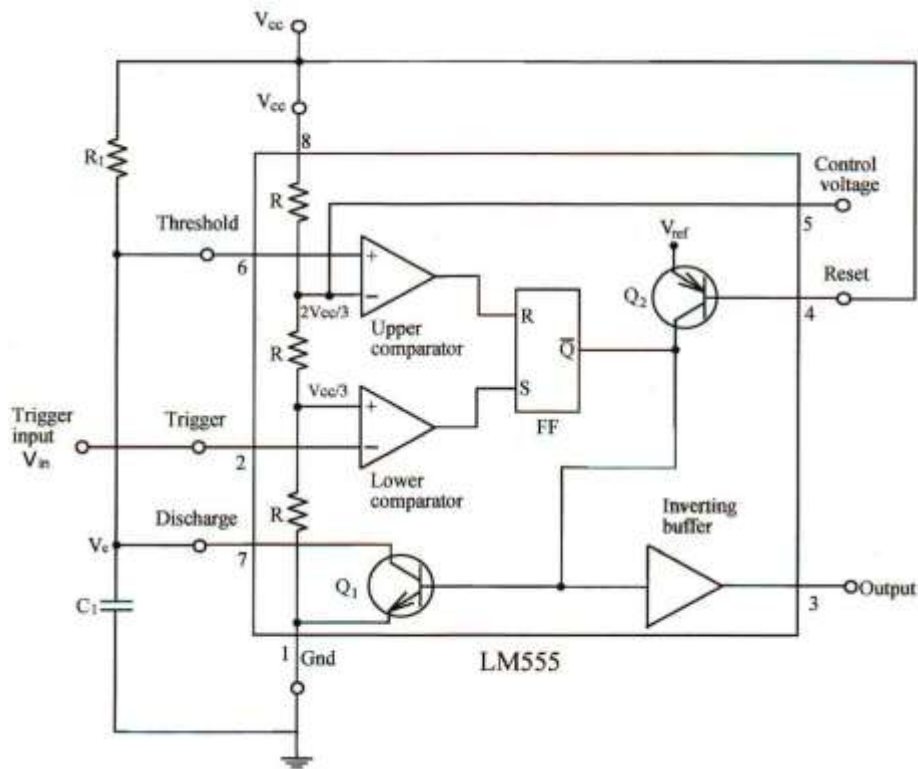
$0.693 \times R_2 \times C_1$ و دوره تناوب حاصل جمع t_1 و t_2 می‌باشد. شکل موج نقاط مختلف مدار در شکل ۱۱-۵

نمایش داده شده‌اند.



شکل ۱۱-۵ مولتی ویراتور مونو آستابل ۵۵۵

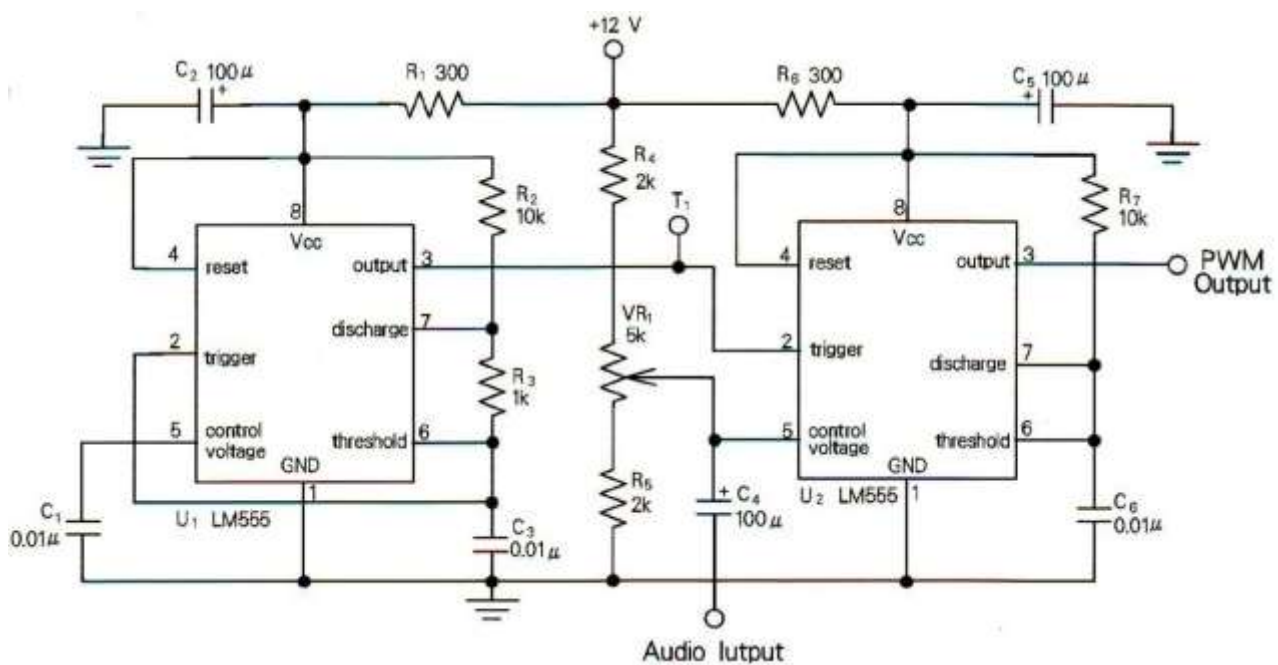
مدار شکل ۱۱-۶ یک مولتی ویراتور منواستابل متشکل از تراشه ۵۵۵ می باشد. زمانی که سطح تریگر از مقدار +12 ولت به مقدار صفر می رسد یک پالس در خروجی به وجود می آید که عرض پالس توسط رابطه $1.1R_1 \times C_1$ تعیین می گردد که در این حالت اگر مقدار R_1 برابر با ۱۰ کیلو اهم و مقدار C_1 برابر با 10nf پهنای پالس تولید شده برابر با ۱۱۰ میکروثانیه می باشد.



شکل ۱۱-۶. مولتی ویراتور مونو LM555

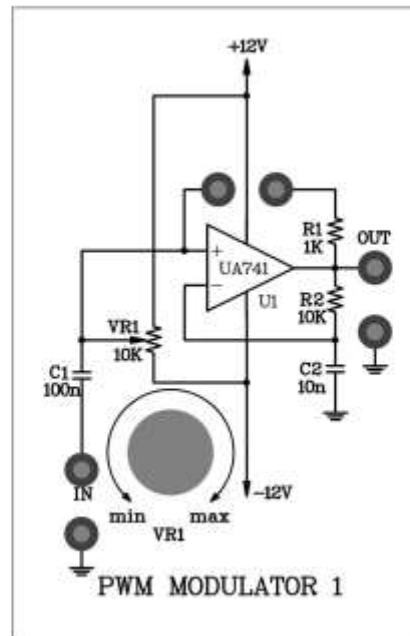
اگر پایه تریگر با سیگنال کلاکی کمتر از 12KHZ تحریک شود. خروجی مدار یک پالس مثبت خواهد بود به این ترتیب با اتصال سیگنال پیام به ورودی پایه control voltage سیگنال PWM در خروجی تایمر 555 ظاهر می شود.

شکل ۱۱-۷ یک مدولاتور عرض پالس با استفاده از دو تایمر LM555 نشان می دهد. در این مدار U_1 و U_2 نقش مولتی مترهای آستانه و منو آستانه را ایفا می کنند. با ترکیب این دو بخش مدار مدولاتور عرض پالس کامل می شود. کلاک تریگر مولتی ویراتور منو آستانه (U_2) از طریق خروجی مولتی ویراتور آستانه (U_1) (پایه ۳) تامین می شود. سیگنال پیام به پایه ۵ control voltage، U_2 (پایه ۵) متصل شده است و سیگنال PWM در خروجی (پایه ۳) ظاهر می شود.



شکل ۱۱-۷ مدولاتور عرض پالس

آزمایش ۱-۳ : مدولاتور پهنای پالس با استفاده از 741



شکل ۱۱-۹

مراحل انجام آزمایش :

- ۱- مدار مدولاتور PWM با LM741 را که در مازول 02 قرار دارد را در قاب آزمایش قرار دهید.
- ۲- پتانسیومتر V_{R1} را طوری تنظیم کنید که ولتاژ پایه ی $V_{in}(+)$ ورودی صفر شود و سپس جامپر ۱ را در مدار قرار دهید.
- ۳- یک موج سینوسی با فرکانس 500HZ و دامنه ی $4V_{p-p}$ به ورودی پیام اعمال نمایید.
- ۴- با استفاده از اسیلوسکوپ شکل موج های ورودی و خروجی (پایه ی ۶) را مشاهده و در جدول ۱۱-۱ ثبت کنید.

۵- جامپر ۱ و سیگنال ورودی را از مدار خارج کرده و توسط پتانسیومتر V_{R_1} ولتاژ پایه ورودی $V_{in}(+)$ را به 6V برسانید.

۶- جامپر ۱ و سیگنال ورودی را دوباره به مدار اعمال نمایید.

۷- با استفاده از اسیلوسکوپ شکل موج‌های ورودی و خروجی (پایه ی ۶) را مشاهده و در جدول ۱-۱۱ ثبت کنید.

۸- جامپر ۱ و سیگنال ورودی را از مدار خارج کنید و توسط پتانسیومتر V_{R_1} ولتاژ پایه ی ورودی $V_{in}(+)$ را به -6V برسانید.

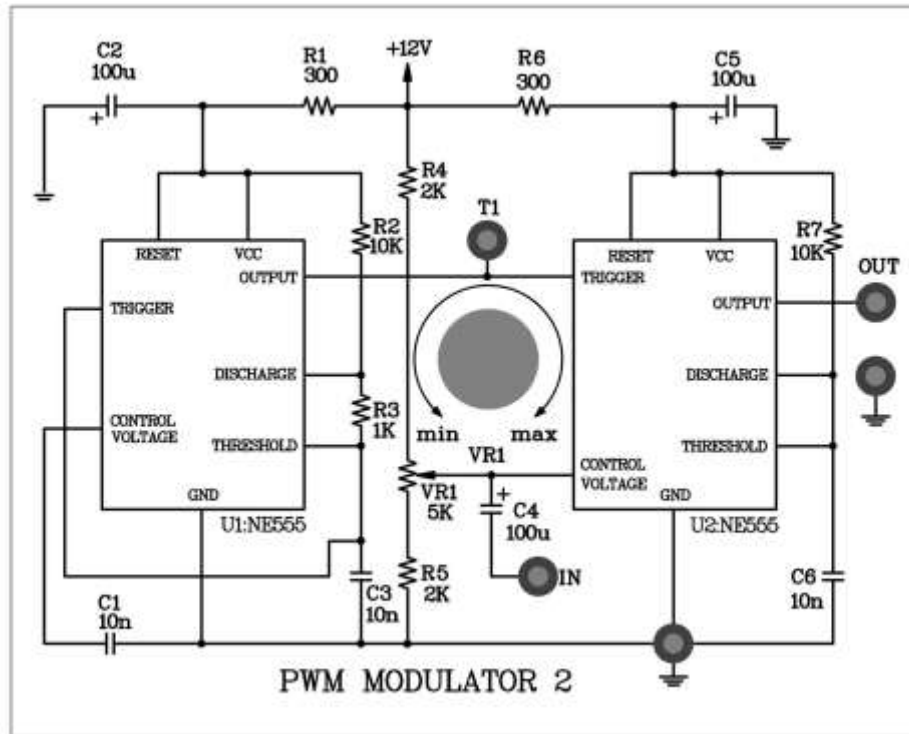
۹- جامپر ۱ و سیگنال ورودی را دوباره به مدار اعمال نمایید.

۱۰- با استفاده از اسیلوسکوپ شکل موج‌های ورودی و خروجی (پایه ی ۶) را مشاهده و در جدول ۱-۱۱ ثبت کنید.

۱۱- جامپر ۱ و سیگنال ورودی را از مدار خارج کنید و توسط پتانسیومتر V_{R_1} ولتاژ پایه ی ورودی $V_{in}(+)$ را روی 0V تنظیم کنید و سپس جامپر ۱ را در مدار قرار دهید.

۱۲- دامنه سیگنال ورودی به 10V پیک تا پیک برسانید و مراحل ۴ تا ۱۰ را تکرار کرده و نتایج را در جدول ۱-۱۱ ثبت کنید.

آزمایش ۲-۳ مدولاتور پهنای پالس با استفاده از LM555



شکل ۱۱-۱۰

- ۱- مدار مدولاتور PWM را که روی ماژول 02 قرار دارد را در قاب آزمایش قرار دهید.
- ۲- یک موج مربعی با فرکانس 1KHZ و دامنه $5V_{p-p}$ را به ورودی پیام اعمال نمایید.
- ۳- با استفاده از اسیلوسکوپ شکل موج‌های نقاط T1 و خروجی را مشاهده کرده البته V_{R1} را طوری تنظیم کنید تا یک موج مستطیلی (نه با چرخه‌ی کاری ۵۰٪) داشته باشیم.
- ۴- مد کوپلینگ اسیلوسکوپ را در روی حالت DC قرار دهید. شکل موج خروجی را در جدول ۱۱-۳ ثبت کنید.
- ۵- یک موج مثلثی به ورودی اعمال نمایید و مرحله ۴ را تکرار کنید.

۶- یک موج سینوسی به ورودی اعمال نمایید و مرحله ۴ را تکرار کنید.

۷- دامنه‌ی ورودی را به $3V_{p-p}$ برسانید و مراحل ۴ تا ۶ را تکرار کرده و نتایج را در جدول ۱۱-۴ ثبت کنید.

جدول ۱۱-۱. $V_m = 6V_{p-p}$, $f_m = 500\text{HZ}$

بایاس dcVin (+)	شکل موج ورودی	شکل موج خروجی
0 V		
6 V		
-6 V		

جدول ۱۱-۲. $V_m = 10V_{p-p}$, $f_m = 500HZ$

بایاس dcVin (+)	شکل موج ورودی	شکل موج خروجی
0V		
6V		
-6V		

جدول ۱۱-۳. $V_m = 5V_{p-p}$, $f_m = 1KHZ$

سیگنال ورودی	شکل موج خروجی شکل موج ورودی
موج مربعی	
موج مثلثی	
موج سینوسی	

جدول ۴-۱۱. $V_m = 3V_{p-p}$, $f_m = 1\text{KHZ}$

سیگنال ورودی	شکل موج خروجی شکل موج ورودی
موج مربعی	
موج مثلثی	
موج سینوسی	

فصل چهارم

دمدولاتورهای PWM

اهداف :

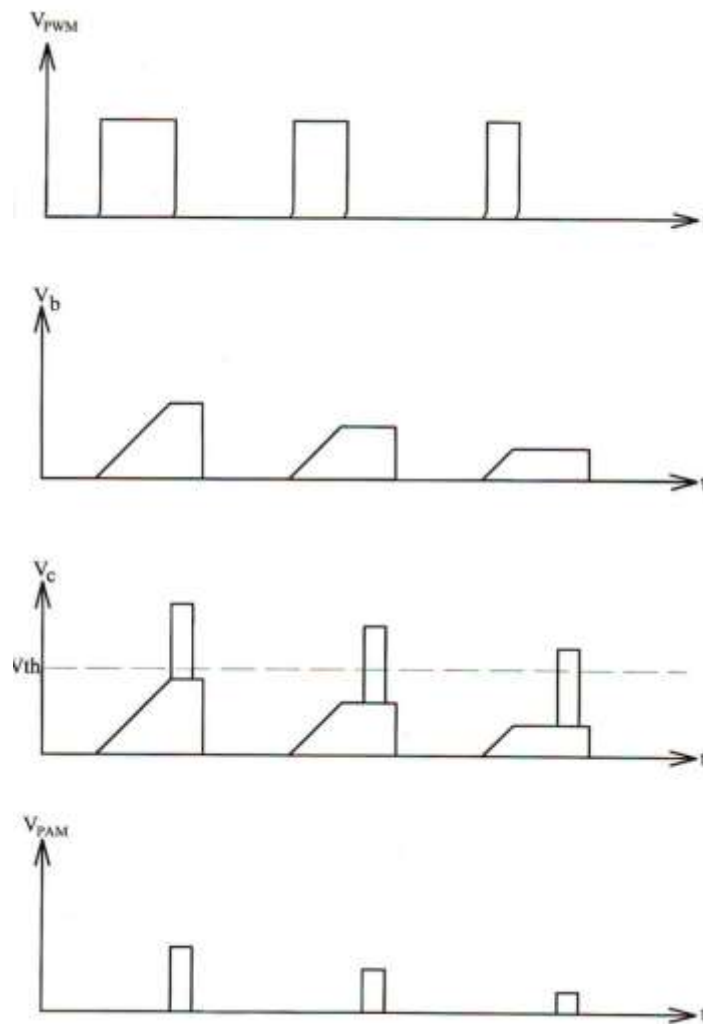
- فهمیدن شیوه عملکرد دمدولاتور عرض پالس
- پیاده سازی یک دمدولاتور عرض پالس با استفاده از یک آشکار ساز تولید شده

مقدمه

مدولاسیون عرض پالس در فصل ۱۱ بطور مفصل توضیح داده شده است. مدارهای تولید کننده موج مربعی و مولتی ویراتور مونو آستابل استفاده شده تا سیگنال PWM تولید شود. برای بازیافت کردن سیگنال صوتی اصلی از یک سیگنال PWM یک دیکودر یا دمدولاتور در مدار گیرنده نیاز است.

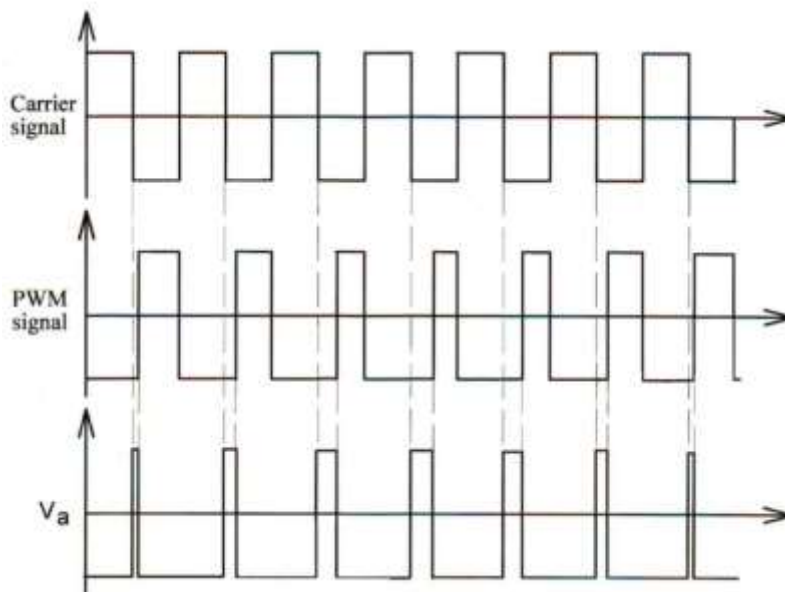
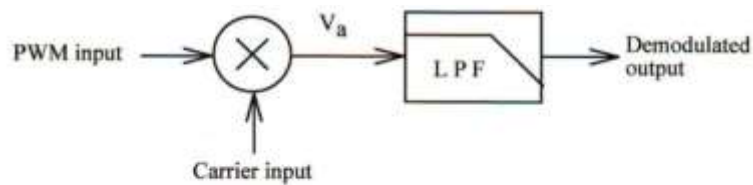
دو تکنیک عمومی برای دمدولاسیون عرض پالس وجود دارد. یک روش اینکه سیگنال PWM باید ابتدا تبدیل به یک سیگنال مدوله شده دامنه پالس شود و سپس از یک فیلتر پایین گذر عبور داد. با فرض اینکه سیگنال PWM نشان داده شده در شکل ۱۲-۱ (الف) به یک انتگرال گیر و مدار نگه دارنده اعمال شود. وقتی لبه مثبت پالس ظاهر شود انتگرال گیر یک سیگنال رمپ تولید می کند که دامنه اش با عرض پالس متناسب است پس از لبه منفی ، مدار نگه دارنده بیشترین شیب ولتاژ را برای داشتن یک دوره تناوب نگه می دارد و سپس ولتاژ خروجی را مجبور به صفر شدن می کند. بصورت نشان داده شده در شکل ۱۲-۱ (ب) شکل موج V_C نشان داده شده در شکل ۱۲-۱ (پ) مجموعی از V_B و یک دنباله ای از دامنه ثابت و پالس با عرض ثابت تولید شده توسط دمدولاتور می باشد. این سیگنال سپس به ورودی مدار برش دهنده اعمال می شود که قسمت پایین سیگنال ولتاژ تریشلد V_{Th} را برش می دهد و باقیمانده در خروجی باقی می ماند.

بنابراین در خروجی مدار برش دهنده یک سیگنال PWM موجود می‌باشد که دامنه اش متناسب با عرض سیگنال PWM می‌باشد. بصورتی که در شکل ۱-۱۲ (ت) نشان داده شده است. در نهایت، سیگنال PAM از یک فیلتر پایین گذر عبور داده می‌شود و سیگنال اصلی بدست می‌آید. که به ترتیب شکل های ۱-۱۲ (الف) تا ۱-۱۲ (ت) در زیر نشان داده شده است.



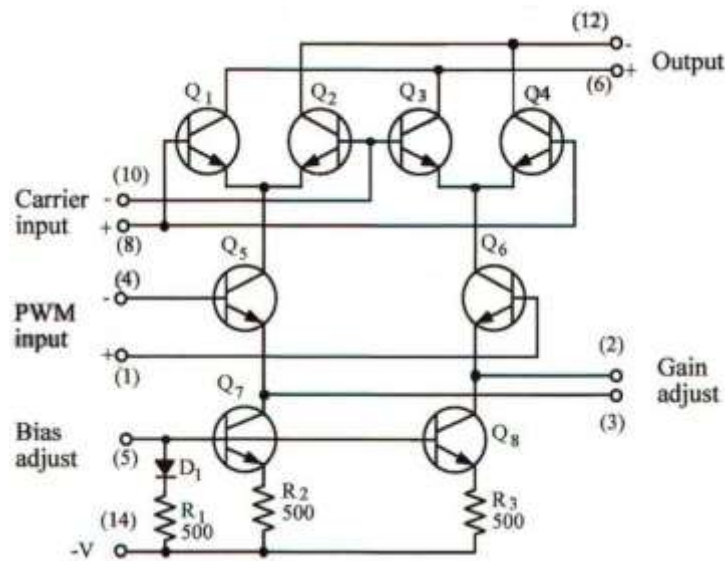
شکل ۱-۱۲. PWM به PAM

تکنیک دیگر برای دمدولاسیون کردن یک سیگنال PWM در شکل ۱۲-۲ نشان داده شده است. که از یک آشکار تولید شده و یک فیلتر پایین گذر تشکیل شده است. سیگنال های حامل و PWM به ورودی های آشکار ساز تولیدی اعمال می کنیم و سپس یک رشته پالس متوالی که پهنای پالس هایش با پهنای پالس PWM نسبت معکوس دارد در خروجی ظاهر می شود. پس از این مرحله سیگنال V_a از یک فیلتر پایین گذر عبور داده شده و در نهایت سیگنال دمدوله شده در خروجی بدست خواهد آمد.



شکل ۱۲-۲. نمایش دمدولاسیون PWM با آشکار ساز تولیدی

شکل ۱۲-۳ مدار داخلی تراشه MC1496 را نمایش می دهد. زوج تقویت کننده های تفاضلی Q_5 و Q_6 به منظور راه اندازی تقویت کننده های تفاضلی Q_1 و Q_2 و Q_3 و Q_4 به کار رفته است.



شکل ۱۲-۳. مدار داخلی MC1496

ترانزیستورهای Q_7 و Q_8 یک منبع جریان را تشکیل داده اند که جریان تقویت کننده های Q_5 و Q_6 را تامین می نماید.

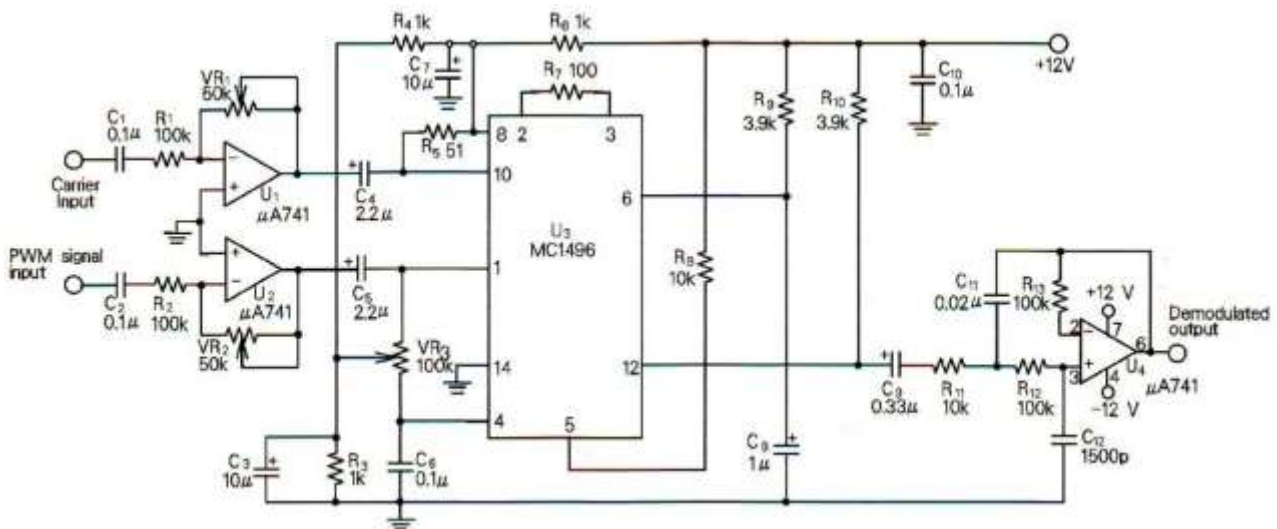
گین کلی تراشه MC1496 به وسیله مقاومت های از خارج متصل شده بین پایه های ۲ و ۳ کنترل خواهد شد.

برای دمدوله کردن سیگنال PWM، سیگنال مدوله PWM میبایست به پایه های ۱ و ۴ اعمال شود و سیگنال حامل به پایه های ۸ و ۱۰ جریان بایاس به عهده پایه ۵ می باشد که بوسیله یک مقاومت سری با منبع تغذیه تامین خواهد شد. چون این دمدولاتور دارای ۲ خروجی می باشد از یکی بعنوان خروجی آشکار ساز و از دیگری به عنوان AGC (کنترلر گین اتوماتیک) استفاده شده است.

دمدولاتور PWM مبتنی بر تراشه MC1496 در شکل ۱۲-۴ نمایش داده شده است. این مدار شباهت زیادی به آشکار سازهای AM، SSB، DSB-SC دارد. تقویت کننده های U_1 و U_2 وظیفه کنترل دامنه سیگنال ورودی

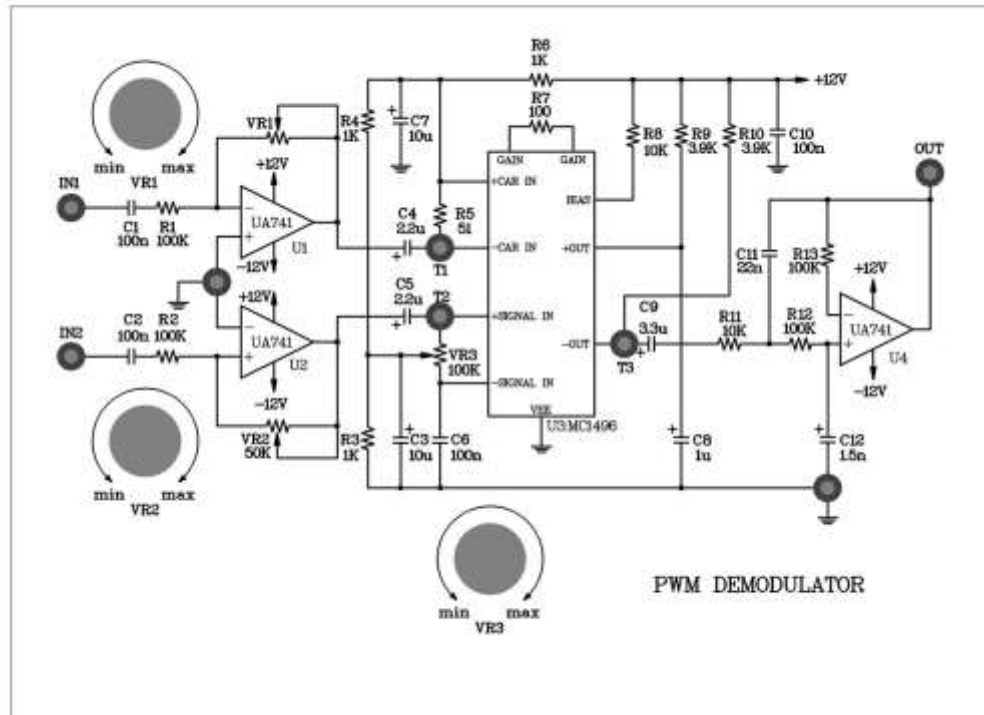
مدوله PWM را بر عهده دارند. همچنین این دو تقویت کننده وظیفه نگه داشتن دامنه حامل ما بین دو سطح ولتاژ $300mV_{P-P}$ و $1400mV_{P-P}$ را نیز به عهده خواهند داشت (این عمل باعث خواهد شد که آشکار ساز در ناحیه خطی عمل نماید)

مقاومت R_7 که بین پایه های ۲ و ۳ تراشه MC1496 قرار داده شده است وظیفه کنترل گین را دارد. همچنین خازنهای C_1 و C_2 و C_4 و C_5 و C_9 وظیفه حذف مولفه های dc سیگنال را بر عهده دارند. مقاومتهای متغیر VR_1 و VR_2 وظیفه کنترل گین تراشه های U_1 و U_2 را بر عهده دارند. هم چنین VR_3 وظیفه کنترل دامنه سیگنال PWM اعمال شده در ورودی به مدار آشکار ساز را عهده دار است. در انتها نیز تقویت کننده U_4 به عنوان یک فیلتر پایین گذر درجه ۲ (فیلتر فعال) فرکانس های پایین را عبور خواهد داد.



شکل ۱۲-۴ دمدولاتور PWM

آزمایش ۴-۱: دمدولاتور پهنای پالس



شکل ۱۲-۵

مراحل انجام آزمایش:

- ۱- مدار دمدولاتور PWM که در ماژول 02 قرار دارد را در قالب آزمایش مدار قرار دهید.
- ۲- مدار دمدولاتور PWM آزمایش ۱۱-۲ را بسته و یک موج سینوسی با دامنه $3V_{p-p}$ و فرکانس 700Hz به ورودی پیام اعمال نمایید.
- ۳- نقطه ی T_1 در مدار دمدولاتور PWM را به ورودی حامل مدار دمدولاتور PWM(IN1) اعمال نمایید.
- ۴- سیگنال خروجی مدار مولاتور PWM را به ورودی مدار دمدولاتور PWM(IN2) اعمال نمایید.

۵- پتانسیومتر V_{R1} را تغییر دهید تا یک سیگنال خروجی با حداقل اغتشاش در خروجی آپ امپ U_1 بدست آوریم.

۶- ولوم ها را در مدار مدولاتور و دمودولاتور تنظیم کنید تا یک سیگنال دمدوله شده مطمئن در خروجی بدست آورید.

۷- با استفاده از اسیلوسکوپ ، شکل موج های ورودی PWM و خروجی U_1 و خروجی U_2 و خروجی MC1496 (پایه ی ۱۲) و سیگنال دمدوله شده PWM و سیگنال حامل را مشاهده و در جدول ۱-۱۲ ثبت کنید .

۸- با حفظ تمام شرایط و فقط تغییر فرکانس ورودی به 500Hz مراحل ۷ تا ۵ را تکرار کرده و نتایج را در جدول ۱۲-۲ ثبت کنید .

جدول ۱-۱۲. $V_m = 3V_{P-P}$ و $f_m = 700 \text{ Hz}$.

نقطه تست	شکل موج خروجی
ورودی حامل	
ورودی PWM	
خروجی U_1	
خروجی U_2	
خروجی MC1496 (پین ۱۲)	
خروجی سیگنال دمدوله شده PWM	

جدول ۱۲-۲. $V_m = 3V_{p-p}$ و $f_m = 500\text{HZ}$

نقطه تست	شکل موج خروجی
ورودی کریر	
ورودی PWM	
خروجی U1	
خروجی U2	
خروجی MC1496 (پین ۱۲)	
سیگنال خروجی دمدوله شده PWM	

فصل پنجم

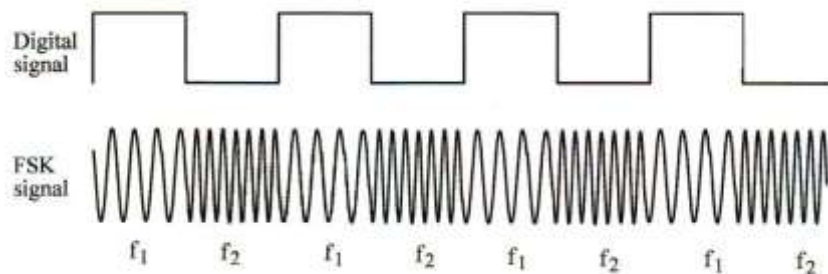
مدولاتور FSK

اهداف :

- بررسی اساس کار مدولاتورهای FSK
- اندازه گیری سیگنال FSK
- تشکیل یک مدولاتور FSK به کمک تراشه XR2206

در مخابرات دیجیتال ریپیترها می توانند سیگنال های دیجیتال را تولید و آن ها را در مقابل نویز توانا سازند. اما سیگنالهای دیجیتال عموماً در قطعات فرکانس بالا دچار اعوجاج شده و در انتقال اطلاعات در فواصل دور به سادگی افت می کنند . بمنظور از بین بردن این عیب از یک نوع مدولاسیون استفاده می شود .

مدولاسیون FSK (Frequency Shift Keying) یک نوع از انواع مدولاسیون های FM است که به ازای سیگنال دیجیتالی ورودی ، دو فرکانس مختلف در خروجی را تغییر می دهد. ارتباط بین سیگنال دیجیتال ورودی و سیگنال خروجی مدولاتور FSK در شکل ۱-۱۳ نشان داده شده است :



شکل ۱-۱۳ . رابطه ی بین سیگنال های FSK و دیجیتال

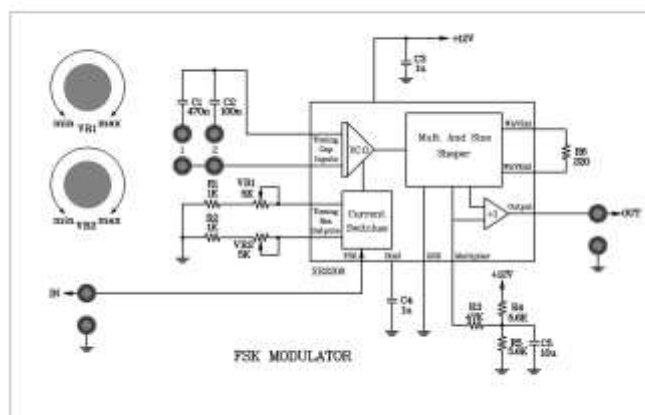
فرکانس FSK معادل f_1 متناظر با بخش High سیگنال دیجیتال و فرکانس FSK معادل f_2 متناظر با بخش Low سیگنال دیجیتال در این شکل است .

تکنیک مدولاسیون FSK در سطح وسیعی در مخابرات دیجیتال کاربرد دارد .

عموماً در مدولاسیون FSK به ازای ورودی 1 دیجیتال ، فرکانس سیگنال خروجی معادل 2124Hz و به ازای ورودی 0 معادل 2975Hz است .

در خطوط تلفن عموماً فرکانس 1 را معادل 1070Hz و فرکانس 0 را معادل 1270Hz قرار می‌دهند . به فرکانس اختلاف ما بین فرکانسهای High و Low فرکانس gap گفته می‌شود که اغلب در حدود 200Hz است .

در این بخش ما از دو فرکانس 500Hz و 2KHz برای مدولاسیون FSK استفاده می‌نمائیم . یک اسیلاتور کنترل شده با ولتاژ (VCO) به سادگی می‌تواند این دو فرکانس را تولید نماید. شکل زیر یک نمونه مدار کاربردی مدولاتور FSK با استفاده از تراشه XR2206 را نشان می‌دهد :



شکل ۱۳-۲ . مدار مدولاتور FSK

فرکانس تولید شده توسط این مدولاتور از رابطه زیر حاصل می‌شود :

VCC تغذیه اصلی مدار است که می‌بایست به پایه ی شماره ۴ وصل شود . Vin ولتاژ وارد شده به Current switch و سپس VCO است که میبایست به پایه شماره ۹ متصل شود . اگر VCC را همواره ثابت در نظر بگیریم ، مقادیر VR1 و VR2 و Vin تصمیم گیرنده در ارتباط با تولید دو فرکانس 500Hz و 2KHz در خروجی این مدولاتور هستند .

محدودیت‌های این مدولاتور در زیر آمده است :

$$0 \leq VR1 \text{ و } VR2 \leq 5K$$

$$0 \leq Vin \leq Vcc$$

$$10(v) \leq Vcc \leq 26 (v)$$

به منظور تولید دقیق فرکانس‌های 500Hz و 2KHz سیگنال دیجیتال ورودی (برای مثال سیگنال TTL) می‌بایست به سیگنالی مناسب برای ورود به VCO تبدیل شود .

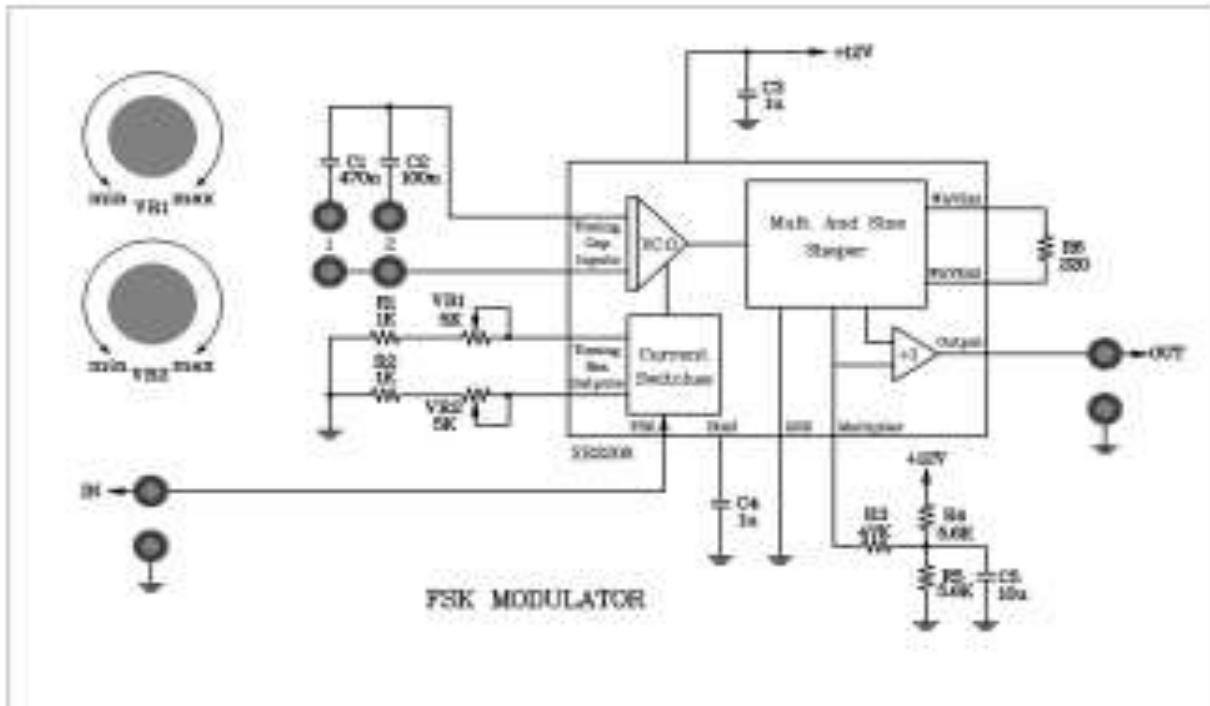
$$f_1 = \frac{1}{(R_1 + V_{R1})C}$$

$$f_2 = \frac{1}{(R_2 + V_{R2})C}$$

بنابراین با تنظیم مناسب VR1 و VR2 در سطوح سیگنال 1 و 0 می‌توان فرکانس‌های 500Hz و 2KHz را دقیقاً در خروجی VCO تولید نمود .

هر دو OpAmp در این مدولاتور تشکیل فیلتر پایین گذر می دهند ؛ این دو فیلتر باعث تغییر شکل سیگنال FSK از حالت مربعی به حالت سینوسی می شوند حال سیگنال تولید شده FSK از طریق میکسر و آنتن می تواند در رنج فرکانسی RF مورد استفاده قرار گیرد .

آزمایش ۵-۱: مدولاتور FSK



شکل ۱۳-۴

مراحل انجام آزمایش :

- ۱- مدار مدولاتور FSK را که در مازول 03 قرار دارد را روی قاب آزمایش قرار دهید. جامپر ۲ را در مدار قرار دهید.

۲- یک ولتاژ 5V dc به ورودی سیگنال دیجیتال (IN) اعمال نمایید. با استفاده از اسیلوسکوپ ، فرکانس خروجی XR2206 را مشاهده و پتانسیومتر V_{R2} را طوری تنظیم کنید تا فرکانس 2kHz بدست آید و سپس نتایج را در جدول ۱-۱۳ ثبت کنید.

۳- با استفاده از اسیلوسکوپ، سیگنال خروجی FSK را مشاهده و در جدول ۱-۱۳ ثبت کنید.

۴- ورودی سیگنال دیجیتال (IN) را به زمین متصل نمایید. با استفاده از اسیلوسکوپ، فرکانس خروجی XR2206 را مشاهده کنید و پتانسیومتر V_{R1} را طوری تنظیم کنید تا فرکانس 2.2KHZ بدست آید و نتیجه را در جدول ۱-۱۳ ثبت کنید.

۵- با استفاده از اسیلوسکوپ سیگنال خروجی FSK را مشاهده و در جدول ۱-۱۳ ثبت کنید.

۶- خروجی TTL منبع تولید سیگنال را روی 100HZ تنظیم کنید و سپس خروجی منبع را به ورودی سیگنال دیجیتال متصل نمایید. با استفاده از اسیلوسکوپ، شکل موج ورودی مدار و خروجی FSK را مشاهده و ثبت کنید.

۶- فرکانس خروجی منبع تولید کننده سیگنال را به 5KHz تغییر داده و مرحله ۶ را تکرار کنید.

جدول ۱-۱۳

سیگنال ورودی	شکل موج خروجی FSK
0v	
5v	

جدول ۲-۱۳

فرکانس ورودی	100HZ
شکل موج ورودی	
خروجی FSK 50Hz	
خروجی FSK 100Hz	

فصل ششم

دمدولاتور FSK

اهداف :

- تشریح آشکار سازی FSK به کمک حلقه قفل فاز (PLL)
- بررسی عملکرد OpAmp به عنوان مقایسه کننده برای آشکار سازی سیگنال FSK

مقدمه

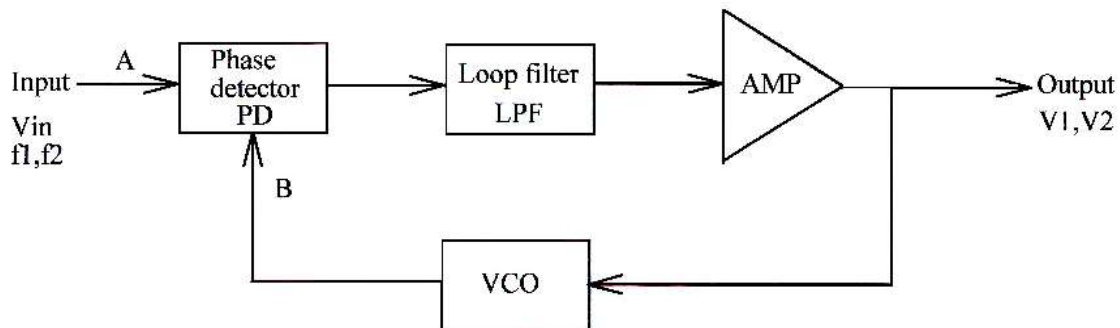
در بخش قبل توانستیم سیگنال دیجیتال را به سیگنال FSK تبدیل نماییم . در گیرنده برای آشکار سازی سیگنال دیجیتال مدوله شده در فرستنده ، دمدولاتور FSK لازم است . حلقه قفل فاز (PLL) انتخابی مناسب برای این هدف می باشد.

PLL با استفاده از دنبال کردن فرکانس و فاز سیگنال ورودی سیستم را کنترل می کند. PLL کاربرد فراوان در مخابرات آنالوگ و دیجیتال دارد . به عنوان مثال در مدولاتور AM و FM انتخاب کننده فرکانس و گیرنده های تلویزیون های رنگی کاربرد وسیع دارد.

اساساً PLL از ۳ بلوک اصلی تشکیل شده است :

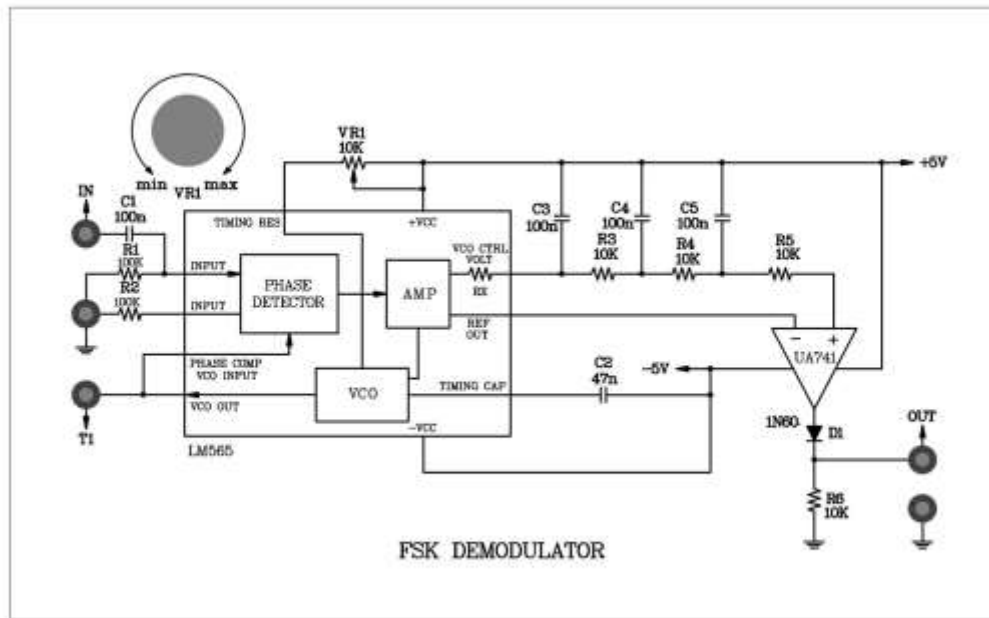
۱. آشکار ساز فاز
۲. فیلتر پایین گذر و تقویت کننده
۳. اسیلاتور کنترل شده با ولتاژ

شکل ۱۴-۱ بلوک دیاگرام کلی PLL را نشان می دهد :



شکل ۱۴-۱. بلوک دیاگرام PLL

در این آزمایش ما از تراشه حلقه قفل فاز LM565 به عنوان دمدولاتور FSK استفاده نموده ایم . این تراشه در فرکانس های کمتر از 500KHz به خوبی کار می کند . تغذیه مورد نیاز ± 5 ولت می باشد که از پایه های شماره ۱۰ (VCC) و شماره ۱ (VEE) تأمین می شود . سیگنال مدوله FSK به ورودی آشکار ساز وارد می شود .



شکل ۱۴-۲

پایه شماره ۶ ولتاژ مرجع برای مقایسه کننده را تهیه می کند .

ترکیب مقاومت داخلی R_x و خازن خارجی C_3 بعنوان فیلتر پایین گذر عمل می کند. ولوم VR_1 و خازن C_2 تعیین کننده فرکانس free-running در خروجی VCO می باشد.

به سیگنال خروجی VCO سیگنال free-running گفته می شود . در این آزمایش فرکانس سیگنال free-running از رابطه زیر قابل محاسبه است :

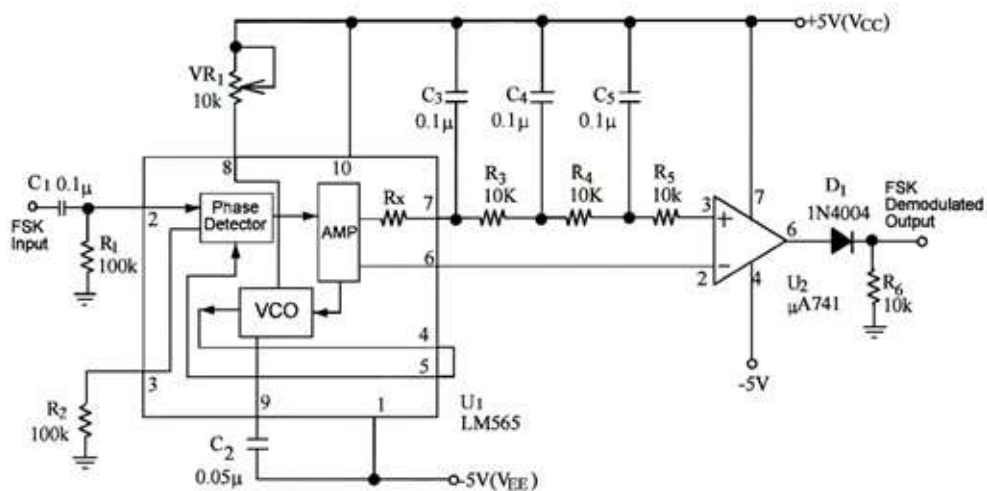
$$f_o = \frac{1.2}{4 VR_1 C_2}$$

زمانی که فرکانس ورودی f_i در مقابل فرکانس VCO یعنی f_0 قرار گیرد ممکن است عمل قفل رخ دهد. فرکانس قفل در این آزمایش از رابطه زیر محاسبه می‌شود:

$$f_L = \frac{8 f_0}{V_C} = \frac{8 f_0}{V_{CC} - V_{EE}}$$

در این مدار مقاومت‌های R_3 ، R_4 ، R_5 و خازنهای C_3 ، C_4 ، C_5 به عنوان فیلتر پایین گذر برای کاهش ریپل خروجی دمدولاتور FSK که با سیگنال TTL تطابق دارد.

شکل ۱۴-۲ دمدولاتور FSK استفاده شده در این آزمایش را نشان می‌دهد:



شکل ۱۴-۳. دمدولاتور FSK

آزمایش ۶-۱: دمدولاتور FSK

مراحل انجام آزمایش:

- ۱- مدار دمدولاتور FSK را که روی ماژول 03 قرار دارد را روی قاب آزمایش قرار دهید. ورودی عمودی اسیلوسکوپ را به خروجی $VCO (T_1)$ متصل نمایید. فرکانس خروجی LM565 را مشاهده و پتانسیومتر V_{R1} را طوری تنظیم کنید تا به فرکانس 2.1KHZ برسد.
- نکته: درون هر IC، LM565 یک مدار VCO قرار دارد که در اینجا از آن برای تنظیم فرکانس میانی (فرکانس میانگین، فرکانس بالا و پایین) و در نتیجه تنظیم دیوتی سیکل پالس مربعی خروجی FSK به کار می‌رود.
- ۲- یک موج سینوسی با فرکانس 2kHz و دامنه $2 V_{P-P}$ را به ورودی (IN) اعمال نمایید. ورودی عمودی اسیلوسکوپ را روی حالت DC قرار دهید و شکل موج خروجی را مشاهده کرده و نتیجه را در جدول ۱۴-۱ ثبت کنید.
- ۳- فرکانس را به 2.2KHZ برسانید و مرحله ۲ را تکرار کنید.
- ۴- مدار دمدولاتور FSK را کامل کرده و یک موج مربعی TTL با فرکانس 50HZ به ورودی دمدولاتور FSK اعمال نمایید.
- ۵- خروجی دمدولاتور FSK را به ورودی دمدولاتور FSK متصل نمایید. با استفاده از اسیلوسکوپ شکل موج خروجی دمدوله شده را مشاهده و در جدول ۱۴-۲ ثبت کنید.

جدول ۱۴-۱. $V_{in} = 2 V_{P-P}$

فرکانس ورودی	شکل موج خروجی
2 KHZ	
2.2 KHZ	
T1 VCO	

جدول ۱۴-۲

فرکانس ورودی مدولاتور FSK	شکل موج ورودی قبل از مدولاسیون	شکل موج ورودی دمدولاتور FSK	شکل موج خروجی دمدولاتور FSK
50 HZ			

فصل هفتم

سیستم CVSD

اهداف

- مطالعه درباره اساس سیستم DM
- مطالعه در باره اساس سیستم CVSD
- بیان کردن مدولاتور و دمدولاتور CVSD

مقدمه

مدولاسیون دلتا (DM) تکنیکی از نوع کدینگ پالس ها می باشد که به نسبت مدولاسیون PCM به سخت افزاری به مراتب ساده تری نیازمند است. همچنین به جای ارسال نمونه های خودش درگیر ارسال اختلاف مابین هر نمونه سیگنال آنالوگ و هر سیگنال از قبل فرستاده شده است.

DM خطی

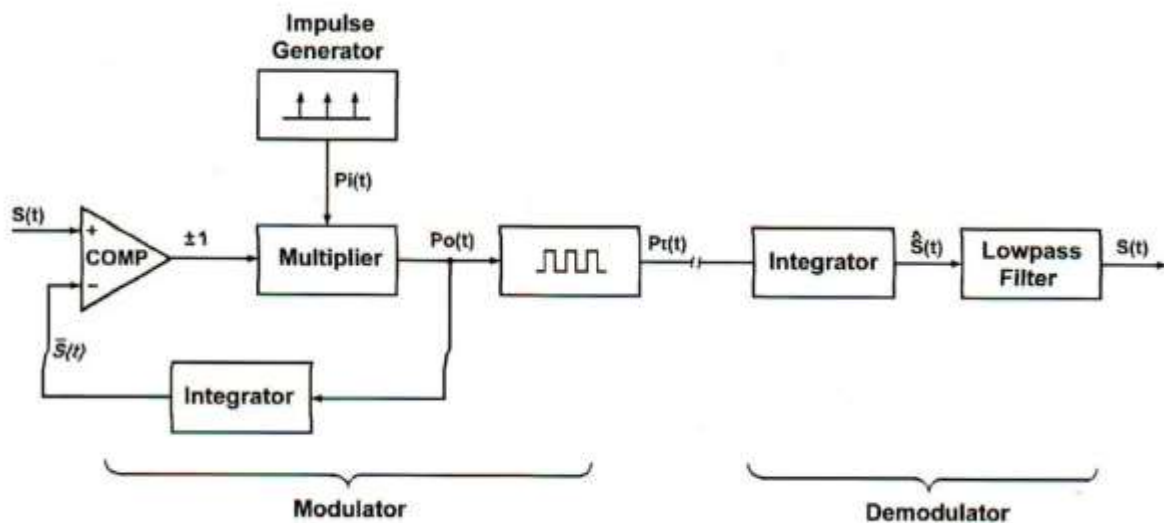
شکل های ۱-۱۵ و ۲-۱۵ بلوک دیاگرام و شکل موج های یک سیستم DM خطی را نشان می دهد. شیوه عملکرد یک سیستم DM در زیر توضیح داده شده است.

۱- سیگنال ورودی آنالوگ بعد از نمونه برداری بصورت یک سیگنال پله ای در می آید، که توسط مجموعه ای از ایمپالس های وزن دار دلتا (Δ) تولید شده است. اگر سیگنال ورودی آنالوگ $S(t)$ از سیگنال نمونه برداری شده $\overline{S}(t)$ بزرگتر باشد. خروجی مقایسه گر $\Delta(t), +1$ می شود و در خروجی ضرب کننده ($P_O(t)$) یک ایمپالس مثبت ظاهر می شود انتگرال گیر موجود از ایمپالس مثبت انتگرال می گیرد و $\overline{S}(t)$ توسط Δ افزایش خواهد یافت .

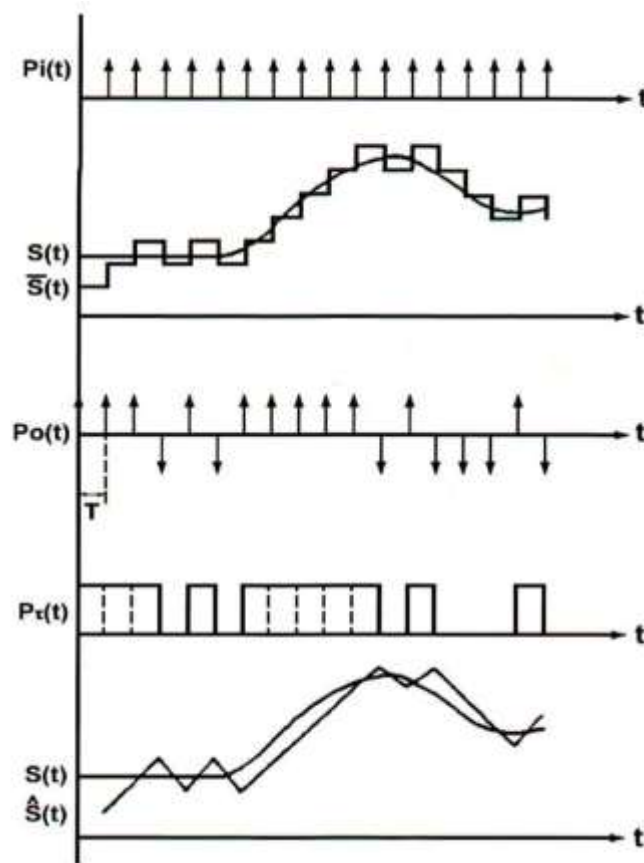
۲-۱ اگر $S(t) < \overline{S(t)}$ باشد خروجی مقایسه گر در سطح LOW قرار می گیرد و خروجی مقایسه گر $\Delta(t)$ ، -1 می شود و خروجی ضرب کننده $(P_o(t))$ یک ایمپالس منفی ظاهر می شود. انتگرال گیر از ایمپالس منفی انتگرال می گیرد و $\overline{S(t)}$ توسط Δ کاهش می یابد.

۳- خروجی ضرب کننده $P_o(t)$ ترکیبی از ایمپالس های منفی و مثبت می باشد. ایمپالس مثبت یک سطح HIGH را بوجود می آورد و ایمپالس منفی یک سطح LOW را بوجود می آورد. بنابراین سیگنال خروجی $(P_\tau(t))$ DM یک رشته اطلاعات باینری می شود.

۴- در دمدولاتور، از رشته اطلاعات دریافت شده $P_\tau(t)$ توسط انتگرال گیر انتگرال گرفته می شود که مشخصات یکسانی با انتگرال گیر مدولاتور دارد انتگرال گیر یک خروجی آنالوگ $\widehat{S}(t)$ تولید می کند. که بسیار شبیه سیگنال $S(t)$ است. فیلتر پایین گذر مولفه دنداناره ای را از $\widehat{S}(t)$ خارج کرده و سیگنال آنالوگ $S(t)$ را بازسازی می کند.

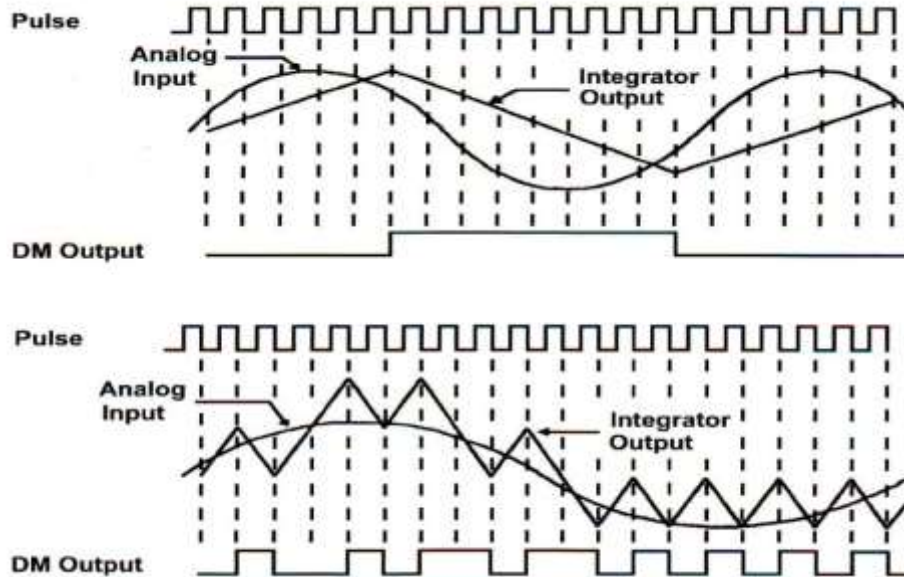


شکل ۱۵-۱. بلوک دیاگرام سیستم DM



شکل ۱۵-۲. شکل موج های سیستم DM

در سیستم های DM عملی پله های سیگنال تقریب زده شده (نمونه برداری شده) بصورت ایمپالس های انتگرال گیری شده نشان داده نمی شود. چون در عمل تولید ایمپالس غیر ممکن است در عوض سیگنال تقریب زده شده معمولاً از قطعه موج های مثلثی تشکیل شده است که توسط پالس های گرفته شده با دوره تناوب های محدود تولید شده است. که در شکل ۱۵-۳ در جایی که سیگنال پالس تولید شده توسط یک ژنراتور پالس نشان داده شده است.



شکل ۱۵-۳. سیگنال های ورودی و نمونه های انتگرال گیری شده

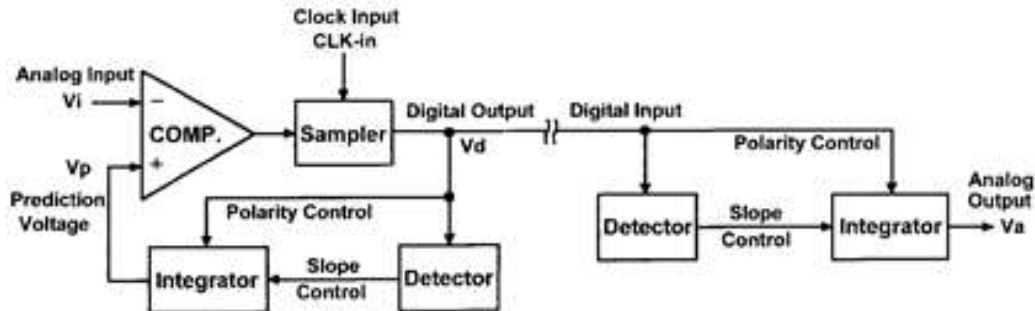
چون شیب انتگرال گیر و فرکانس قطار پالس در یک سیستم خاص ثابت هستند ماکزیمم مقدار افزایش یا کاهش سیگنال تقریب ثابت است. اگر شیب سیگنال ورودی بسیار زیاد باشد سیگنال تقریب (نمونه) نمی تواند آن را تعقیب کند. این اثر اثر شیب بیش از حد (SLOPE-OVER LOADING) نامیده می شود که در شکل ۱۵-۳(الف) نشان داده شده است. در شکل ۱۵-۳(ب) شیب سیگنال ورودی بسیار کم است بنابراین موج های دندانانه اری ای با فرکانس بالا به سیگنال تقریب اضافه می شود.

این نقیصه در هنگام استفاده از سیستم مدولاسیون دلتا با شیب متغیر پیوسته می تواند بوجود آید.

بطور اساسی شیب انتگرال گیر در سیستم CVSD، پیوسته با شیب سیگنال ورودی افزایش و کاهش می یابد.

سیستم CVSD (Continuously variable slope delta)

بلوک دیاگرام سیستم CVSD در شکل ۴-۱۵ نشان داده شده است. شیوه عملکرد سیستم CVSD در قسمت زیر توضیح داده شده است.

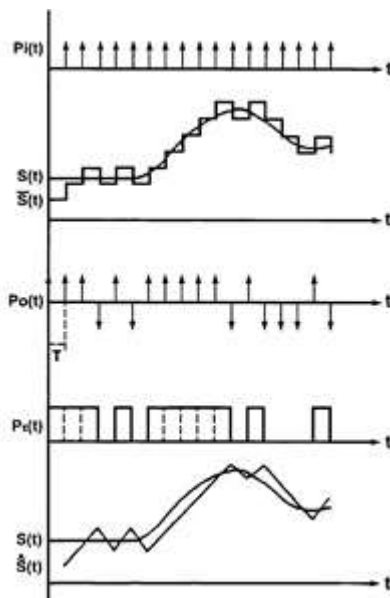


شکل ۴-۱۵. بلوک دیاگرام سیستم CVSD

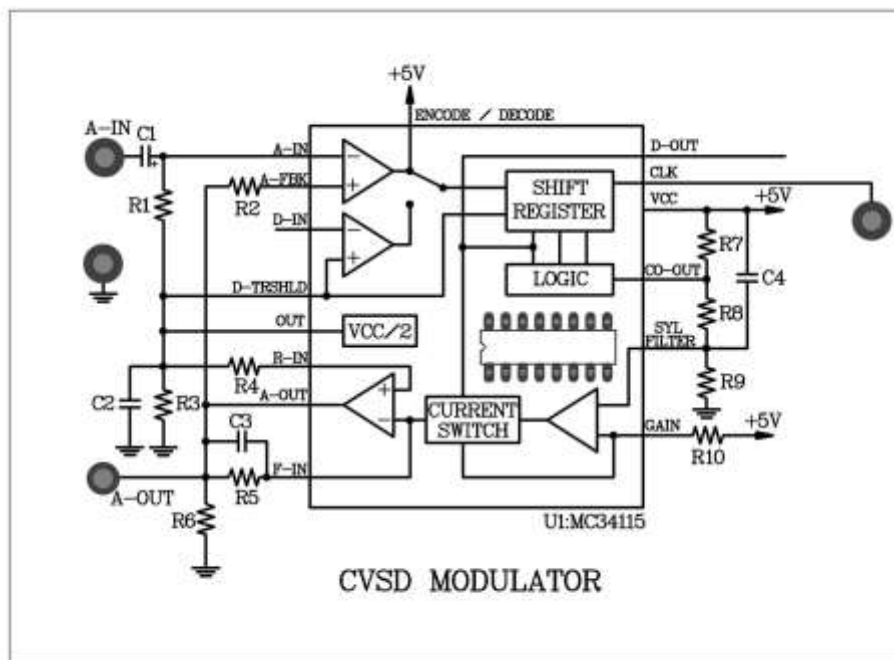
- ۱- وقتی آشکار ساز n تا $1S$ یا $0S$ متوالی را در خروجی DM نمایش می‌دهد همانند شکل (الف) ۳-۱۵، ما می‌فهمیم که شیب انتگرال گیر بسیار کم می‌باشد و شیب بطور پیوسته به یک مقدار مناسب افزایش می‌یابد.
- ۲- وقتی آشکار ساز n عدد داده متفاوت متوالی را نشان می‌دهد. همانند شکل (ب) ۳-۱۵، ما می‌فهمیم که شیب انتگرال گیر بسیار زیاد است و شیب بطور پیوسته به یک مقدار مناسب کاهش یافته است.
- ۳- مقدار n در آزمایش، با ۳ مشخص شده است.

توضیح مدار عملی

شکل ۵-۱۵ و ۶-۱۵ مدولاتور و دمدولاتور CVSD عملی را نشان می‌دهد.



شکل ۱۵-۵. مدولاتور CVSD



شکل ۱۵-۶. دمدولاتور CVSD

۱- مدولاتور CVSD

الف- برای مدولاسیون CVSD، ورودی M/\bar{I} تراشه U_1 باید به ولتاژ 5V وصل گردد. A-IN ورودی آنالوگ است. D-OUT خروجی دیجیتال مدوله شده می باشد. پایه CLK-OUT تراشه U_2 خروجی پالس ساعت می باشد. فرکانس پالس ساعت در محدوده 50KHZ تا 100KHZ قابل تنظیم می باشد. هر نمونه در لبه منفی پالس ساعت رخ می دهد.

ب- مولفه dc سیگنال ورودی آنالوگ روی پایه A-IN توسط خازن کوپلاژ C_1 حذف می شود و مقدار پیک تا پیک مولفه ac نباید از 4V بیشتر یا کمتر باشد.

ج- سیگنال مدوله شده روی پایه D-OUT یک قطار پالس با سطح TTL می باشد.

۲- دمدولاتور CVSD

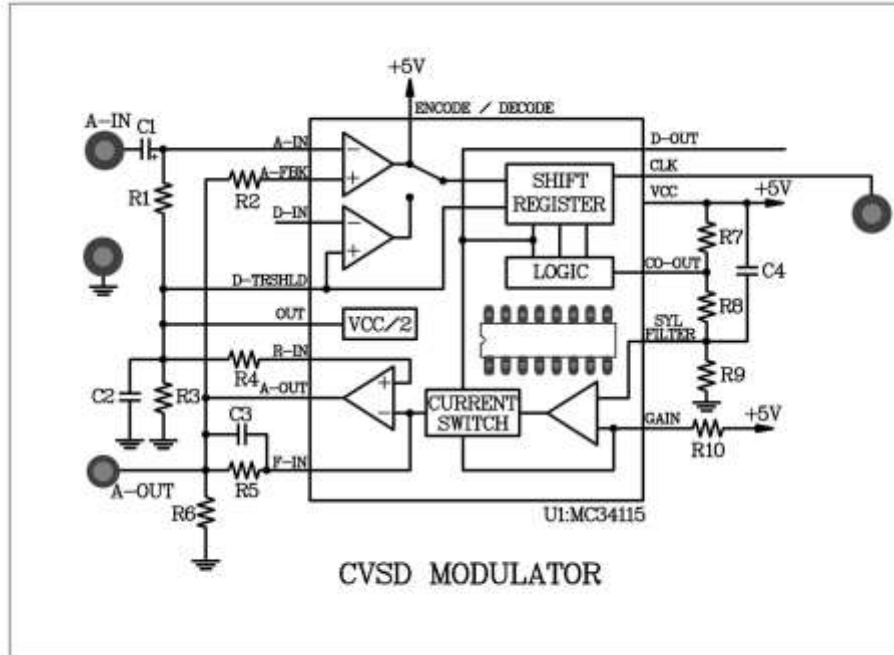
الف- پایه D-IN ورودی سیگنال مدوله شده CVSD می باشد و پایه DMA-OUT خروجی سیگنال بازسازی شده آنالوگ می باشد.

ب- روی لبه منفی پالس ساعت، دمدولاتور اطلاعات مدوله شده CVSD را دریافت می کند و سیگنال آنالوگ اصلی بدست می آید.

شکل ۷-۱۵ سیستم CVSD که شامل تولید کننده کلاک پالس U_2 و مدولاتور CVSD U_1 دمدولاتور U_8 CVSD را نشان می دهد. U_1 و U_8 هر دو آی سی MC34115 را استفاده می کند. وقتی پایه ی M/\bar{I} به 5V وصل می شود این آی سی بعنوان یک مدولاتور CVSD استفاده می شود. وقتی پایه ی M/\bar{I} به 0V وصل می شود این آی

سی بعنوان یک دمدمولاتور CVSD استفاده می شود. سیگنال ورودی آنالوگ به پایه ورودی مدولاتور A-IN اعمال می شود و اطلاعات مدوله شده CVSD در پایه خروجی D-OUT ظاهر می شود. اطلاعات مدوله شده CVSD به طور مستقیم به ورودی دمدمولاتور (D-IN) اعمال می شود و سیگنال آنالوگ بازسازی شده در خروجی دمدمولاتور ظاهر می شود بعلاوه سیستم CVSD سیگنال پالس ساعت یکسانی استفاده می کند تا دمدمولاتور با مدولاتور همزمان شود. مدارهای کامل مدولاتور و دمدمولاتور CVSD که در مازول 04 قرار دارد در شکل ۸-۱۵ نشان داده شده است .

آزمایش ۲-۱: مدولاتور CVSD



شکل ۱۵-۸

مراحل انجام آزمایش:

۱- مدار دمدولاتور CVSD را که در مازول 04 قرار دارد را در قاب آزمایش قرار دهید.

۲- ورودی اسیلوسکوپ را به سر خروجی CLK متصل نمایید. فرکانس خوانده شده از خروجی CLK را با یک

پتانسیومتر V_{R1}

به ۹۰ KHZ برسانید.

۳- یک موج سینوسی با فرکانس ۱KHZ و دامنه ی $1V_{p-p}$ را به ورودی A-IN اعمال نمایید.

شکل موج ها و فرکانس پایه های A-OUT و D-OUT را مشاهده و در جدول ۱-۱۵ ثبت کنید . سیگنال روی

پایه ی D-OUT

یک سیگنال دیجیتال CVSD است و سیگنال روی پایه ی A-OUT یک سیگنال تقریب می باشد .

۴- با استفاده اسیلوسکوپ دارای قابلیت ذخیره سازی ، شکل موج های پایه های A-OUT و D-OUT را اندازه

گیری و در

حالت ثابت نگه دارید .

در نقطه ی که سیگنال D-OUT در حالت حداقل (LOW) قرار دارد سیگنال A-OUT (در حال افزایش یا کاهش

) است.

در نقطه ی که سیگنال D-OUT در حالت حداکثر (HIGH) قرار دارد سیگنال A-OUT (در حال افزایش یا

کاهش) است

اسیلوسکوپ را در حالت HOLD قرار دهید و شکل موج های CLK و D-OUT را مشاهده نمایید . سیگنال-D

OUT در لبه ی منفی (مثبت یا منفی) از پالس ساعت تغییر کرده است .

۵- یک موج سینوسی با دامنه ی 1V پیک تا پیک و فرکانس 3KHZ به ورودی A-IN اعمال نموده و در مرحله

ی ۳ را تکرار کنید.

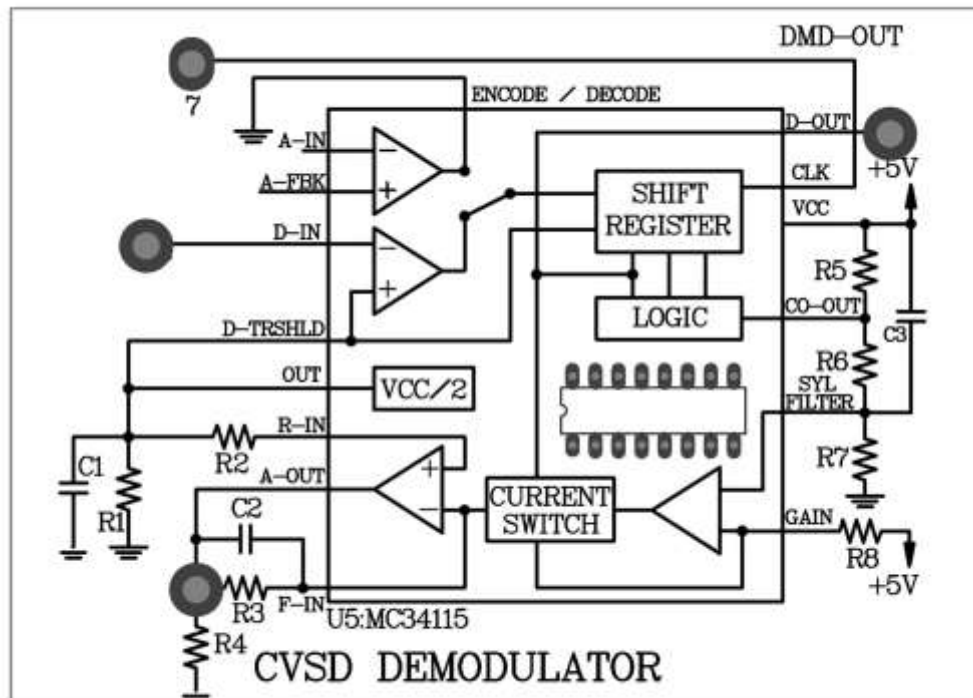
۶- یک موج سینوسی با دامنه ی 1V پیک تا پیک و فرکانس 200HZ به ورودی A-IN اعمال نموده و مرحله

۳ را تکرار کنید .

جدول ۱-۱۵. مدولاتور CVSD (فرکانس پایه CLK = 90KHZ)

IN	ورودی	شکل موج و فرکانس A-OUT	شکل موج و فرکانس D- OUT
200 HZ			
1 KHZ			
3 KHZ			

آزمایش ۲-۷ : دمدولاتور CVSD



شکل ۱۵-۹

مراحل انجام آزمایش :

- ۱- جامپرهای ۲ و ۶ را در مدار دمدولاتور CVSD، که در مازول 04 قرار دارد، قرار دهید.
- ۲- یک موج سینوسی با دامنه $1V_{p-p}$ و فرکانس 1KHZ به ورودی A-IN اعمال نمایید. شکل موج روی پایه‌های D-OUT و DMA-OUT (مربوط به دمدولاتور) را در جدول ۱۵-۲ ثبت کنید.
- سیگنال خروجی DMA-OUT و سیگنال A-IN را مقایسه کنید.

یا سیگنال DMA-OUT با سیگنال A-IN مشابه است؟

۳- یک موج سینوسی با دامنه 1V پیک تا پیک و فرکانس 3KHZ را به پایه ی A-IN اعمال نمایید و مرحله ۲ را تکرار کنید.

در این حالت DMA-OUT شبیه تر به سیگنال A-IN است؟

آیا مولفه دندانه اری سیگنال DMA-OUT افزایش یافته است؟

۴- یک موج سینوسی با دامنه 1V پیک تا پیک و فرکانس 200HZ به ورودی A-IN اعمال نمایید و مرحله ۲ را تکرار کنید.

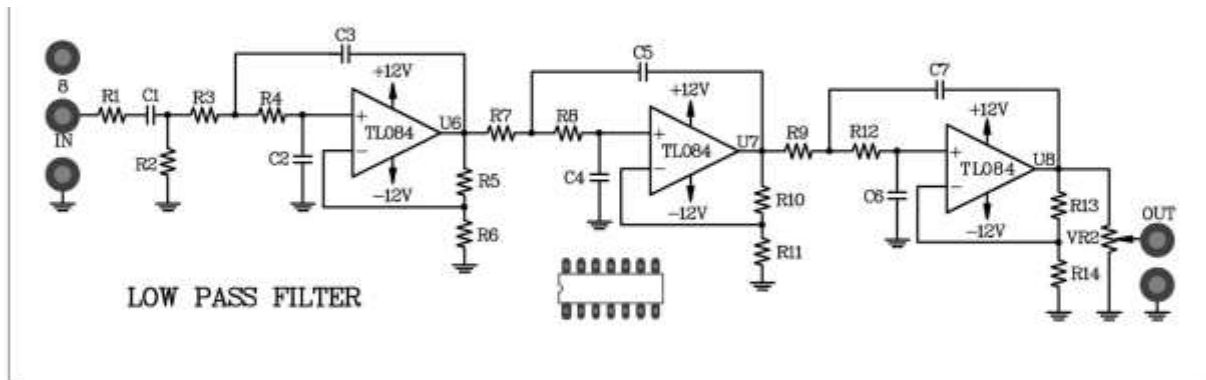
در این حالت سیگنال DMA-OUT شبیه تر به سیگنال A-IN است؟

آیا مولفه دندانه اری سیگنال DMA-OUT افزایش یافته است؟

جدول ۱۵-۲. دمدولاتور CVSD (CLK OUT = 90 KHz)

سیگنال ورودی A-) (IN		شکل موج و فرکانس DMD-OUT	شکل موج و فرکانس DMA-OUT
1KHz 1 V_{P-P}			
3KHz 1 V_{P-P}			
200H z 1 V_{P-P}			

آزمایش ۷-۳: فیلتر پایین گذر



شکل ۱۵-۱۰

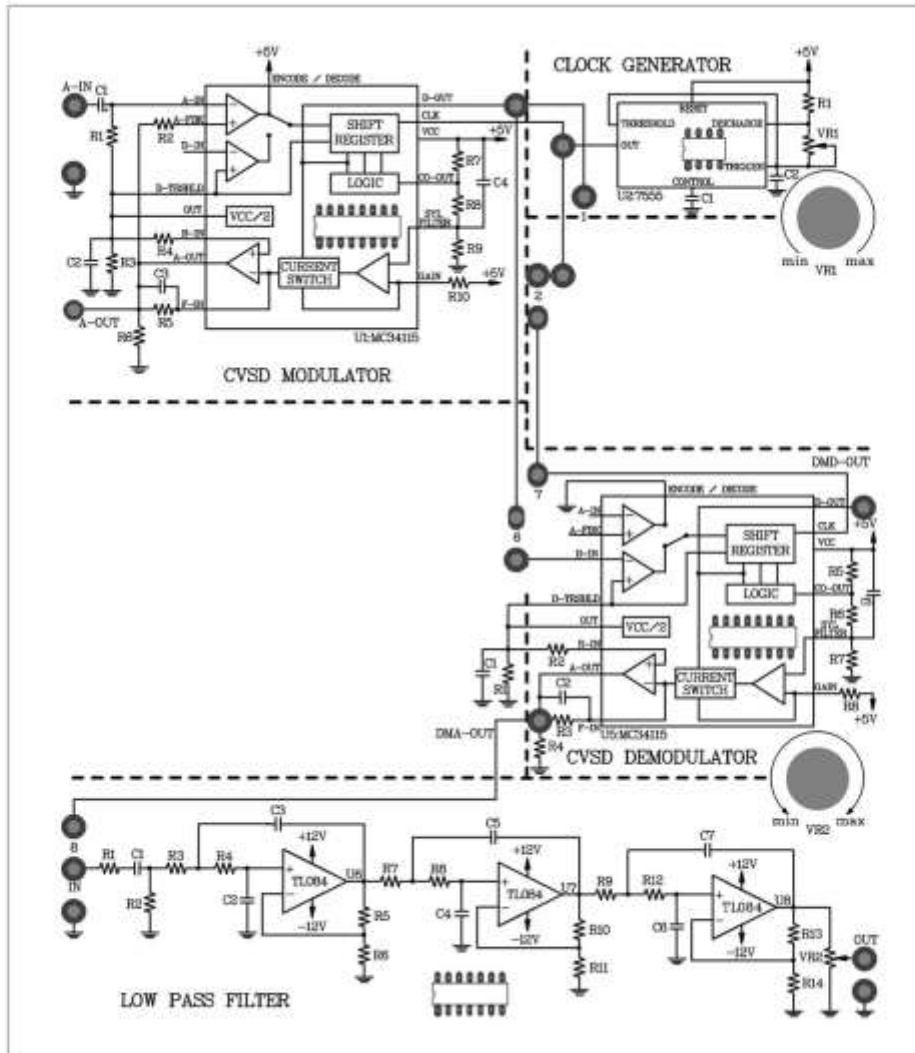
مراحل انجام آزمایش:

- ۱- جامپرهای ۲ و ۶ و ۸ را در مدار قرار دهید تا مدار سیستم CVSD که در شکل ۱۵-۷ نشان داده شده کامل شود.
- ۲- یک موج سینوسی با دامنه ۱V پیک تا پیک و فرکانس 1KHz به ورودی A-IN اعمال نمایید. شکل موج ها و فرکانس های روی پایه های DMA-OUT , D-OUT و خروجی فیلتر را مشاهده و در جدول ۱۵-۳ ثبت کنید. پتانسیومتر V_{R2} را بچرخانید تا سیگنال خروجی فیلتر با سیگنال A-IN مشابه شود.
- ۳- یک موج سینوسی با دامنه $1V_{p-p}$ و فرکانس 3KHz به ورودی A-IN اعمال نمایید و مرحله ی ۲ را تکرار کنید.
- ۴- یک موج سینوسی با دامنه $1V_{p-p}$ و فرکانس 200Hz به ورودی A-IN اعمال نمایید و مرحله ی دو را تکرار کنید.

جدول ۱۵-۳. فیلتر پایین گذر (CLK OUT = 90KHZ)

A-IN	شکل موج و فرکانس DMD-OUT	شکل موج و فرکانس DMA-OUT	خروجی فیلتر
1 KH z			
3 KH z			
20 0 Hz			

آزمایش ۷-۴ : سیستم CVSD با پالس های ساعت مختلف



شکل ۱۵-۱۱

مراحل انجام آزمایش :

۱- مدار سیستم CVSD با قرار دادن جامپرهای ۲ و ۶ و ۸ در مدار کامل کنید .

۲- یک موج سینوسی با دامنه 1V پیک تا پیک و فرکانس 1KHZ را به ورودی A-IN اعمال نمایید فرکانس سیگنال خروجی CLK را به کمک پتانسیومتر V_{R1} روی 90KHZ تنظیم کنید. شکل موج ها و فرکانس های خروجی های DMA-OUT و D-OUT و خروجی LPF را در جدول ۴-۱۵ ثبت نمایید. با تنظیم پتانسیومتر V_{R2} سیگنال خروجی LPF را مشابه با سیگنال A-IN نمایید .

۳- فرکانس سیگنال خروجی CLK را به 50KHZ برسانید و مرحله ۲ را تکرار کنید.

۴- فرکانس سیگنال خروجی CLK را به 70KHZ برسانید و مرحله ۲ را تکرار کنید.

۵- فرکانس سیگنال خروجی CLK را به 100KHZ برسانید و مرحله ۲ را تکرار کنید.

جدول ۱۵-۴. شیوه عملکرد سیستم CVSD با پالس های ساعت متفاوت (سینوسی $1V_{p-p}$ و $1KHZ$ = ورودی

(A-IN

فرکانس خروجی CLK	شکل موج و فرکانس D- OUT	شکل موج و فرکانس DMA- OUT	شکل موج و فرکانس LPF-OUT
50 KHZ			
70 KHZ			
90 KHZ			
100 KHZ			

فصل هشتم

مدولاتور و دمدولاتور ASK

اهداف :

- بررسی اساس کار مدولاتور ASK
- بررسی نحوه عملکرد ضرب کننده ها
- بررسی نحوه عملکرد آشکار ساز Push
- بررسی نحوه عملکرد دمدولاتور ASK
- نحوه تبدیل موج سینوسی به مربعی توسط مقایسه کننده

مقدمه

زمانی که نیاز است که یک سیگنال دیجیتال از یک کانالی عبور داده شود می توان سیگنال دیجیتال را به سیگنالی تبدیل کرد که نسبت به صفر و یک شدن سیگنال حامل در خروجی دامنه سیگنال مدوله شده را به نسبت کم و زیاد کند . این سیگنال ممکن است در گیرنده دمدوله شود و توسط PCM و یا واحدهای دیگر به همان کد دیجیتال اولیه که در گیرنده وارد شده تبدیل گردد .

در اینجا منظور از کانال می تواند کانال تلفن ، خطوط میکروویو رادیو و یا کانال ماهواره باشد .

مدولاسیون به این معنی است که سیگنال مدوله شونده نسبت به یکی از مشخصات سیگنال حامل مورد تغییر قرار گیرد. اگر تغییر در فرکانس سیگنال انجام شود ملقب به FSK، اگر در دامنه باشد ASK و اگر در فاز سیگنال باشد PSK خواهد بود.

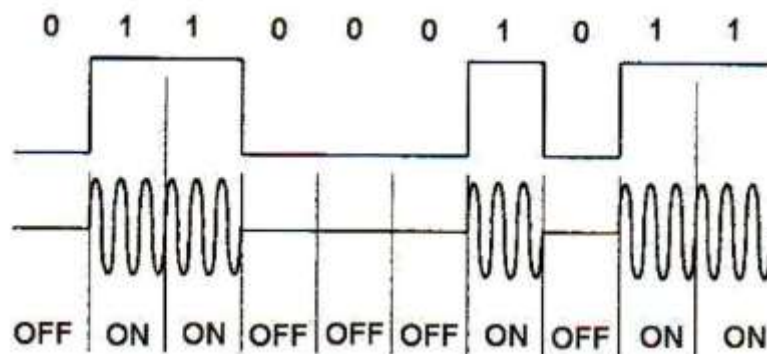
رابطه زیر سیگنال مدوله شده ASK را بیانگر است:

$$X_{ASK}(t) = A_i \cos(\omega_c t + \Phi_0) \quad 0 \leq t \leq T, \\ i = 1, 2, 3, \dots, M$$

زمانی که A_i در مقادیر متفاوت تا M داشته باشد فرکانس ω_c و فاز ϕ حتماً ثابت است.

اگر $M=2$ باشد یعنی $A_1=0$ و $A_2=A$ (می تواند مقداری دلخواه داشته باشد). سیگنال خروجی $X_{ASK}(t)$

مانند یک سیگنال باینری مدوله شده به شکل ۱-۱۶ است:

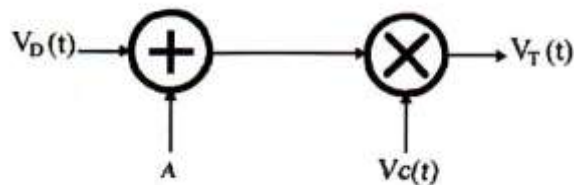


شکل ۱-۱۶. سیگنال مدوله شده ASK

به این نوع مدلاسیون On - Off Keying (OOK) نیز می گویند .

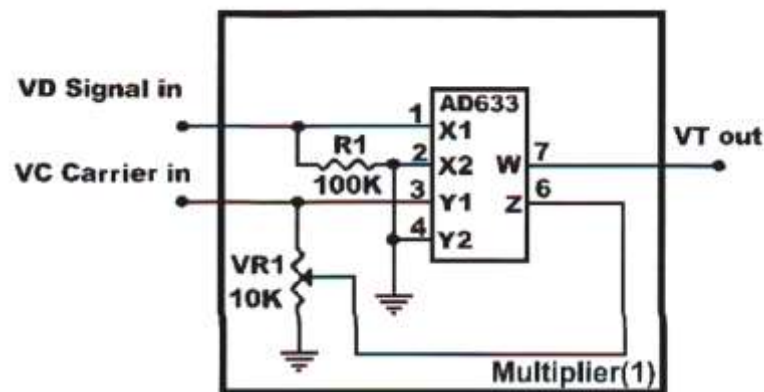
در شکل ۲-۱۶ یک مدولاتور ASK نشان داده شده است. سیگنال A ، سیگنال بایاس DC می باشد، سیگنال حامل در شکل ۲-۱۶ یک مدولاتور ASK نشان داده شده است. سیگنال $V_D(t)$ سیگنال ورودی است که همان $V_C(t)$ است که مقداری برابر با $V_C(t) = A_C \cos 2\pi f_c t$ دارد و سیگنال $V_D(t)$ سیگنال ورودی است که یک سیگنال دیجیتال است $V_T(t)$ سیگنال مدوله شده خارج شده از مدولاتور است که طبق رابطه زیر تعریف می شود:

$$V_T(t) = [V_D(t) + A] A_C \cos(2\pi f_c t)$$



شکل ۲-۱۶. بلوک دیاگرام مدولاتور ASK

شکل ۳-۱۶ مدار مدولاتور ASK به کار برده شده در این آزمایش را نشان می دهد:



شکل ۳-۱۶. مدولاتور ASK

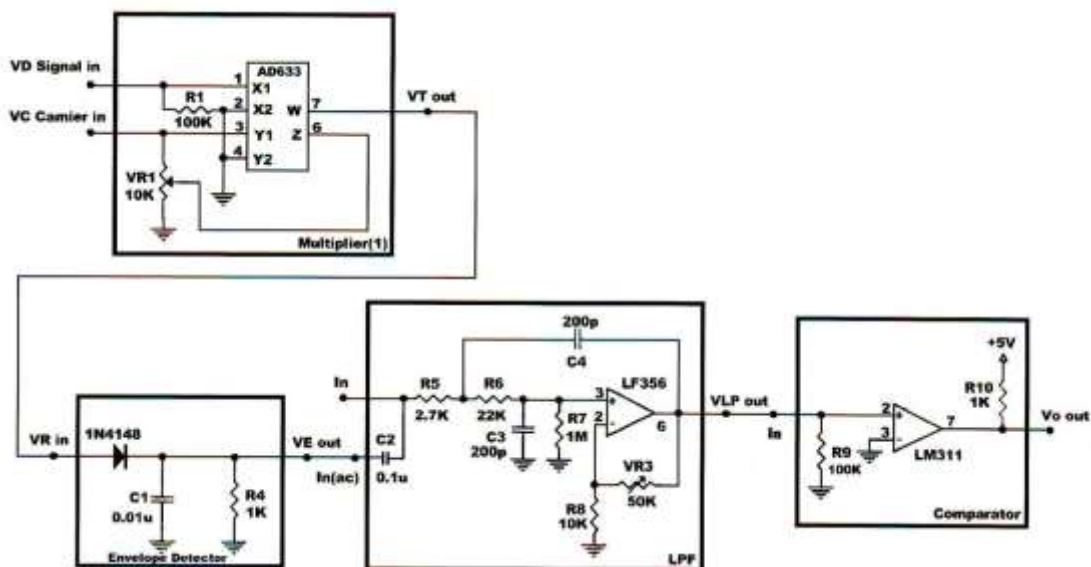
$V_T(t)$ سیگنال خروجی این بلوک است که در حقیقت همان سیگنال مدوله ASK است که از رابطه زیر بدست آمده است:

$$V_C(t) = \frac{V_D(t) V_C(t)}{10} + a V_C(t)$$

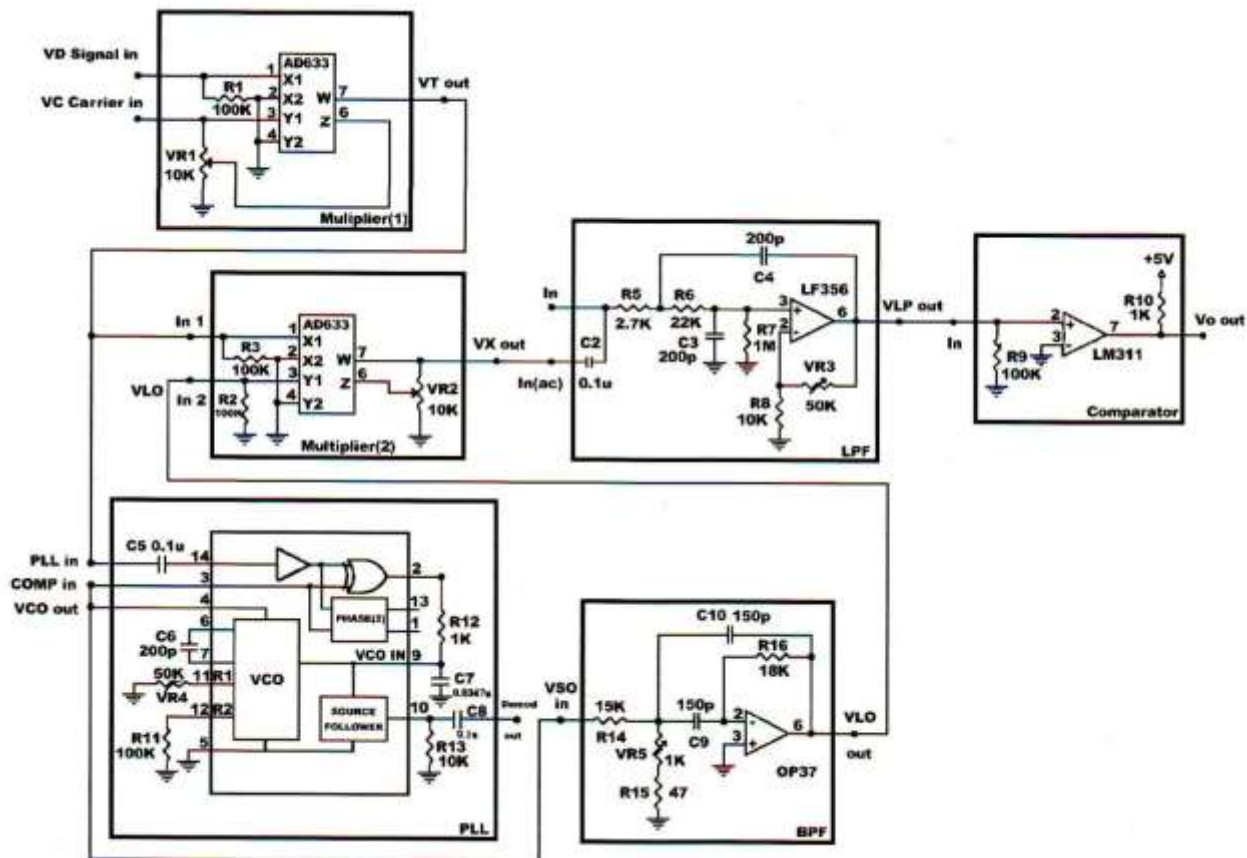
در اینجا a سیگنال DC تولید شده توسط ولوم VR_1 می‌باشد اگر حامل برابر با $V_C(t) = A_C \cos 2\pi f_c t$ باشد $V_T(t)$ برابر است با:

$$V_T(t) = \left[\frac{1}{10} V_D(t) + a \right] A_C \cos(2\pi f_c t)$$

سیگنال مدوله شده $V_T(t)$ دارای دو مقدار $V_{high} = 5(v)$ و $V_{low} = 0(v)$ می‌باشد. با تغییر ولوم VR_1 می‌توان a را در رابطه تغییر و در نتیجه سطوح ولتاژ ASK را به آسانی تغییر داد.



شکل ۱۶-۴. دمدولاتور ناپیوسته ASK



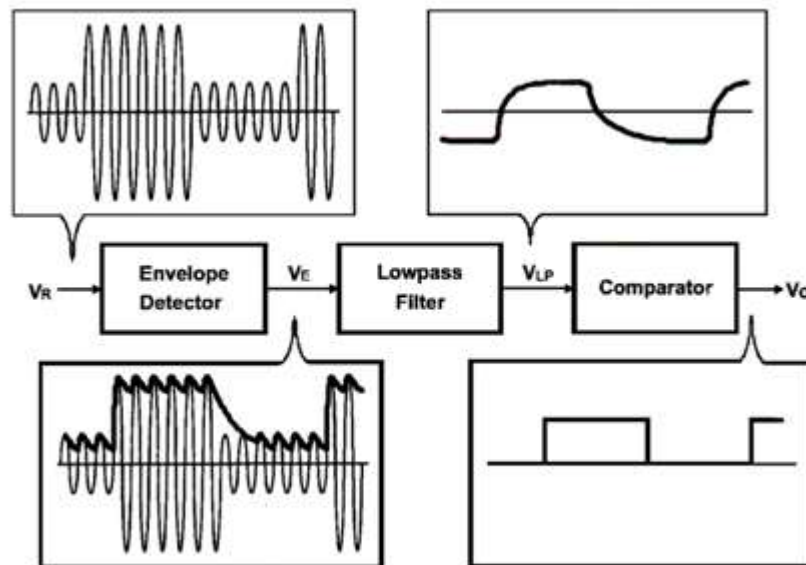
شکل ۱۶-۵. دمدولاتور پیوسته ASK

دمدولاتور ASK

دمدولاتور ASK سیگنال وارد شده به دمدولاتور ASK در فرستنده را استخراج می نماید .

همچنین شکل ۱-۱۶ بلوک دیاگرام دمدولاتور ASK به کار رفته در این آزمایش به همراه سیگنالهای وارد شده و

خارج شده به ماژول را بطور کامل نشان داده است :

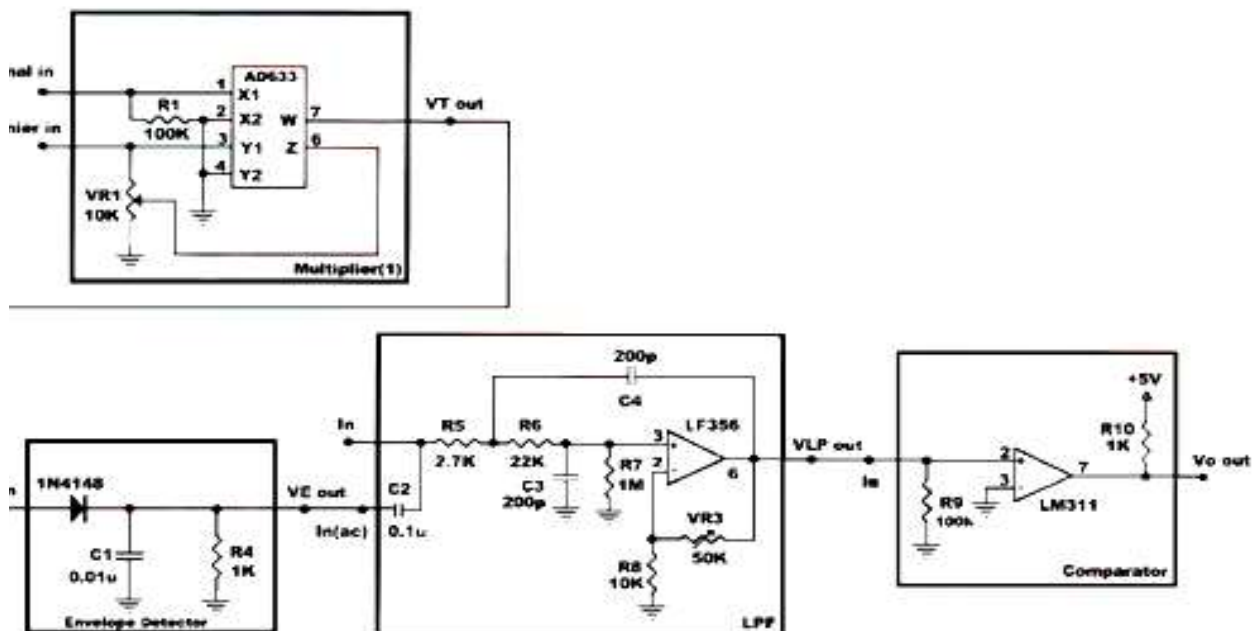


شکل ۱-۱۶ . بلوک دیاگرام دمدولاتور ASK

آشکار ساز Push سیگنال فرکانس بالای حامل را حذف کرده و قسمت منفی سیگنال ASK را نیز حذف می نماید . در مرحله بعدی فیلتر پایین گذر مولفه های dc موج را حذف کرده و همچنین قسمت های دندان اره ای فرکانس بالا را نیز حذف می نماید .

در بخش آخر نیز مقایسه کننده سیگنال فیلتر شده را با سیگنالی ثابت مقایسه کرده و سیگنالی مطابق با سیگنال اصلی وارد شده به مدولاتور را تولید می نماید .

شکل ۱۶-۲ مدار به کار رفته برای دمدولاسیون ASK را نشان می دهد .



شکل ۱۶-۲. دمدولاسیون ASK

در این شکل Multiplier(1) سیگنال مدوله ASK را تولید می نماید .

آشکار ساز پوش فقط اجازه عبور قسمت مثبت سیگنال ASK را صادر می کند. فیلتر قسمتهای دندان اره ای فرکانس بالا را فیلتر کرده و همچنین مولفه های DC سیگنال خارج شده از آشکار ساز نیز فیلتر می شود .

در آخر مقایسه کننده سیگنال خارج شده از فیلتر را به سیگنالی مطابق با سیگنال وارد شده به مدولاتور تولید می نماید .

آزمایش ۸-۱ : مدولاتور ASK

مراحل انجام آزمایش :

۱- مدار مدولاتور ASK را که در ماژول 05 قرار دارد را روی قاب آزمایش دهید.

۲- یک موج سینوسی با فرکانس 500KHz و دامنه $4V_{p-p}$ به ورودی VC CAR IN اعمال نمایید.

۳- یک موج مربعی با فرکانس 20KHz از خروجی TTL منبع تولیدکننده ی سیگنال به ورودی VD SIGNAL اعمال نمایید.

۴- پتانسیومتر V_{R_1} بطور کامل در جهت عقربه‌های ساعت بچرخانید دامنه سیگنال مدوله شده ی ASK به حداکثر مقدار خود در خروجی VT OUT برسد. شکل موج سیگنال ASK را اندازه گیری و در جدول ۱-۱۶ ثبت کنید.

۵- پتانسیومتر V_{R_1} را به طور کامل در خلاف جهت عقربه‌های ساعت بچرخانید تا دامنه ی سیگنال مدوله شده ASK به حداقل مقدار خود در خروجی VT OUT برسد. شکل موج سیگنال ASK را اندازه گیری و در جدول ۱-۱۶ ثبت کنید.

۶- یک موج مربعی با فرکانس 1KHz از خروجی TTL منبع تولیدکننده سیگنال دریافت و به ورودی VD SIGNAL اعمال نمایید.

۷- مرحله ی ۴ و ۵ را تکرار نمایید.

۸- یک موج مربعی با فرکانس 10KHz از خروجی TTL منبع تولید کننده سیگنال دریافت و به ورودی VD SIGNAL اعمال نمایید.

۹- مراحل ۴ و ۵ را تکرار کنید.

۱۰- یک موج مربعی 50KHZ از خروجی TTL منبع تولید کننده سیگنال دریافت و به ورودی VD SIGNAL IN

اعمال نمایید.

۱۱- مرحله ی ۴ و ۵ را تکرار کنید.

جدول ۱۶-۱. مدولاتور ASK، $4V_{p-p}$ ، 500KHz VC CAR IN

VD (ورودی TTL)	شکل موج VT OUT (V_{R_1} بطور کامل در جهت عقربه ساعت)	شکل موج VT OUT (V_{R_1} بطور کامل در خلاف جهت عقربه ساعت)
20KHZ		
1KHZ		
10KHZ		
50KHZ		

آزمایش ۸-۲: دمدولاتور ناپیوسته ASK

مراحل انجام آزمایش:

۱- مدار دمدولاتور ناپیوسته ASK که روی ماژول 05 قرار دارد را توسط قرار دادن جامپرهای ۲ و ۶ و ۸ در مدار کامل کنید.

۲- یک موج سینوسی با فرکانس 500KHZ و دامنه‌ی $4V_{p-p}$ به ورودی VC CAR IN اعمال نمایید.

۳- یک موج مربعی با فرکانس 20KHZ از خروجی TTL منبع تولید کننده سیگنال به ورودی VD SIGNAL IN اعمال نمایید.

۴- پتانسیومتر V_{R1} را به طور کامل در جهت عقربه‌های ساعت بچرخانید تا دامنه خروجی VT OUT حداکثر شود. شکل موج‌های خروجی‌های VT OUT و VO OUT و VLP OUT و خروجی آشکار ساز پوش را در جدول ۲-۱۶ ثبت کنید.

۵- یک موج مربعی با فرکانس 1KHZ از خروجی TTL منبع تولید کننده سیگنال به ورودی VD SIGNAL اعمال نمایید.

۶- مرحله ۴ را تکرار کنید.

۷- یک موج مربعی با فرکانس 10KHZ از خروجی TTL منبع تولید کننده سیگنال به ورودی VD SIGNAL IN اعمال نمایید.

۸- مرحله ۴ را تکرار کنید.

۹- یک موج مربعی با فرکانس 50KHZ از خروجی TTL منبع تولید کننده‌ی سیگنال به ورودی VD SIGNAL IN اعمال نمایید.

۱۰- مرحله‌ی ۴ را تکرار کنید.

۱- شکل موج‌های VD SIGNAL IN و VO-OUT را مقایسه کنید.

جدول ۲-۱۶ دمولاتور ASK ناپیوسته ($V_{P-P} = 4V$, $f_{IN} = 500KHz$)

	1KHz	10 KHz	20 KHz
شکل موج VT OUT			
شکل موج VE OUT			
شکل موج VO OUT			
شکل موج VLP OUT			

آزمایش ۸-۳: سیستم ASK همراه با CVSD منچستر

مراحل انجام آزمایش:

۱- ماژول‌های ۰۴ و ۰۵ را به شکل زیر به هم متصل کنید. شکل زیر ترکیبی از آزمایش‌های CVSD و مدولاسیون و دمدولاسیون ASK منچستر می‌باشد.

۲- جامپرهای ۱ و ۳ و ۵ و ۷ و ۸ را در مدار ماژول 04 قرار دهید و جامپرهای ۲ و ۶ و ۸ را روی مدار ماژول 05 قرار دهید.

۳- خروجی MEC OUT روی ماژول 04 را به ورودی VD SIGNAL IN روی ماژول 04 متصل نمایید.

۴- خروجی VO OUT روی ماژول 05 را به ورودی MCD IN روی ماژول 05 متصل نمایید.

۵- یک موج سینوسی با فرکانس 500KHZ و دامنه‌ی $4V_{p-p}$ به ورودی VC CAR IN روی ماژول 05 اعمال نمایید و منبع تغذیه را روشن کنید.

۷- پتانسیومتر V_{R1} را روی ماژول 04 بخش تولید کننده‌ی پالس ساعت را بچرخانید تا یک سیگنال با فرکانس 90KHZ در خروجی این بخش (CLK OUT) بدست آورید.

۸- یک موج سینوسی با فرکانس 1KHZ و دامنه‌ی 1V پیک تا پیک به ورودی A-IN روی ماژول 04 اعمال نمایید.

۹- پتانسیومتر V_{R1} روی ماژول 05 بخش ضرب کننده اول (multiplier 1) را به طور کامل در جهت عقربه‌های ساعت بچرخانید.

۱۰- شکل موج‌های نقاط مختلف خواسته شده در جدول ۱۶-۳ را اندازه گیری و ثبت کنید.

۱۱- یک موج سینوسی با دامنه‌ی 1V پیک تا پیک و فرکانس 3KHZ به ورودی A-IN روی ماژول 04 - را تکرار کنید.

۱۲- مرحله‌ی ۱۰ را تکرار کنید.

۱۳- یک موج سینوسی با فرکانس 200HZ و دامنه‌ی 1V پیک تا پیک به ورودی A - IN که روی ماژول 05 - قرار دارد اعمال نمایید.

۱۴- مرحله‌ی ۱۰ را تکرار کنید.

جدول ۱۶-۳. سیستم ASK با CVSD منچستر (VC CAR IN = 500KHz , 4V_{p-p})

1KHz	04 MEC - OUT		05 VO- OUT	
	05 VT- OUT		04 MCD- OU	
	05 VE- OUT		05 VLP- OUT	
	MCD CLK- OUT		DMA- OUT	

3KHz	04 MEC - OUT		05 VO- OUT	
	MCD CLK- OUT		DMA- OUT	
	05 VT- OUT		04 MCD- OU	
	05 VE- OUT		05 VLP- OUT	

200 Hz	04 MEG- OUT		05 VO- OUT	
	05 VT- OUT		04 MCD- OUT	
	05 VE- OUT		05 VLP- OUT	
	MCD CLK- OUT		DMA- OUT	

آزمایش ۸-۴: دمدولاتور پیوسته ASK

مراحل انجام آزمایش:

۱- دمدولاتور پیوسته ASK که در ماژول 05 قرار دارد را با قرار دادن جامپرهای ۱ و ۳ و ۴ و ۷ و ۸ و ۹ و ۱۰ و ۱۱ در مدار کامل کنید.

۲- یک موج سینوسی با فرکانس 500KHZ و دامنه‌ی $4V_{p-p}$ به ورودی VC CAR IN اعمال نمایید.

۳- یک موج مربعی با فرکانس 20KHZ از خروجی TTL منبع تولید کننده‌ی سیگنال به ورودی VD SIGNAL IN اعمال نمایید.

۴- پتانسیومتر V_{R1} را به طور کامل در جهت عقربه‌های ساعت بچرخانید تا دامنه‌ی خروجی ضرب کننده اول حداکثر شود در خروجی این بخش ما یک موج مدوله شده‌ی ASK را خواهیم داشت.

۵- پتانسیومتر V_{R4} را بچرخانید تا فرکانس سیگنال خروجی VCO OUT برابر با فرکانس سیگنال کریپر (500KHZ) شود.

۶- پتانسیومتر V_{R5} را بچرخانید تا سیگنال‌های خروجی VLO OUT و VT OUT همفاز شوند.

۷- پتانسیومتر V_{R2} را بچرخانید تا دامنه‌ی خروجی VX OUT حداکثر شود.

۸- پتانسیومتر V_{R3} را بچرخانید تا یک سیگنال ۵V پیک تا پیک در خروجی VLP OUT ظاهر شود.

۹- شکل موج خروجی‌های ضرب کننده و VX OUT و VSO IN و VLP OUT و VO OUT را در جدول

۴-۱۶ ثبت کنید.

۱۰- یک موج مربعی با فرکانس 1KHZ از خروجی TTL منبع تولیدکننده سیگنال به ورودی VD SIGNAL IN اعمال نمایید.

۱۱- مراحل ۶ تا ۹ را تکرار نمایید.

۱۲- یک موج مربعی با فرکانس 10KHZ از خروجی TTL منبع تولیدکننده سیگنال به ورودی VD SIGNAL IN اعمال نمایید.

۱۳- مراحل ۶ تا ۹ را تکرار نمایید.

۱۴- یک موج مربعی با فرکانس 50KHZ از خروجی TTL منبع تولیدکننده سیگنال ورودی VD SIGNAL IN اعمال نمایید.

۱۵- مراحل ۶ تا ۹ را تکرار نمایید.

۱۶- شکل موجهای روی VO OUT و VD SIGNAL IN را مقایسه کرده و توضیح دهید

جدول ۴-۱۶. دمدولاتور ASK پیوسته (VC CAR IN = 500KHZ , $4V_{p-p}$)

ورودی TTL	VT OUT	
20 KHz	VX OUT	
	VSO IN	
	VLP OUT	

50 KHz	VT OUT	
	VX OUT	
	VSO IN	
	VLP OUT	