Scanned by CamScanner

Digital Integrated Circuits
A Design Perspective

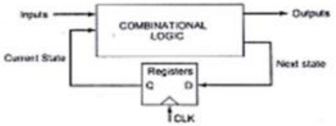
Jan M. Rabaey
Anantha Chandrakasan
Borivoje Nikolic

Designing Sequential Logic Circuits

November 2002

© Digital Integrated Circuits™ — Sequential Circuits

Sequential Logic



2 storage mechanisms
- positive feedback
- charge-based

© Digital Integrated Circuits™ — Sequential Circuits

فلیپ فلاپ‌ها: اصطلاحاتی در دنیای است که یکی لبه اضافه دارد که یکی رجیستر است و دیگری لچ

در لچ هر جا ورودی تغییر کند خروجی هم تغییر می‌کند حساس به سطح است در جایی که کلاک صفر است ورودی هر تغییری کند خروجی هم تغییر می‌کند که حساس به لبه است و جایی هم که کلاک صفر است ورودی هر تغییری کند تغییر در خروجی ندارد.

Naming Conventions

- In our text:
  - a latch is level sensitive
  - a register is edge-triggered
- There are many different naming conventions
  - For instance, many books call edge-triggered elements flip-flops
  - This leads to confusion however

ما دادهایی که ... باشد خروجی ورودی را تغییر میدهد.

© Digital Integrated Circuits™ — Sequential Circuits

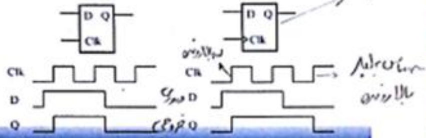
در Latch تا تغییر ورودی، خروجی هم تغییر میکند

در Registerها در لبه بالارونده خروجی تغییر میکند

Latch versus Register

- Latch
  stores data when clock is low
- Register
  stores data when clock rises

علاوه بر امکانات حساس به لبه پایین رونده یک دایره هم دارد.



© Digital Integrated Circuits™ — Sequential Circuits

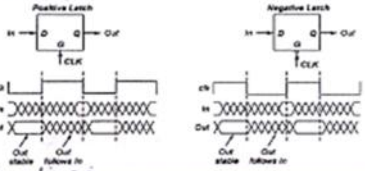
لچ ها را مدارات حساس به سطح می‌گیریم.

Register: آنهایی که کلاک حالت حساس به لبه هستند.

در لچ وقتی کلاک 1 است سمت مثبت است.

جوابش سمت منفی است حساس به لبه پایین رونده

Latches



خروجی دنبال ورودی است.

© Digital Integrated Circuits™ — Sequential Circuits

در مدار ترتیبی بالا جایی می‌بینیم N و P لچ ها

Nlatch , Platch

اگر کلاک 1 باشد چون N است تغییری نمی‌کند خروجی ها ثابت هستند

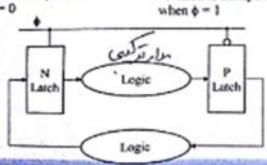
دور می‌زند و تغییر میکند.

اگر کلاک صفر باشد چون P است تغییر نمی‌کند

Latch-Based Design

اما در لچها اینجور نیست و تغییر میکند مثل رجیستر

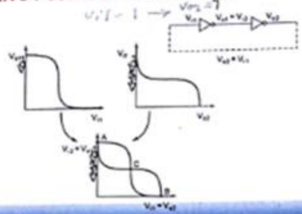
- N latch is transparent when $\phi = 0$
- P latch is transparent when $\phi = 1$



Sequential Circuits

دو حالت پایدار. اگر حلقه پایدار است. $V_{pq} = 1$ باشد ...
با کمک آن می‌توان از ۲ گیت not استفاده کرد.

Positive Feedback: Bi-Stability

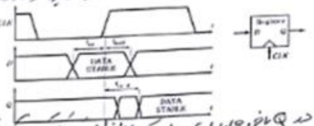


© Digital Integrated Circuits™ Sequential Circuits

تعریف زمانبندی

Timing Definitions

در داده ورودی Thold و Tsu داریم. قبل از آنکه کلاک بیاید در لحظه Thold و Tsu نباید تغییری در داده ایجاد شود.

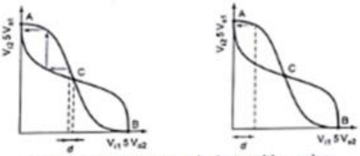


در Q خروجی ... از لحظه‌ای که کلاک می‌آید تا لحظه‌ای که Stable می‌شود نباید تغییری ... داشته باشیم.

© Digital Integrated Circuits™ Sequential Circuits

از لحظه‌ای که کلاک می‌آید Tc2Q (در معتبر) خروجی چقدر طول می‌کشد تا تغییر کند. ...

Meta-Stability

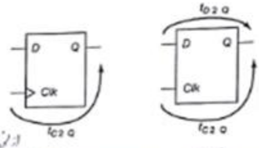


Gain should be larger than 1 in the transition region

© Digital Integrated Circuits™ Sequential Circuits

اگر ورودی ... مقدار clk ... حلقه ... در حال ...

Characterizing Timing



از لحظه‌ای که کلاک می‌آید ... tC2Q طول می‌کشد تا تغییر کند

Register Latch

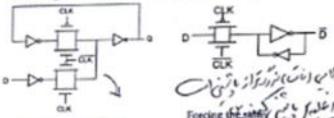
© Digital Integrated Circuits™ Sequential Circuits

maximum کلاک که می‌توان به مدار یا cpu می‌توان داد. اگر یک فلیپ فلاپ داشته باشیم که کلاک به آن وارد شود ... ماکزیمم

ماکزیمم کلاکی که cpu نیاز دارد.

Writing into a Static Latch

Use the clock as a decoupling signal, that distinguishes between the transparent and opaque states



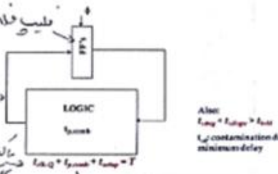
Converting into a MUX

Forcing the state (can implement as NMOS-only)

© Digital Integrated Circuits™ Sequential Circuits

این قسمت میتواند بصورت دستی داده را تغییر داده و مقادیر خروجی را تغییر دهید.

Maximum Clock Frequency



© Digital Integrated Circuits™ Sequential Circuits

T: تأخیر انتشار

Scanned by CamScanner

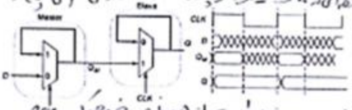
Scanned by CamScanner

master با clk=1 اطلاعات را نگه می‌دارد ... اطلاعات را از بیرون کسب می‌کند.
slave مرتبط است.

M=D

Master-Slave (Edge-Triggered) Register

در اولین لحظه‌ای که clk صفر شود هر چه در D باشد در ... می‌چرخد. لحظه‌ای که clk یک شود هر چه در D باشد در دومی هم می‌چرخد.



در لبه بالا رونده اطلاعات از D به خروجی منتقل می‌شود.

Two opposite latches trigger on edge
Also called master-slave latch pair

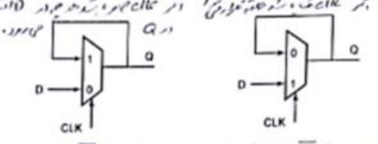
اگر clk صفر باشد (شکل چپ) ورودی صفر خروجی D است. هر چه در D است به Q می‌رود.
استفاده از حالتی multiplexer در لچ

Mux-Based Latches

Negative latch
(transparent when CLK= 0)

Positive latch
(transparent when CLK= 1)

اگر clk صفر باشد هر چه در D است در Q می‌رود.

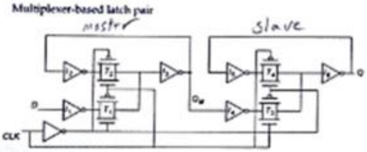


$Q = \overline{Clk} \cdot Q + Clk \cdot In$ $\qquad$ $Q = Clk \cdot Q + \overline{Clk} \cdot In$

دومی به هر دو اولی را دنبال می‌کند.
۳ درودی داریم از لحظه‌ای که clk می‌آید تا لحظه‌ای که خروجی می‌آید را مدل‌سازی می‌کند.

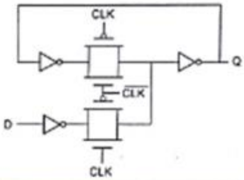
Master-Slave Register

Multiplexer-based latch pair



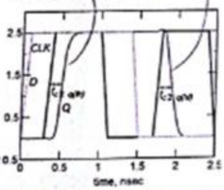
ساختار لچ ... دو ترانزیستور در ساختار NMOS ...
اگر clk صفر باشد سوئیچ پایینی بسته است و حلقه برقرار است.
اگر clk یک باشد از D اطلاعات را می‌گیرد و حلقه وجود ندارد.

Mux-Based Latch



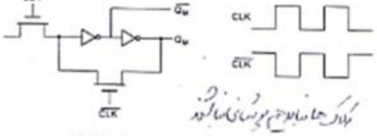
تاخیر clk-Q
T_{C2Q}: از لحظه‌ای که clk می‌آید تا لحظه‌ای که به خروجی منتقل می‌شود.

Clk-Q Delay



ساختن latch با عنصر NMOS

Mux-Based Latch

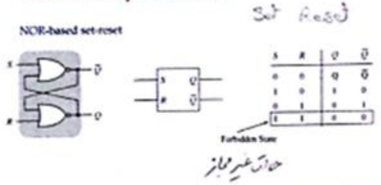


کلاک‌ها نباید هم‌پوشانی داشته باشند.

NMOS only $\qquad$ Non-overlapping clocks

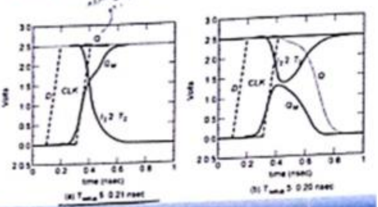
Overpowering the Feedback Loop — Cross-Coupled Pairs

NOR-based set-reset



© Digital Integrated Circuits — Sequential Circuits

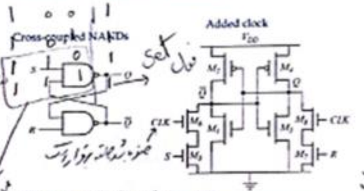
Setup Time



© Digital Integrated Circuits — Sequential Circuits

clk	S	R	Q	Q^+
0	x	x	x	بدون تغییر
1	0	0	0	0
1	0	0	1	1
1	0	1	0	0
1	1	0	0	1

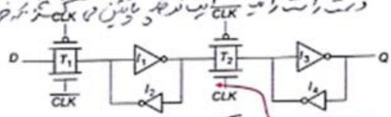
Cross-Coupled NAND



This is not used in datapaths any more, but is a basic building memory cell

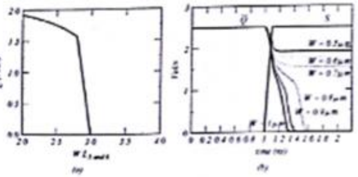
© Digital Integrated Circuits — Sequential Circuits

Reduced Clock Load Master-Slave Register



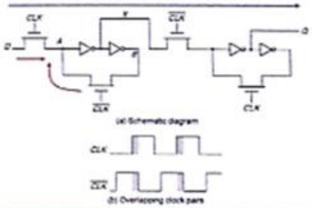
© Digital Integrated Circuits — Sequential Circuits

Sizing Issues



© Digital Integrated Circuits — Sequential Circuits

Avoiding Clock Overlap



© Digital Integrated Circuits — Sequential Circuits

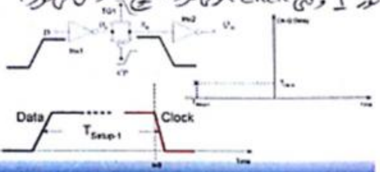
Scanned by CamScanner

(فاز زمان Setup و زمان hold)

D و اسب not و سوئیچ را دارد.

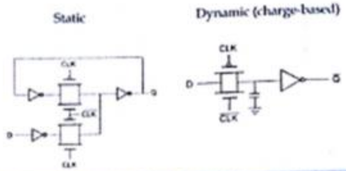
Setup/Hold Time Illustrations

Circuit before clock arrival (Setup-1 case)

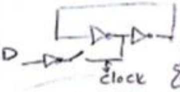


© Digital Integrated Circuits — Sequential Circuits

Storage Mechanisms

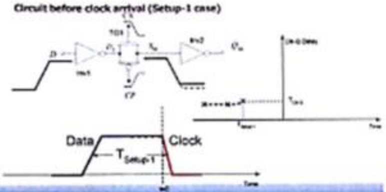


© Digital Integrated Circuits — Sequential Circuits



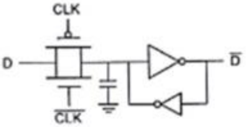
Setup/Hold Time Illustrations

Circuit before clock arrival (Setup-1 case)



© Digital Integrated Circuits — Sequential Circuits

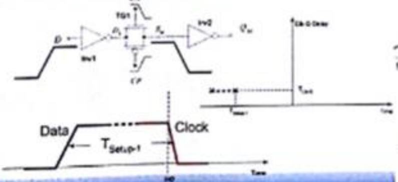
Making a Dynamic Latch Pseudo-Static



© Digital Integrated Circuits — Sequential Circuits

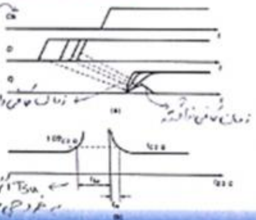
Setup/Hold Time Illustrations

Circuit before clock arrival (Setup-1 case)



© Digital Integrated Circuits — Sequential Circuits

More Precise Setup Time

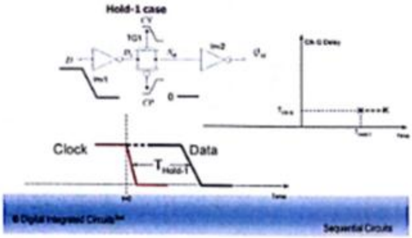


© Digital Integrated Circuits — Sequential Circuits

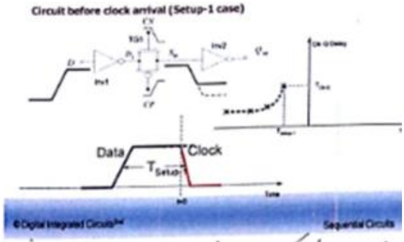
Scanned by CamScanner

Tsetup : زمانی که قبل از آن کلاک باید سیگنال آماده شده باشد. - قبل از آنکه کلاک بیاید از چند نانو ثانیه قبلش D دیگر نباید تغییر کند

Setup/Hold Time Illustrations

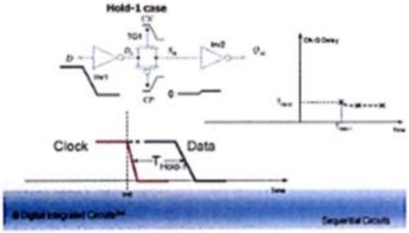


Setup/Hold Time Illustrations

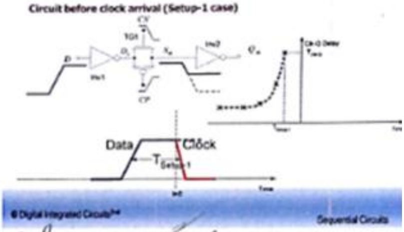


اگر D و کلاک با هم بیایند ← D به عنوان ورودی خواهد لک شده و کلاک و D هم زمان با آمدن آن لحظه مقدار را می‌بینیم و تکه‌ای سوییچ بسته می‌شود. 1 ←o

Setup/Hold Time Illustrations

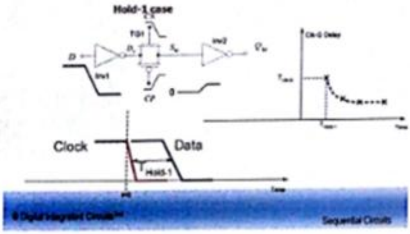


Setup/Hold Time Illustrations

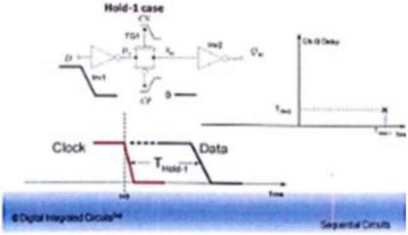


آیا بعدش هم نیاز هست که سیگنال ما پایدار باشد؟
باید زمان به اندازه کافی داشته باشیم تا بعد از سوییچ وقت داشته شود و حلقه را کامل کند. وگرنه سیگنال از بین می‌رود.
* داده‌ها باید مدت زمانی بعد از آمدن کلاک باید ثابت باشد

Setup/Hold Time Illustrations



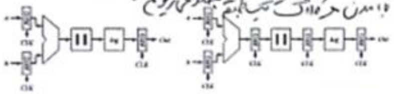
Setup/Hold Time Illustrations



Scanned by CamScanner

برای افزایش سرعت خط لوله استفاده کرده است.
a + b → log(a+b) شکل
شکل سمت راست خط لوله
a در یک کلاک و Register b در جلوتر دیگر جا داشته و مثلا در یک رجیستر دیگر و محاسبه
دوباره در یک رجیستر می‌گذاریم
و با هر کلاک یک مرحله جلو می‌رویم.

Pipelining



Reference

Pipelined

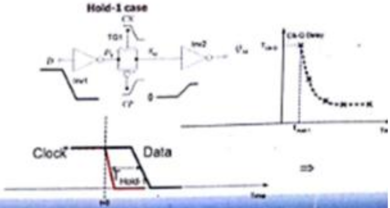
Clock Period	Adder	Absolute Value	Logarithm
1	$a_1 + b_1$		
2	$a_2 + b_2$	$\|a_1 + b_1\|$	
3	$a_3 + b_3$	$\|a_2 + b_2\|$	$\log(\|a_1 + b_1\|)$
4	$a_4 + b_4$	$\|a_3 + b_3\|$	$\log(\|a_2 + b_2\|)$
5	$a_5 + b_5$	$\|a_4 + b_4\|$	$\log(\|a_3 + b_3\|)$

© Digital Integrated Circuits2nd — Sequential Circuits

تأخیر دیوار سمت چپ و سمت راست (خط لوله) چطور است؟
در سمت چپ: فاصله بین دو کلاک = جمع تأخیرها + setup و ...
در سمت راست Thold + تأخیر + Tsetup
زمان کار سمت راست خیلی سریع‌تر است.

latch روی سطح کار می‌کند
Register روی لبه کار می‌کند.

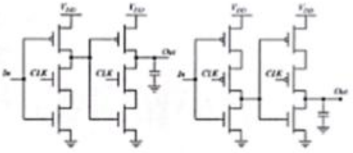
Setup/Hold Time Illustrations



© Digital Integrated Circuits2nd — Sequential Circuits

ساختار master و slave را دارد.
اگر سمت چپ اعمال شود M4 و M3 قطع است ... است
همه جریان قطع می‌شود CL1 ... float است:
سمت چپ اگر D=0 باشد M4 و M3 وصل و ...
و خازن CL1 شارژ می‌شود.

Other Latches/Registers: TSPC

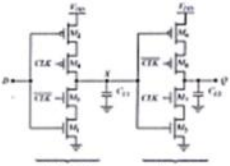


Positive latch (transparent when CLK= 1)

Negative latch (transparent when CLK= 0)

© Digital Integrated Circuits2nd — Sequential Circuits

Other Latches/Registers: C²MOS



Master Stage

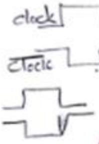
Slave Stage

"Keepers" can be added to make circuit pseudo-static

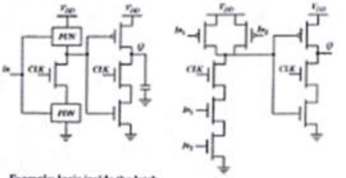
© Digital Integrated Circuits2nd — Sequential Circuits

وقتی کلاک یک باشد بالایی قطع فقط اسم O در شارژ شدن را دارد
... صفر باشد بالایی وصل و خروجی X را می‌تواند ترکیب کند
اگر D صفر باشد و کلاک صفر باشد X شارژ می‌شود
Q D clock | x y Q+
0 0 0 | 1 1
بقیه ادامه دارد

خوبی‌اش: overlap و clock‌ها
اگر بین کلاک‌ها overlap داشته باشیم
اگر هر دو هم زمان یک مقدار داشته باشند overlap می‌گیرد
هم زمان هر دو صفر شوند ← clock و clock
بالایی‌ها وصل و پایینی‌ها قطع است.



Including Logic in TSPC

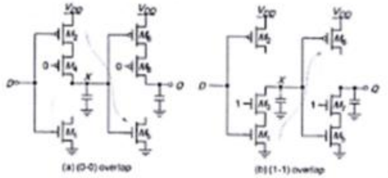


Example: logic inside the latch

AND latch

© Digital Integrated Circuits2nd — Sequential Circuits

Insensitive to Clock-Overlap



(a) (0-0) overlap

(b) (1-1) overlap

© Digital Integrated Circuits2nd — Sequential Circuits

D=0 بالایی‌ها وصل و پایینی‌ها ... M5
چون M5 روشن می‌شود و بالایی کدام خاموش است و بالایی کدام خاموش است اثری ندارد و در خروجی یعنی overlap روی مقدار خروجی اثری ندارد.