

بِسْمِ اللَّهِ الرَّحْمَنِ الرَّحِيمِ

میکرو کنترلرهای AVR

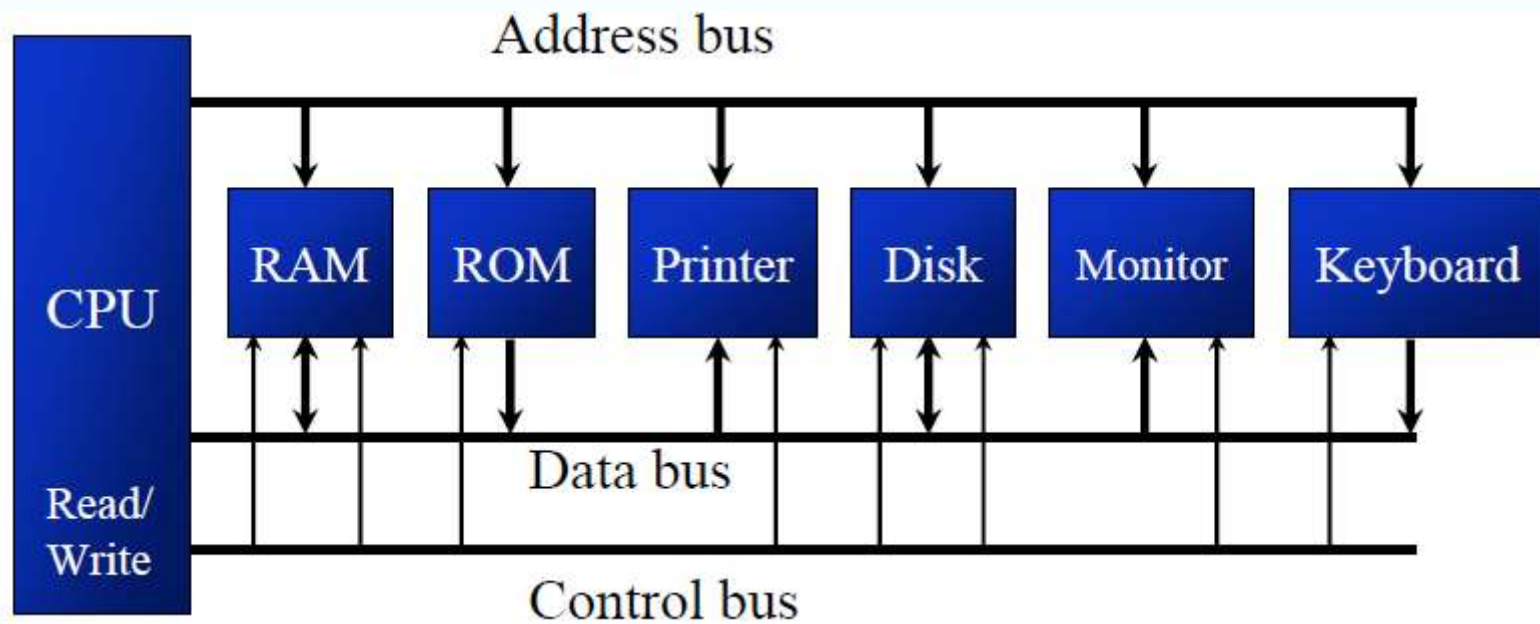
دانشکده برق و رباتیک
دانشگاه صنعتی شاهرود

حسین خسروی

۱۳۹۰-۹۱

□ ساختار ساده یک کامپیوتر

■ پردازنده مرکزی، حافظه‌های RAM و ROM، ابزارهای ورودی خروجی، گذرگاههای آدرس و داده



انواع حافظه کد (ROM)

□ PROM یا OTP : تنها یک بار قابلیت نوشته شدن دارد.

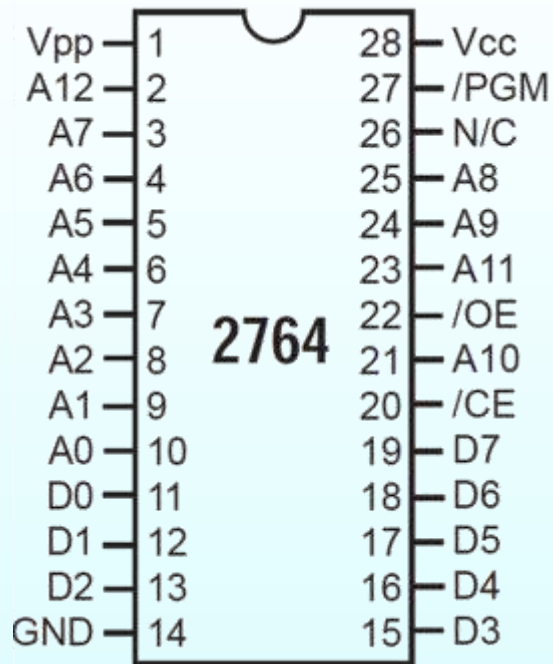
□ EPROM یا UV-EPROM

■ قابلیت پاک شدن دارد؛ ۲۰ دقیقه در مجاورت UV

■ نیاز به دو دستگاه programmer و پاک کننده

■ تعداد دفعات نوشتن و پاک کردن: هزار بار

■ مثال: ۲۷۶۴ (ظرفیت ۶۴ کیلوبیت)



□ EEPROM

■ قابلیت پاک شدن الکتریکی

■ پاک کردن بایتهای دلخواه

■ قابلیت برنامه ریزی روی برد (نیاز به مدار برنامه ریز)

■ تعداد دفعات نوشتن و پاک کردن: ۱۰۰ هزار بار

انواع حافظه کد (ROM) – ادامه

Flash

- EEPROM سریع
- پاک شدن کل حافظه در کمتر از یک ثانیه
- تعداد دفعات نوشتن و پاک کردن: ۱۰۰ هزار بار
- مورد استفاده در بایاس کامپیوتر و حافظه برنامه میکروهای AVR
- در آینده جایگزین دیسکهای سخت خواهد شد

Mask ROM

- توسط تولید کننده IC برنامه ریزی می شود
- مناسب برای تولید انبوه
- پس از نهایی شدن کد، آن را به سازنده IC داده تا تولید کند.

 نکته: تمام حافظه های ROM، ۸ پایه برای داده دارند.

انواع حافظه داده (RAM)

□ حافظه ایستا یا SRAM

- از فلیپ فلاپ ساخته شده و نیازی به تازه سازی ندارد.
- حجم بیشتری روی تراشه اشغال می کند (هر سلول ۴ تا ۶ ترانزیستور)

□ حافظه پویا یا DRAM

- از خازن برای سلولهای حافظه استفاده می کند. **نیاز به تازه سازی دارد.**
- مزایا: ظرفیت بالا، هزینه کمتر و مصرف برق کمتر

□ حافظه غیرفرار NV-RAM

- مزایای RAM و ROM را شامل می شود
- سلولهای SRAM با تکنولوژی CMOS (کم مصرف)
- باتری لیتیوم داخلی (قابلیت نگهداری اطلاعات تا ۱۰ سال)
- کنترل هوشمند جریان پین VCC جهت سوئیچ کردن بین منبع داخلی و خارجی

□ نکته: تعداد دفعات نوشتن و خواندن در RAM **بینهایت** است.

□ مثالی از حافظه ایستا: ۶۱۱۶

■ پینهای A0-A10 امکان آدرس دهی 2k خانه را فراهم می کنند.

■ پینهای D0-D7 بیانگر ۸ بیتی بودن خانه های حافظه است.

■ ساختار حافظه: 2kx8

■ (Write Enable) WE

□ برای نوشتن روی حافظه

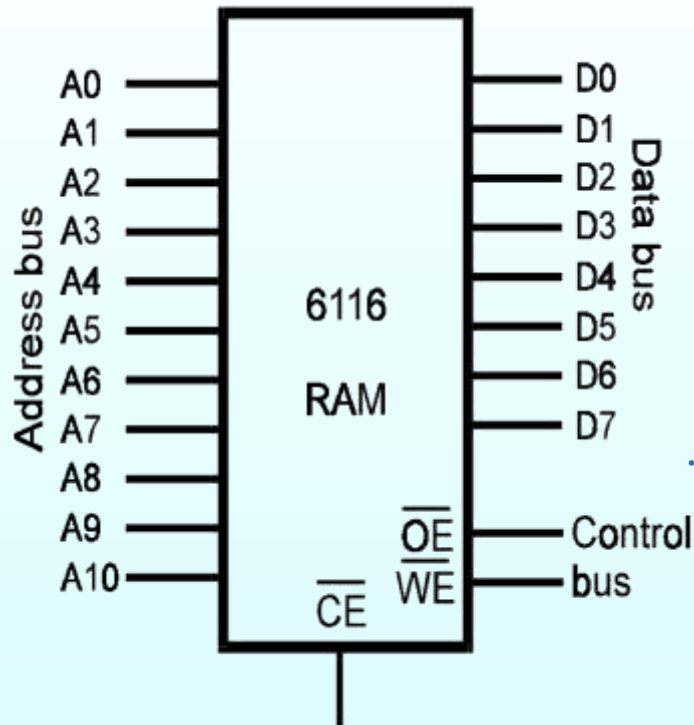
■ (Output Enable) OE

□ برای خواندن از حافظه

■ پینهای کنترلی WE و OE صفر-فعال هستند.

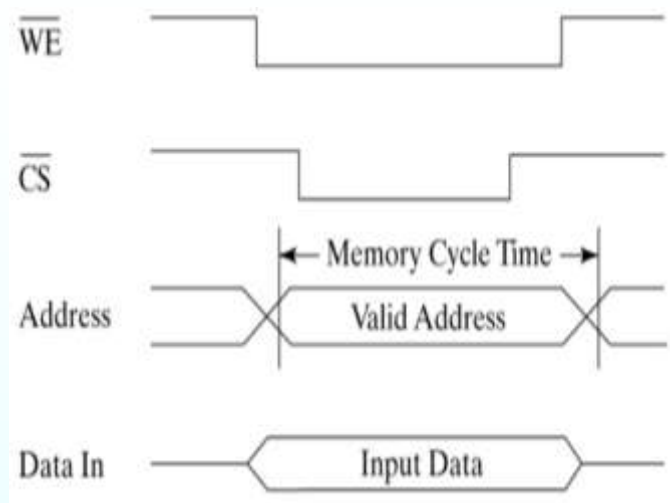
■ (Chip Select) CS

□ برای انتخاب تراشه



نمودار زمانبندی نوشتن در SRAM

نوشتن □



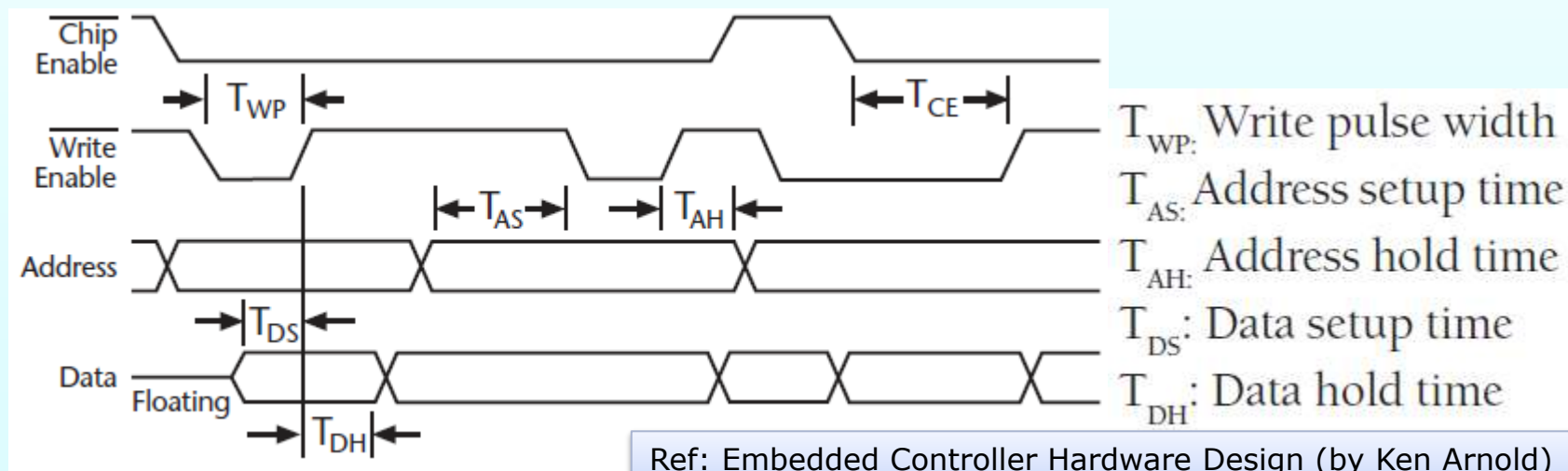
■ پایه های A0-A10 را فراهم کنید

■ پایه CS را فعال کنید

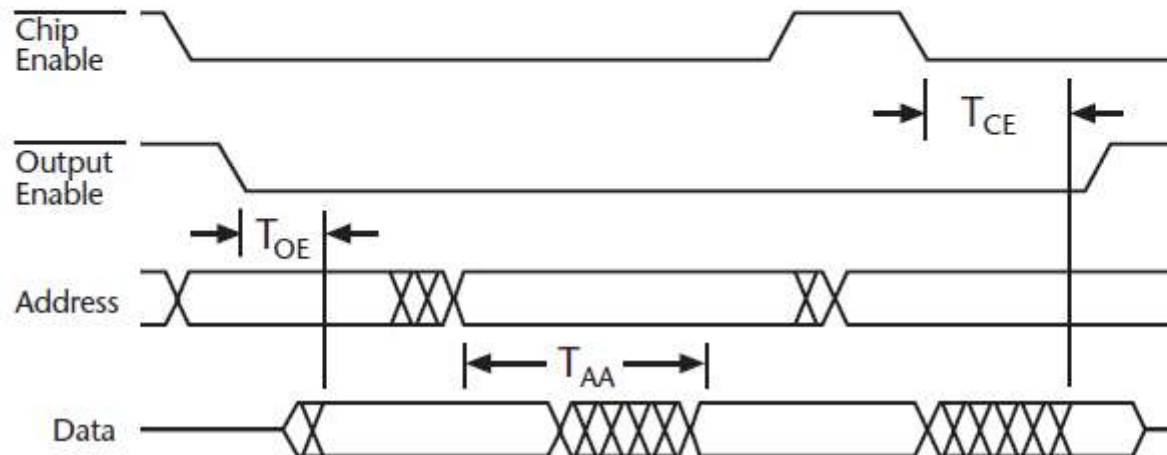
■ WE را فعال کنید

■ داده ها را در D0-D7 قرار دهید

□ نسخه کاملتر

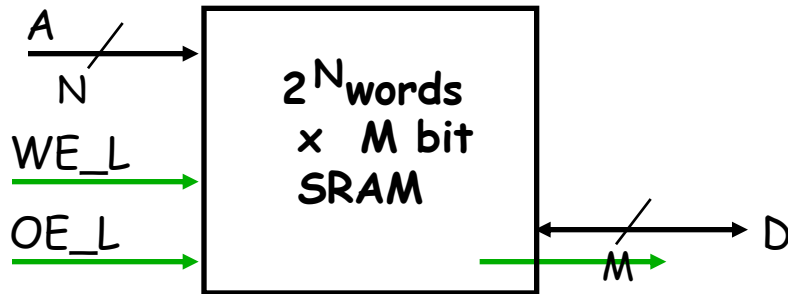


- T_{AA} (address access time): Valid Address to valid data delay
- T_{OE} (output enable access time): Output Enable (OE) to valid data delay
- T_{CE} (chip enable access time): Chip Enable (CE) to valid data delay

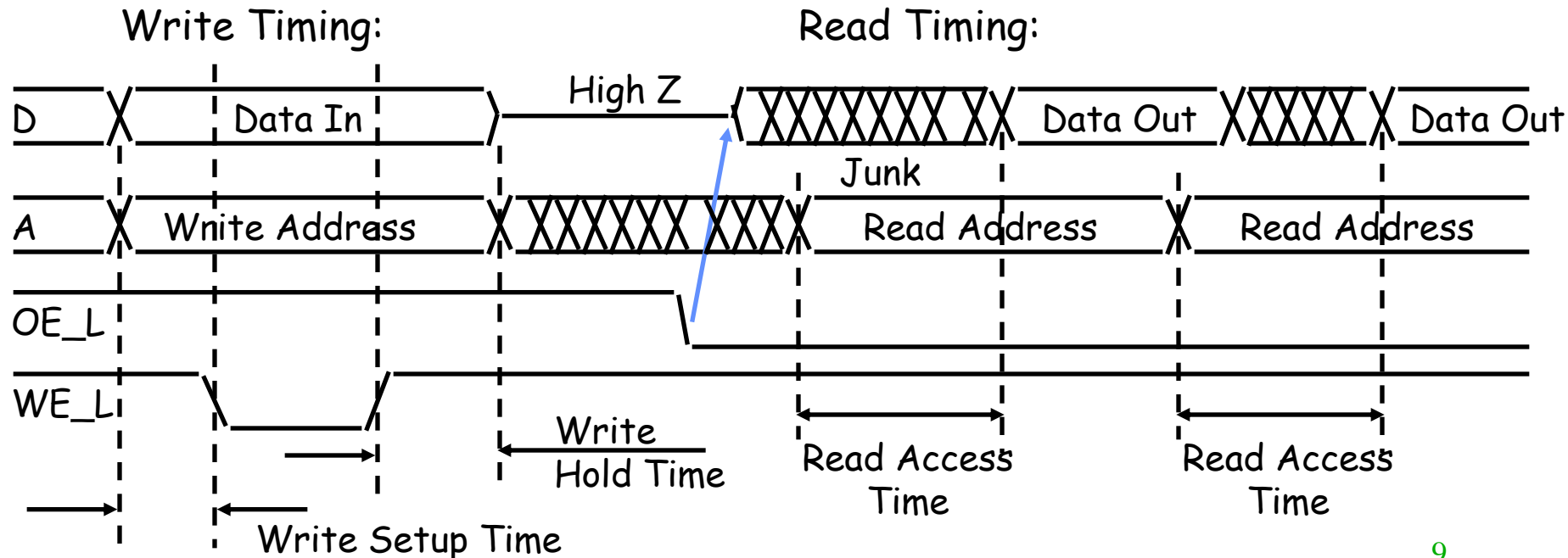


Ref: Embedded Controller Hardware Design (by Ken Arnold)

Typical SRAM Timing



OE determines direction
Hi = Write, Lo = Read
Writes are dangerous! Be careful!
Double signaling: OE Hi, WE Lo

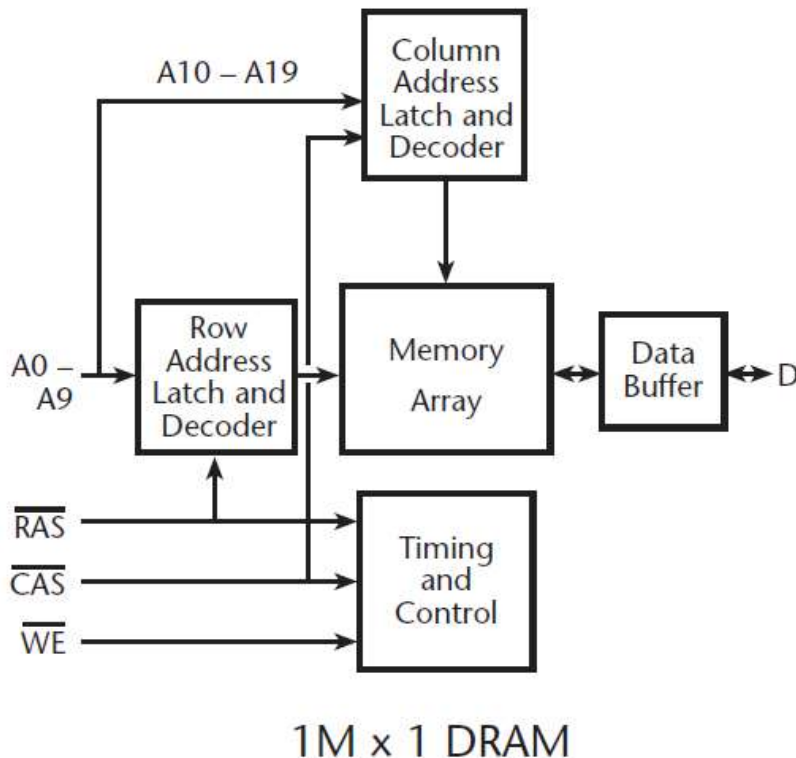


تعداد زیاد پینهای آدرس

■ استفاده از تکنیک چیدمان ماتریسی

■ دسترسی به خانه های حافظه با استفاده از RAS و CAS

■ تعداد پینهای لازم برابر است با نصف + ۲ پین برای RAS و CAS



□ هر ابزار جانبی مانند حافظه‌های خارجی باید محدوده‌ی آدرس خاص خود را داشته باشند.

□ مثلاً اگر دو حافظه ROM خارجی با ساختار $2k \times 8$ داریم می‌توانیم یکی را در محدوده‌ی آدرس $0X0000-0X07FF$ و دیگری را در محدوده‌ی آدرس $0X5000-0X57FF$ جاگذاری کنیم.

□ به این عمل نگاشت حافظه (memory mapping) گویند.

□ برای این کار پینهای کم ارزش گذرگاه آدرس را به خطوط آدرس حافظه ROM متصل کرده و پینهای باقیمانده را با استفاده از گیت‌های منطقی یا مالتی پلکسر به آدرس مورد علاقه نگاشت می‌دهیم.

MEMORY ADDRESS DECODING

The CPU provides the address of the data desired, but it is the job of the decoding circuitry to locate the selected memory block

Memory chips have one or more pins called CS (chip select), which must be activated for the memory's contents to be accessed. Sometimes the chip select is also referred to as chip enable (CE).



MEMORY ADDRESS DECODING (cont')

In connecting a memory chip to the CPU, note the following points

The data bus of the CPU is connected directly to the data pins of the memory chip. Control signals RD (read) and WR (memory write) from the CPU are connected to the OE (output enable) and WE (write enable) pins of the memory chip.

In the case of the address buses, while the lower bits of the address from the CPU go directly to the memory chip address pins, the upper ones are used to activate the CS pin of the memory chip.



MEMORY
ADDRESS
DECODING
(cont')

Normally memories are divided into blocks and the output of the decoder selects a given memory block

Using simple logic gates

Using the 74LS138

Using programmable logics



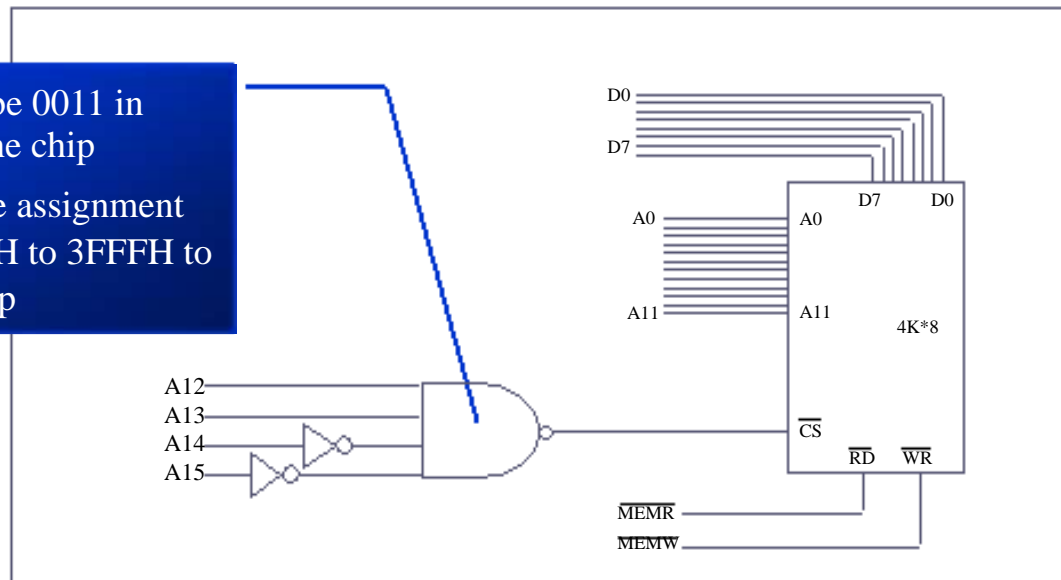
MEMORY ADDRESS DECODING

Simple Logic Gate Address Decoder

The simplest way of decoding circuitry is the use of NAND or other gates

The fact that the output of a NAND gate is active low, and that the CS pin is also active low makes them a perfect match

A15-A12 must be 0011 in order to select the chip
This results in the assignment of address 3000H to 3FFFH to this memory chip



MEMORY ADDRESS DECODING

Using 74LS138 3-8 Decoder

This is one of the most widely used address decoders

The 3 inputs A, B, and C generate 8 active-low outputs Y0 – Y7

Each Y output is connected to CS of a memory chip, allowing control of 8 memory blocks by a single 74LS138

In the 74LS138, where A, B, and C select which output is activated, there are three additional inputs, G2A, G2B, and G1

G2A and G2B are both active low, and G1 is active high

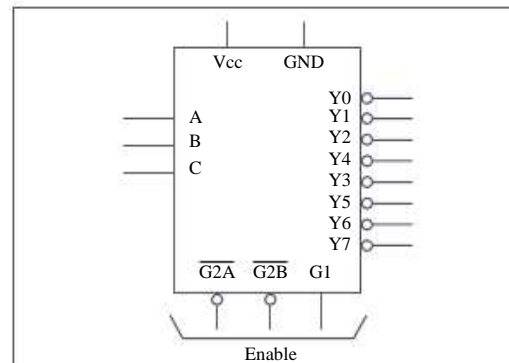
If any one of the inputs G1, G2A, or G2B is not connected to an address signal, they must be activated permanently either by V_{cc} or ground, depending on the activation level



MEMORY ADDRESS DECODING

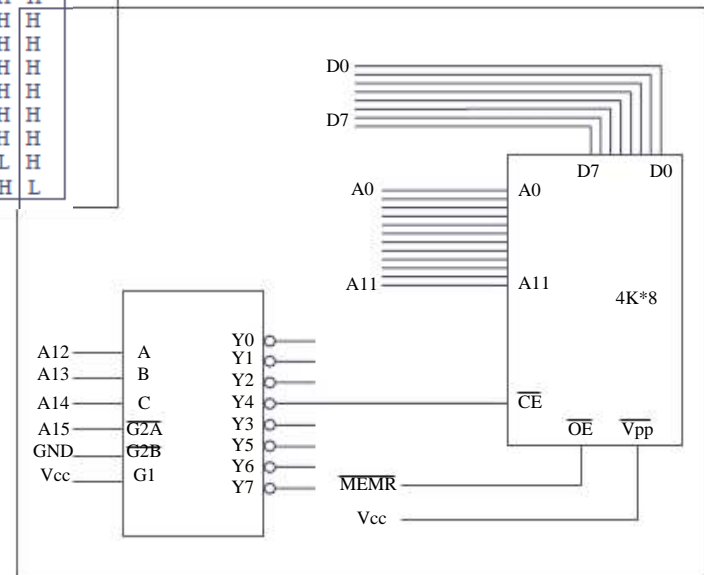
Using 74LS138 3-8 Decoder (cont')

74LS138 Decoder



Function Table

Inputs			Outputs									
Enable	Select											
G1 G2	C	B	A	Y0	Y1	Y2	Y3	Y4	Y5	Y6	Y7	
X H	X	X	X	H	H	H	H	H	H	H	H	
L X	X	X	X	H	H	H	H	H	H	H	H	
H L	L	L	L	L	H	H	H	H	H	H	H	
H L	L	L	H	H	L	H	H	H	H	H	H	
H L	L	H	L	H	H	L	H	H	H	H	H	
H L	L	H	H	H	H	L	H	H	H	H	H	
H L	H	L	L	H	H	H	L	H	H	H	H	
H L	H	L	H	H	H	H	L	H	H	H	H	
H L	H	H	L	H	H	H	H	L	H	H	H	
H L	H	H	H	H	H	H	H	L	H	H	L	



MEMORY ADDRESS DECODING

Using 74LS138
3-8 Decoder
(cont')

Looking at the design in Figure 14-6, find the address range for the Following. (a) Y4, (b) Y2, and (c) Y7.

Solution :

(a) The address range for Y4 is calculated as follows.

A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	1	0	0	1	1	1	1	1	1	1	1	1	1	1	1

The above shows that the range for Y4 is 4000H to 4FFFH. In Figure 14-6, notice that A15 must be 0 for the decoder to be activated. Y4 will be selected when A14 A13 A12 = 100 (4 in binary). The remaining A11-A0 will be 0 for the lowest address and 1 for the highest address.

(b) The address range for Y2 is 2000H to 2FFFH.

A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	1	0	1	1	1	1	1	1	1	1	1	1	1	1

(c) The address range for Y7 is 7000H to 7FFFH.

A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
0	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0
0	1	1	1	1	1	1	1	1	1	1	1	1	1	1	1



MEMORY ADDRESS DECODING

Using Programmable Logic

Other widely used decoders are programmable logic chips such as PAL and GAL chips

One disadvantage of these chips is that one must have access to a PAL/GAL software and burner, whereas the 74LS138 needs neither of these

The advantage of these chips is that they are much more versatile since they can be programmed for any combination of address ranges



INSIDE THE COMPUTER

Internal Organization of Computers (cont')

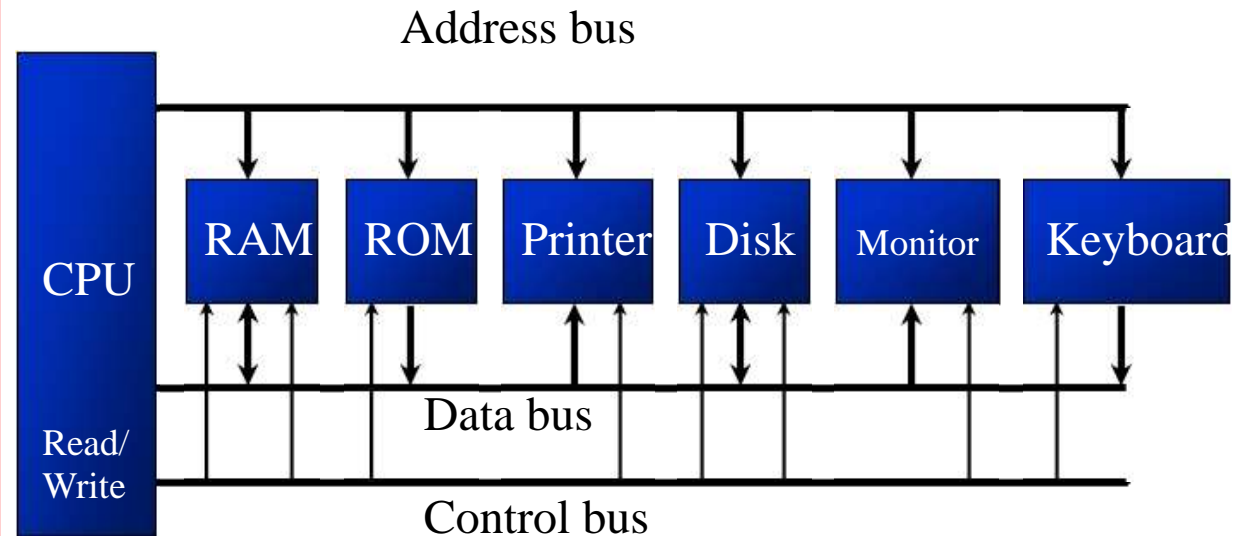
The CPU is connected to memory and I/O through strips of wire called a bus

Carries information from place to place

Address bus

Data bus

Control bus



INSIDE THE COMPUTER

Internal Organization of Computers (cont')

Address bus

For a device (memory or I/O) to be recognized by the CPU, it must be assigned an address

The address assigned to a given device must be unique

The CPU puts the address on the address bus, and the decoding circuitry finds the device

Data bus

The CPU either gets data from the device or sends data to it

Control bus

Provides read or write signals to the device to indicate if the CPU is asking for information or sending it information



INSIDE THE COMPUTER

More about Data Bus

The more data buses available, the better the CPU

Think of data buses as highway lanes

More data buses mean a more expensive CPU and computer

The average size of data buses in CPUs varies between 8 and 64

Data buses are bidirectional

To receive or send data

The processing power of a computer is related to the size of its buses



INSIDE THE COMPUTER

More about Address Bus

The more address buses available, the larger the number of devices that can be addressed

The number of locations with which a CPU can communicate is always equal to 2^x , where x is the address lines, regardless of the size of the data bus

ex. a CPU with 24 address lines and 16 data lines can provide a total of 2^{24} or 16M bytes of addressable memory

Each location can have a maximum of 1 byte of data, since all general-purpose CPUs are byte addressable

The address bus is unidirectional



INSIDE THE COMPUTER

CPU's Relation to RAM and ROM

For the CPU to process information, the data must be stored in RAM or ROM, which are referred to as primary memory

ROM provides information that is fixed and permanent

Tables or initialization program

RAM stores information that is not permanent and can change with time

Various versions of OS and application packages

CPU gets information to be processed

first from RAM (or ROM)

if it is not there, then seeks it from a mass storage device, called secondary memory, and transfers the information to RAM



INSIDE THE COMPUTER

Inside CPUs

Registers

The CPU uses registers to store information temporarily

- Values to be processed

- Address of value to be fetched from memory

In general, the more and bigger the registers, the better the CPU

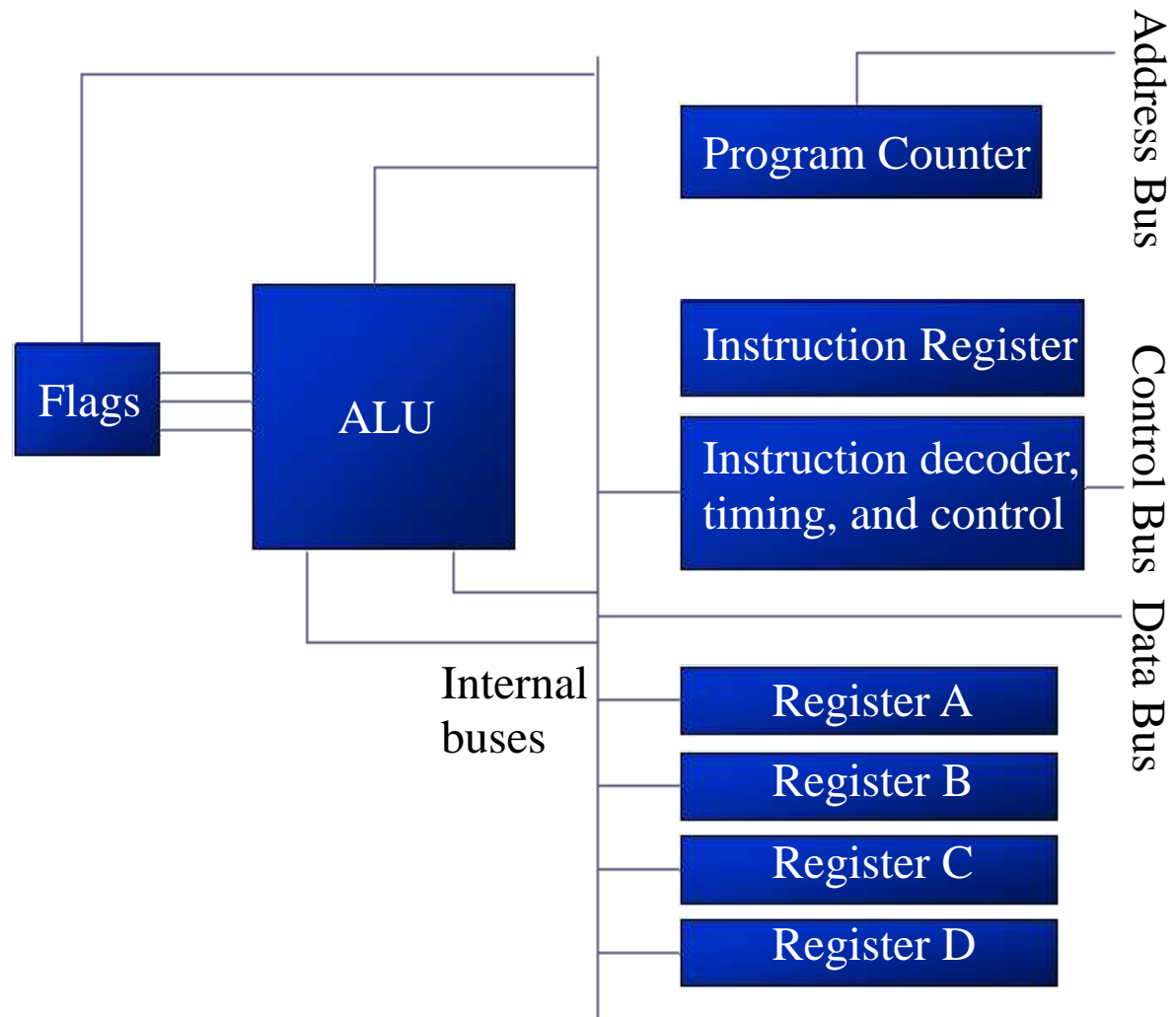
- Registers can be 8-, 16-, 32-, or 64-bit

- The disadvantage of more and bigger registers is the increased cost of such a CPU



INSIDE THE COMPUTER

Inside CPUs (cont')



INSIDE THE COMPUTER

Inside CPUs (cont')

ALU (arithmetic/logic unit)

Performs arithmetic functions such as add, subtract, multiply, and divide, and logic functions such as AND, OR, and NOT

Program counter

Points to the address of the next instruction to be executed

As each instruction is executed, the program counter is incremented to point to the address of the next instruction to be executed

Instruction decoder

Interprets the instruction fetched into the CPU

A CPU capable of understanding more instructions requires more transistors to design



INSIDE THE COMPUTER

Internal Working of Computers

Ex. A CPU has registers A, B, C, and D and it has an 8-bit data bus and a 16-bit address bus. The CPU can access memory from addresses 0000 to FFFFH

Assume that the code for the CPU to move a value to register A is B0H and the code for adding a value to register A is 04H

The action to be performed by the CPU is to put 21H into register A, and then add to register A values 42H and 12H

...



INSIDE THE COMPUTER

Internal Working of Computers (cont')

Ex. (cont')

Action	Code	Data
Move value 21H into reg. A	B0H	21H
Add value 42H to reg. A	04H	42H
Add value 12H to reg. A	04H	12H

Mem. addr.	Contents of memory address
1400	(B0) code for moving a value to register A
1401	(21) value to be moved
1402	(04) code for adding a value to register A
1403	(42) value to be added
1404	(04) code for adding a value to register A
1405	(12) value to be added
1406	(F4) code for halt

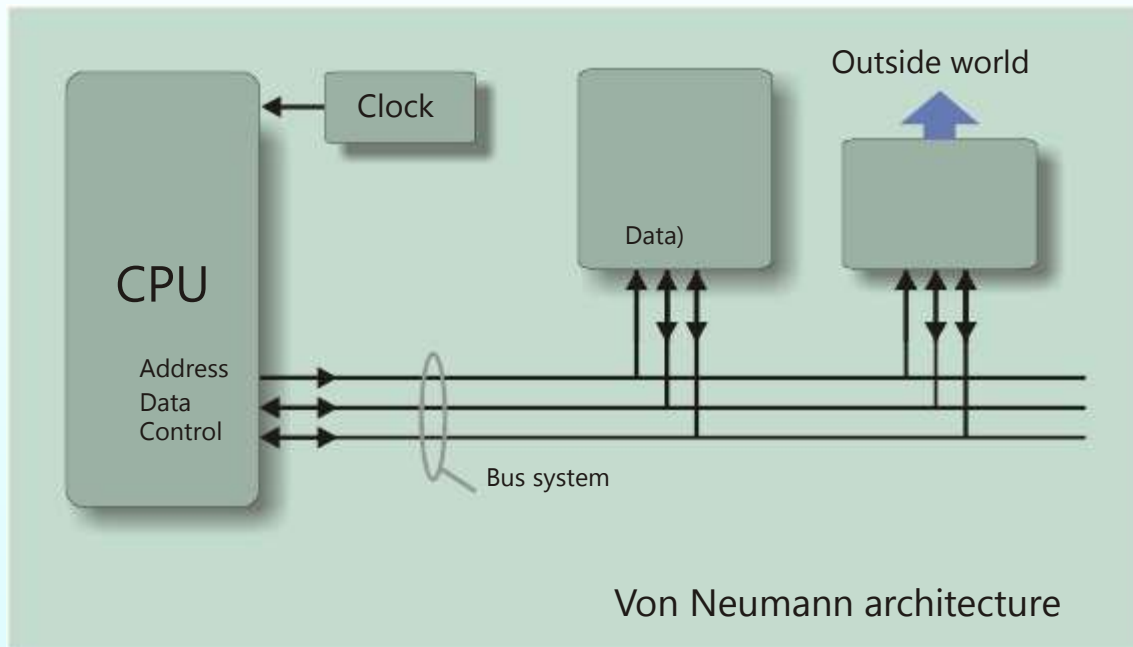
...



معماری ون نیومن □

■ گذرگاه داده و آدرس مشترک برای داده‌ها و کد

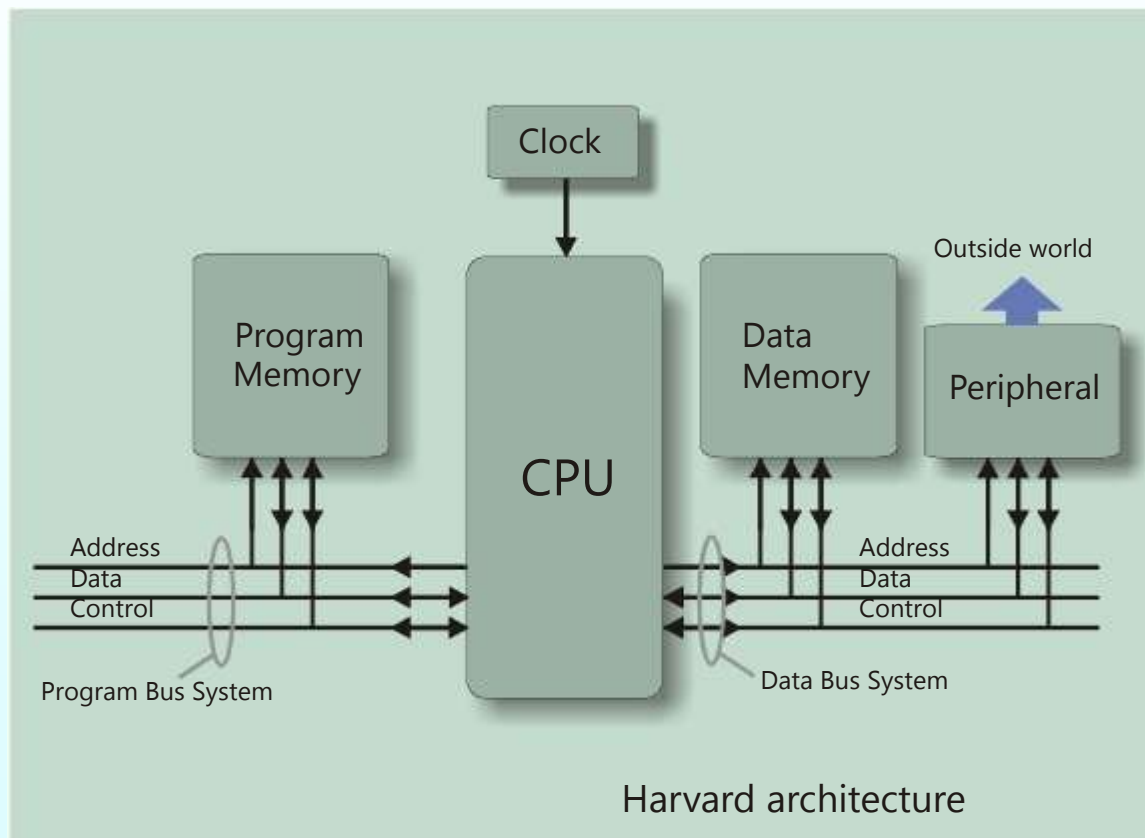
■ مورد استفاده در اکثر کامپیوترهای امروزی



□ دو گذرگاه داده و دو گذرگاه آدرس

■ یکی برای داده ها و ابزارهای جانبی

■ دیگری برای کد



تمام تمرینهای فرد یا تمام تمرینهای زوج به دلخواه! □