مبانی آزمایش ، آزمون پذیری
و
طراحی سیستمهای مطمئن

احمد خادم زاده
مرکز تحقیقات مخابرات ایران

فصل اول

مقدمه

رویا ها به سرعت به واقعیت تبدیل می شوند . سرویسهایی که ارائه آن به کاربران در دهه گذشته رویـایی بیش به نظر نمی رسید اکنون به کمک تکنولوژیهای پیشرفته به واقعیت پیوسته است .

وابستگی صنایع مختلف به فن آوری الکترونیک و نتیجتاً وابستگی جهان امروز به این صنعت روز بـه روز افزایش می یابد. فن آوری الکترونیک خود مورد انقلابی عظیم بوده و افزایش پیچیدگی و کاربرد تکنولوژیهای بسیار پیشرفته در آن شتاب بسیار زیادی داشته اسـت. مـدارات الکـترونیکی و بخصـوص مـدارات مجتمـع [1] دستخوش تحولاتی شگرف بوده اند . بعنوان مثال می توان افزایش سـرعت و توانائیـها و تقلیـل حجـم ایـن مدارات یا بعبارتی دیگر افزایش تعداد اجزاء الکترونیکی در واحد سطح یک قطعه را نام برد. یک مدار مجتمـع در سالهای ۱۹۷۰ بطور متوسط حداکثر شامل ۱۰۰ عدد ترانزیستور بوده ، حال آنکـه در سـالهای ۱۹۸۰ ایـن رقم به یکصد هزار رسیده و در سال ۱۹۹۰ قطعاتی با سرعت بسیاربالا و با ترانزیستورهایی برابر ۱/۲ میلیـون (میکروپروسسور ۸۰۴۸۶ از کمپانی اینتل با سرعت ۲۵ و ۳۳ مگا) در سیستمهای الکترونیکی به کـار گرفتـه شده است .

این تعداد در سال ۲۰۰۲ به بیش از ۲۰۰ میلیون ترانزیستور و سرعتهای بیش از چند گیگا افزایش یافتـه است.

بکار گیری بسیار وسیع قطعات و زیر سیستمها در سیستمهایی بـا مشـخصات ذکـر شـده و سیسـتمهای مختلف و بخصوص در سیستمهای بلادرنگ [2] و با وظایف حیاتی، اگر چه باعث بوجود آمدن قابلیتـهای بسـیار بالا بوده است ولیکن همزمان لزوم وجود قابلیت اطمینان در این نوع سیستمها را امری حیاتی و اجتناب ناپذیر نموده است.

قابلیت اطمینان مورد نیاز در سیستمهایی با کاربرد متفاوت بـه صـورت متفـاوت تـامین مـی شـود. بـرای کاربردهای بدون وقفه از قبیل سیستمهای مخابراتی نظامی و غیر نظامی [3] و کنترل کننده های مراحل تولیـد صنعتی [4] و سیستمهای کنترل ناوبری فضایی [5] و غیره، کار بـدون توقـف یـک نیـاز حیـاتی بـوده و ایـن نـوع سیستمها بایستی طوری طراحی شوند تا بتوانند با وجود خرابی به وظیفه خود بطور مناسب ادامه دهند.

سیستمهای الکترونیکی بر اساس کاربرد وظیفه مورد نظر طراحی و ساخته می شوند . سیستم ساخته شده بایستی قادر به سرویس دهی [6] (عملکرد صحیح) بر اساس مشخصات در نظـر گرفتـه شـده در مرجـع معتـبر سیستم [7] باشد (مرجع ۱) عوامل و علل مختلفی می تواند سیستم را وادار نماید تا نتوانـد قسـمتی و یـا همـه وظایف محوله را بطور مناسب انجام دهد. (مرجع ۱)

1-Integrated Circuits
2-Real Time
3-Army Communication Systems
4-Industrial Process Control
5- Navigation Control Systems
6- Proper behavior
7-Authoritative system reference

تاثیر وقایع نامطلوب[1] بر هر یک از قسمتهای سیستم با توجه بـه منشـاء آن در محیطـهای مختلـف یـک سیستم (محیط فیزیکی، منطقی، اطلاعاتی و مصرف کننده) بر عملکرد صحیح سیستم و بعبـارتی عملکـرد مطلوب سیستم بر اساس شکل ۱-۱ نشان داده شده است (مرجع ۲).

بطور کلی ساختار یک سیستم الکترونیکی کنترل شونده توسط برنامـه هـای ذخـیره شـده[2] را بـه چـهار قسمت(چهار محیط) مختلف تقسیم می نمایند که به ترتیـب محیـط فـیزیکی[3] ، محیـط منطقـی[4] ، محیـط اطلاعاتی[5] و محیط کاربر(خارجی)[6] می باشند.

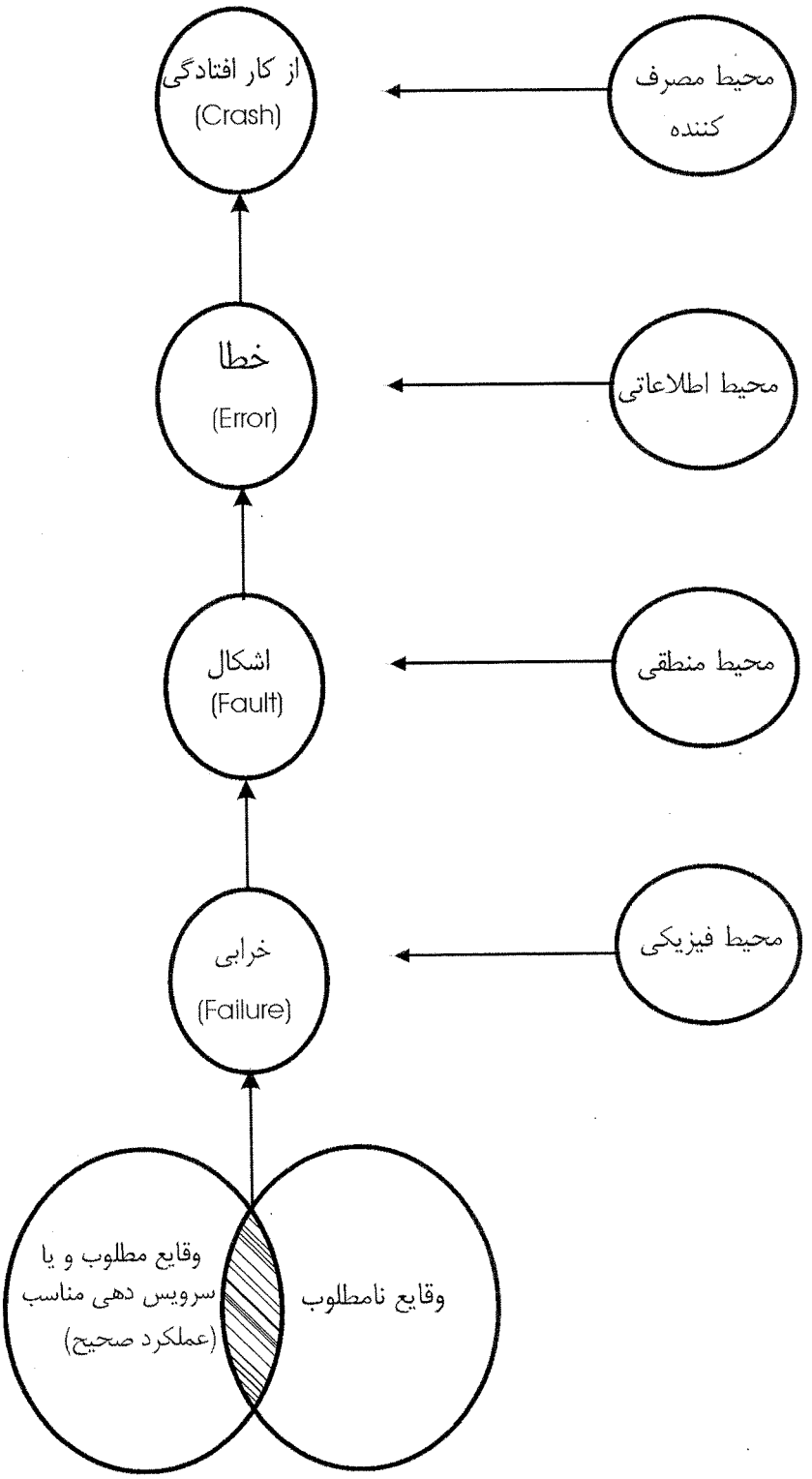
محیط فیزیکی سیستم به کلیه اجزاء فیزیکی سیستم اطلاق می شود. بنابراین یک مقاومت، یک خـازن ، یک ارتباط سیمی و یا یک ارتباط باریک مسی بر روی یک برد و نظائر آن یک جزء فیزیکی می باشد کـه در صورت وجود هر نوع نارسائی یا بعبارتی دیگر تغییر یک یا چند مشخصه در این اجزاء دال بز خرابی[7] آن جـزء است.

محیط منطقی، سطحی بالاتر از محیط فیزیکی می باشد کـه در ایـن محیـط تغییـرات ناخواسـته مقـادیر منطقی مورد نظر می باشد. تاثیرات خرابی در محیط فـیزیکی منجـر بـه ایجـاد اشـکال[8] در محیـط منطقـی می گردد. اگر چنانچه بعنوان مثال یک خرابی در یک ترانزیستور واقع بر خروجی یک قطعـه مـدار مجتمـع[9] ایجاد گردد، در این حالت مقدار منطقی خروجی مربوطه همواره دارای مقدار منطقی صفر ویا یک خواهد بـود. بنابراین تاثیر خرابی در محیط فیزیکی منجر به وجود اشکال در محیط منطقی گردیده است .

سطح بالاتر محیط منطقی، محیط اطلاعاتی می باشد کـه در ایـن محیـط ، تـاثیر اشـکال بـاعث نتـایج ناخواسته (خطا)[10] در پردازش اطلاعات و در محیط اطلاعاتی می گردد. بعنوان مثال اگر چنانچه اطلاعات در روی یک شریان داده بصورت سریال و بصورت ۸ بیتی جریان داشته و به هـر ۸ بیـت اطلاعـات یـک بیـت پاریتی الصاق شده باشد، اگر چنانچه یک خرابی در محیط فیزیکی ویا اشکال در محیـط منطقـی ودر محیـط پردازش بوجود آید که منجر به تغییر چند بیت از مقدار واقعی به مقدار غلط گردد، لازم است جهت تشـخیص وجود تغییر در اطلاعات، پاریتی جدیدی بر اساس اطلاعات دریافت شده محاسبه و سپس این پاریتی با پاریتی دریافت شده مقایسه شود. اگر پاریتی جدید و پاریتی قدیم مساوی باشند خطایی در اطلاعات وجود ندارد و در غیر اینصورت اطلاعات دارای خطا می باشند.

بالاترین سطح در یک سیستم محیط خارجی می باشند که در آن اثر خطا از محیط اطلاعاتی به طریقی به محیط خارجی سیستم و یا کاربران منتقل می شود. در این حالت در سیستم ویا جزئی از آن از کار افتادگـی[11] اتفاق افتاده است.

1-Undesired events
2- Stored Program Control systems
3-Physical Universe
4-Logical Universe
5-Informational Universe
6-External Universe
7-Failure
8-Fault
9- Integrated Circuit ~ IC
10-Error
11-Crash


از کار افتادگی
(Crash)
محیط مصرف
کننده
خطا
(Error)
محیط اطلاعاتی
اشکال
(Fault)
محیط منطقی
خرابی
(Failure)
محیط فیزیکی
وقایع مطلوب و یا
سرویس دهی مناسب
(عملکرد صحیح)
وقایع نامطلوب

شکل (۱-۱)

بر اساس کمیت تاثیر این وقایع نامطلوب در عملکرد مطلوب (یا بعبارتی درصد سرویس دهی) سیستم، وقایع نامطلوب به سه دسته جزئی[1] ، کلی[2] و بزرگ[3] تقسیم بندی می شوند.

وقایع نامطلوب جزئی تنها درصد ناچیزی از وظیفه مندی سیستم را تحت تاثیر قرا میدهند . بعنوان مثال در یک سیستم سوئیچینگ تلفن که دارای ظرفیت سرویس دهی به ده هزار مشترک می باشد وجود خرابی در یک واحد کنترل ۴ مشترک یک خرابی جزئی به حساب می آید حال آنکه در همین سیستم اگر مدار کنترل زنگ دارای خرابی شود بعلت عدم وجود هر نوع سیگنال صوتی تصور کاربر بر خرابی سیستم ونتیجتاً میتوان آنرا یک واقعه نامطلوب کلی تلقی نمود. دریک سیستم با کنترل مرکزی اگر چنانچه خرابی در واحد کنترل بوجود آید بعلت اینکه سیستم قادر نمی باشد هیچ نوع سرویسی ارائه دهد بنابراین نوع خرابی بسیار بزرگ تلقی خواهد شد. بنابراین هر چه سطح همپوشانی در شکل (۱-۱) بین وقایع مطلوب و وقایع نامطلوب بیشتر باشد تاثیر خرابی بیشتر خواهد بود.

جهت افزایش قابلیت اطمینان در سیستمهای الکترونیکی لازم است بر اساس شناخت دقیق از نقش هر یک از اجزاء سیستم در عملکرد مطلوب سیستم و نوع وقایع نامطلوب قابل وقوع در آن جزء سیستم و تعیین اندازه تاثیر نامطلوب در وظیفه مندی، سیاستهای مختلفی را درآن اتخاذ نمود.

قابلیت اطمینان در یک سیستم را می توان به دو طریق بوجود آورد:

الف : بکارگیری روشهای پرهیز از وقایع نامطلوب[4] با بکارگیری اجزاء فیزیکی با کیفیت بسیار خوب و استفاده از تجهیزات بسیار پیشرفته و اجراء دقیق قوانین طراحی و بازنگری بر آن و آزمایش و ارزیابی مرحله به مرحله می باشد که میتواند از بوجود آمدن وقایع نامطلوب (سخت افزاری و نرم افزاری) جلوگیری کند. (مرجع ۴،۲)

ب : طراحی سیستم و ساختار آن به گونه ای باشد که سیستم بتواند وجود وقایع نامطلوب را آشکار و تصمیم مناسب برای مقابله با آن را اتخاذ نماید[5]. جهت آشکار سازی وقایع نامطلوب و در صورت نیاز بر طرف کردن آن از چهار نوع افزونگی[6]

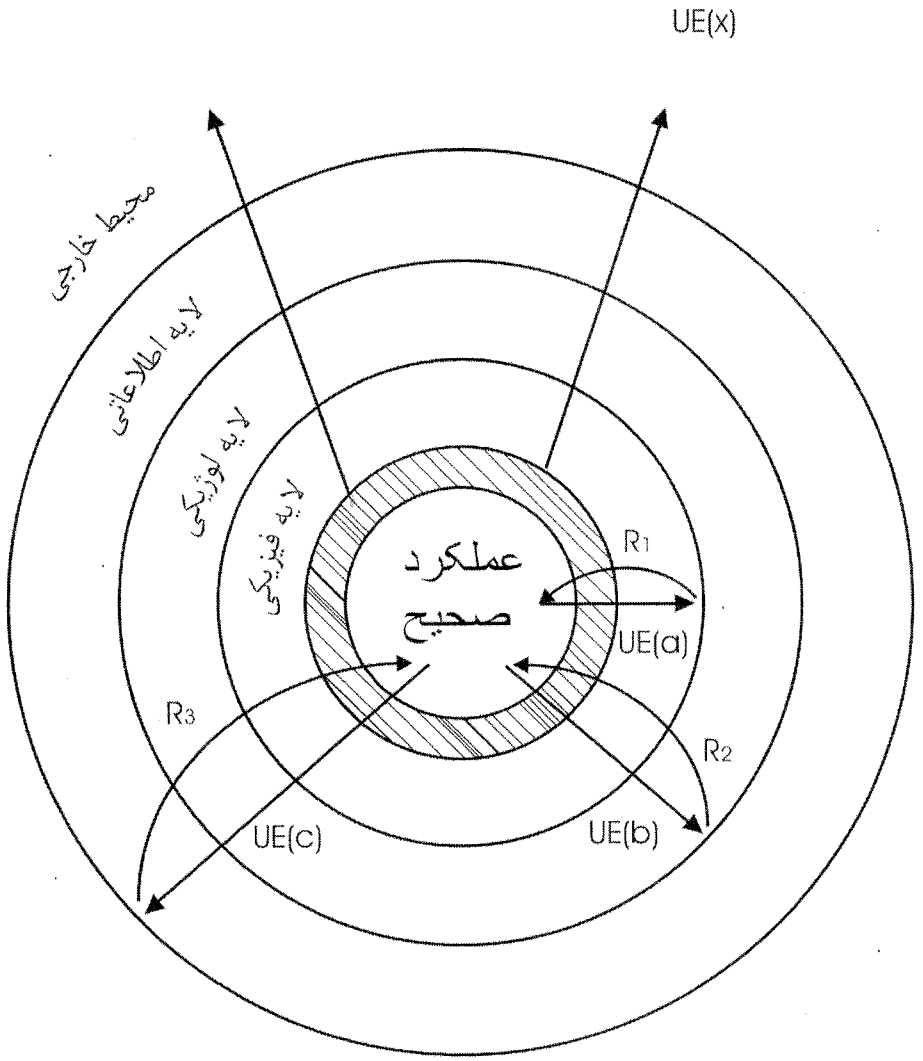
- سخت افزاری
- نرم افزاری
- اطلاعاتی
- زمان

استفاده می شود (مرجع ۴و۵و۶). که با توجه به کاربرد هر یک و یا مجموعه ای از افزونگی های مختلف می توان ساختار پدافندی[7] مناسب جهت بوجود آوردن سیستمی با قابلیت اطمینان مناسب را بدست آورد.

در شکل (۲-۱) نمادی از یک سیستم، طراحی مطمئن نشان داده شده است ودر شکل مذکور هر نوع خرابی(a) که بتواند عملکرد سیستم را در محیط فیزیکی تحت تاثیر قرار دهد و عملکردی ناخواسته برابر UE(a) داشته باشد، در صورت وجود سیاست مقابله مناسب R_1 به محیط عملکرد صحیح باز می گردد. در

1-Minor
2-Major
3-Catastrophic
4-Fault avoidance technique
5-Fault tolerant
6-Redundancy
7-Defense structure

صورت عدم وجود امکانات مناسب مقابله با خرابی، اثر خرابی به محیط لوژیکی منتقل و اشکال b بوجود آمده یا مقابله و سیستم به حالت عادی برمی گردد یا به لایه اطلاعاتی منتقل و باعث ایجاد خطا خواهد شد و به همین ترتیب در صورت عدم مقابله با خطا اثر آن به محیط خارجی منتقل نمی شود.



شکل(۲-۱) روشهای آشکار سازی و غلبه بر وقایع نامطلوب

با توجه به اینکه یکی از خواسته های مهم مصرف کنندگان سیستمهای با تکنولوژی بالا در چرخه حیات سیستم [1]، قابلیت اطمینان و طول عمر مناسب و نگهداری اقتصادی می باشد ، تولید کنندگان این نوع محصولات با توجه به کمبود کارشناسان دارای تخصص و همچنین پیچیدگی مراحل انجام تولید محصولات باید جوابگوی نیازهای قابلیت تولید [2] ، راندمان تولید [3]، کنترل کیفیت [4] و اقتصادی بودن ، نگهداری، آینده سازی باشند .

تجربیات و بررسی های اقتصادی و صنعتی ، خط مشی صحیح را در هر چه بیشتر اتوماتیزه نمودن کلیه مراحل مختلف این نوع سیستمها پیشنهاد نموده و امروزه ثابت گردیده است که بدون استفاده از چنین

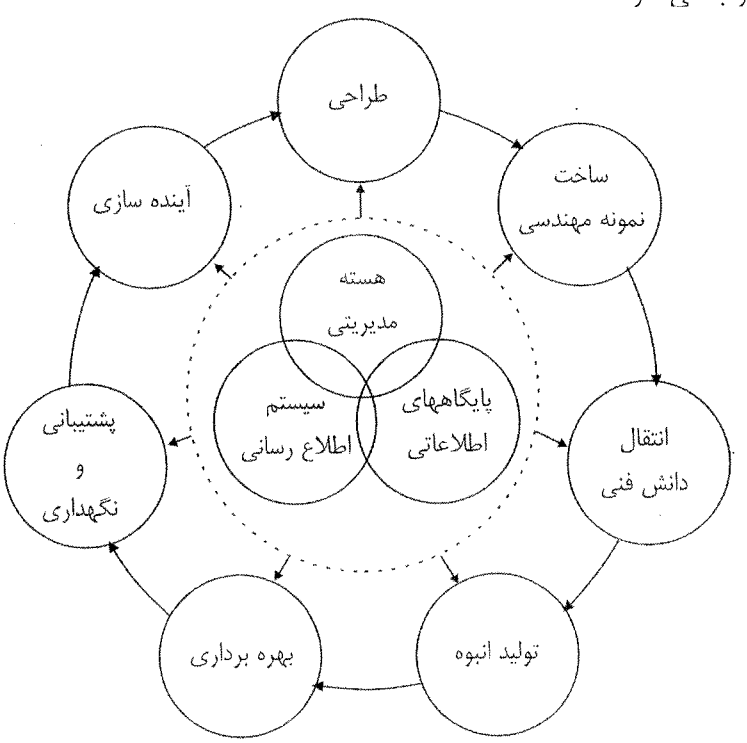
1-Life Cycle
2-Productivity
3-Product efficiency
4-Quality control

روشهایی امکان طراحی، تولید و نگهداری و آینده سازی، کـاملاً غـیر اقتصـادی و در مـورد سیسـتمهایی بـا تکنولوژی بسیار پیچیده غیر ممکن می باشد. بنابراین امر تولید و مصرف سیستمهایی با تکنولوژی بالا مستلزم بکارگیری علوم و فن آوری های مرتبطی می باشد .

علوم و فن آوریهای مرتبط با این سیستمها بصورت تکاملی و همزمان با پیشرفت و توسـعه تکنولـوژی هـای مرتبط توسعه یافته و امروزه اساس چرخه حیات آنها را تشکیل می دهد.

کارشناسان و تحلیل کنندگان صنعتی معتقدند که انقلاب صنعتی جدید بر مبنای استفاده از کامپیوتر در چرخه حیات از دهه ۱۹۷۰ آغاز گردیده است که در ارتباط با صنعت الکترونیک تحت عنوان طراحی و مهندسی تولید و نگهداری[1] به کمک کامپیوتر می باشد .

وجود تکنولوژی های نو و فرآیندهای مربوطه یعنی تحقیق و توسعه طراحی و ساخت نمونه مهندسی ، تولید ، مصرف، مراقبت و نگهداری، پیش بینی وآینده سازی، زنجیره ای بسته را بر اساس دیـاگـرام (۱-۱) تشـکیل می دهند که حیات آن بسته به مکانیسم های پیشرفته اطلاع رسانی در داخل این زنجیره و نحوه ارتباط اجزاء این زنجیر ، با دنیای خارج است. تجربیات و بررسی های اقتصادی و صنعتی، خط مشی صحیحی را در جهت ارتقاء بهره وری در هر مرحله از زنجیره فوق و نتیجتاً ارتقاء بـهره وری کـل بـا اسـتفاده از کـامپیوتر فراهـم می آورد. نقش محوری تکنولوژی اطلاعات و در این راستا، ایجاد پایگاه های اطلاعاتی لازم جهت بکارگیری ارتباط اطلاعاتی بین حلقه های زنجیره ودنیای اطلاعات خارج از زنجیره است. در یک کلام، نقـش سیسـتم اطلاعات مدیریت (MIS)[2] عامل استفاده موثر از تاریخچـه موجـود از ایـن زنجـیره در جـهت بهینـه سـازی، اقتصادی نمودن و نتیجتاً ارتقاء بهره وری در مراحل مختلف قبل و بعد از تولید یـک فـرآورده بـا تکنولـوژی پیشرفته محسوب می شود .

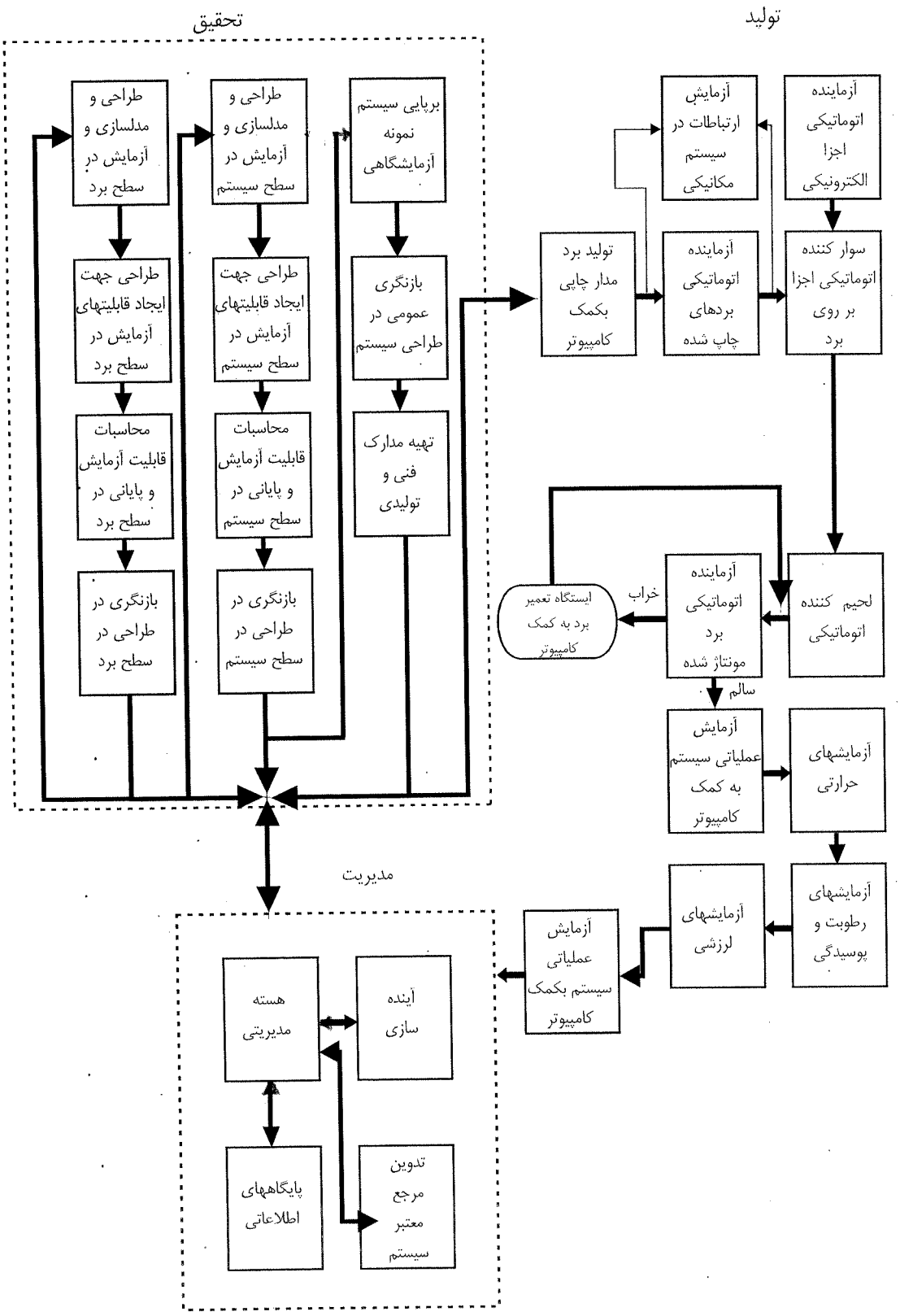


دیاگرام (۱-۱) زنجیره گذارهای قبل و بعد از تولد یک سیستم الکترونیکی با تکنولوژی پیشرفته

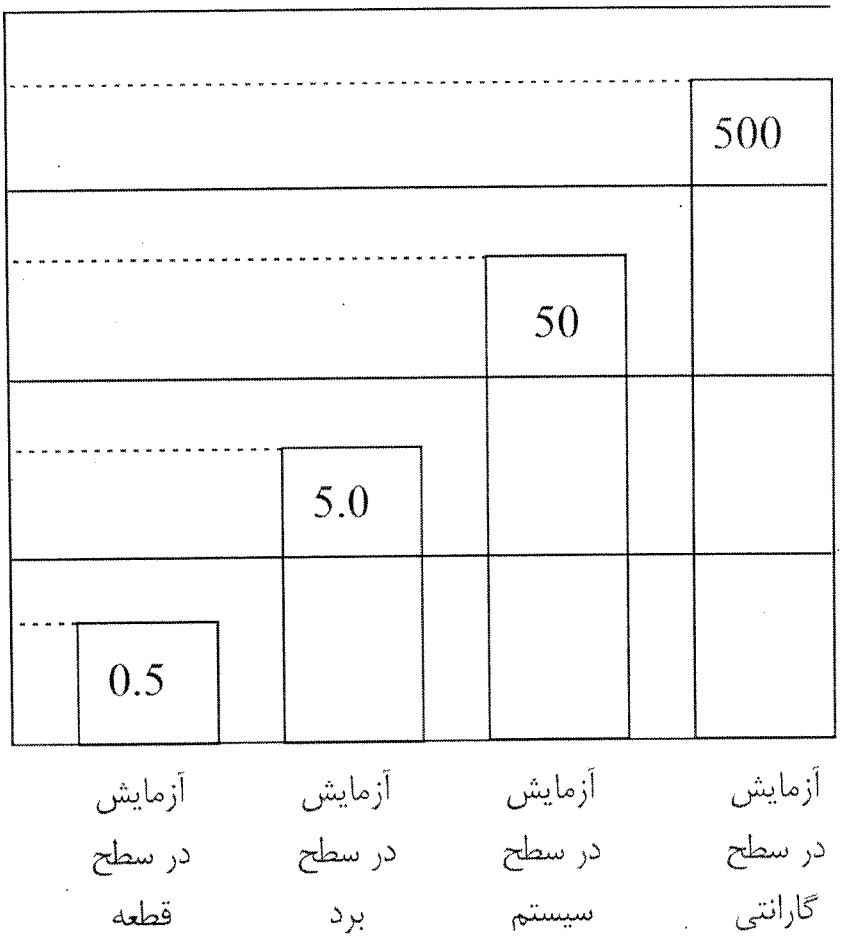
1-CADMAMFP(Computer Aided Design, Manufacturing , Maintenance and Future Planning

2-Management Information System

زیر ساخت لازم و مورد نیاز جهت طراحی یک سیستم مطمئن با توجه به دیاگرام (۱-۱) بصورت فلوچارت (۱-۱-) می باشد.



فلوچارت(۱-۱) زنجیره طراحی و تولید با کمک کامپیوتر



شکل (۱-۳) قیمت تمام شده برای آزمایش در سطوح مختلف سیستم

آشنایی با آزمایش

۱-۱- مدارات دیجیتالی
۱-۲- ضرورت آزمایش
۱-۳- ماهیت آزمایش
۱-۴- ایجاد برنامه آزمایش
۱-۵- کمینه ساختن الگوهای آزمایش
۱-۶-کد کردن برنامه آزمایش
۱-۷- وارد کردن برنامه آزمایش
۱-۸- آزمایش مشخص کردن اشکال برد
۱-۹- اشکال یابی
۱-۱۰- انواع آزماینده ها

آشنایی با آزمایش

در این فصل مفاهیم اصلی آزمایش از جمله ماهیت آزمایش، لزوم انجام آزمایش و چگونگی انجام آزمایش مورد بحث قرار می گیرد.

۱-۱ - مدارهای دیجیتالی

مدارات الکترونیکی به منظور ارائه سرویسهای (وظیفه مندی) مورد نظر طراحی می شوند. این مدارات شکلها و اندازه های گوناگون دارند. گاه یک برد کوچک با تعداد محدودی قطعه الکترونیکی است و گاه بردی بزرگ می باشد که از صدها قطعه الکترونیکی پیچیده تشکیل می شود. هر یک از قطعات نیز به نوبه خود ممکن است برای تحقق بخشیدن به چندین نوع سرویس به کار رود ویا بعبارتی عملکرد بسیار پیچیده را بعهده داشته باشد . سیستمهای پیچیده با وظیفه مندی راهبردی[1] گاه از هزاران برد تشکیل می شوند و گاه متشکل از یک و یا چند برد می باشند.

ولی با توجه به اهیمت و حیاتی بودن تداوم و سرویس دهی بدون وقفه برای این نوع سیستمها، یکی از مهمترین نیازها وجود قابلیت اتکاء[2] و بعبارتی قابلیت اطمینان[3] در این سیستمها می باشد. یک سیستم زمانی اتکاء پذیر می باشد که قابلیتهایی در سیستم گنجانده شده باشد که با بکارگیری این قابلیتها همواره بتواند بطریقی وضعیت خود را در سطوح مختلف برد و زیر سیستم و سیستم درپایش[4] (بازرسی) نماید .

۱-۲ ضرورت آزمایش

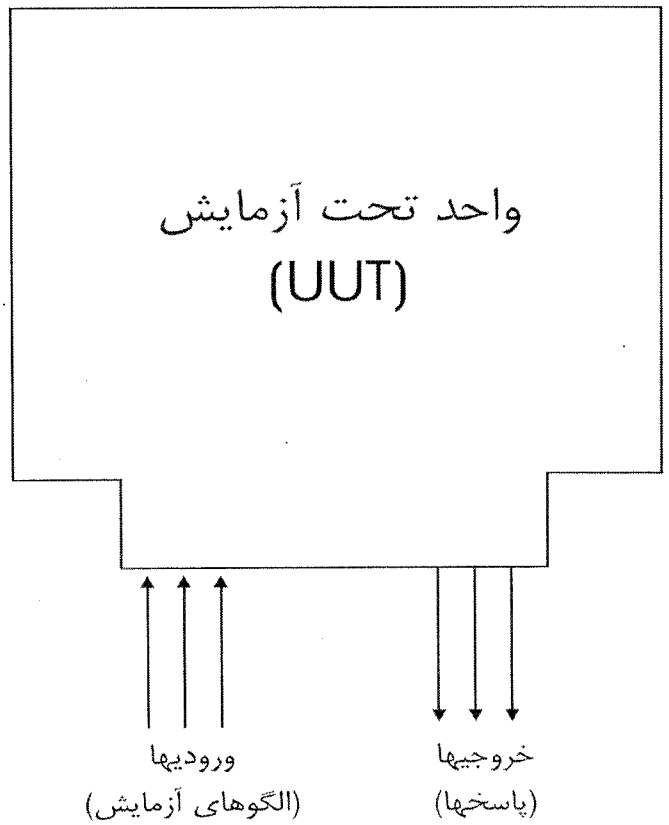
ایجاد وقایع نامطلوب در چهار محیط فیزیکی و منطقی و اطلاعاتی و محیط مصرف کننده ،اجتناب ناپذیر می باشد. در مرحله طراحی یک مدار الکترونیکی، عوامل پیشنهادی از قبیل خطاهای طراحی و در مرحله ساخت عواملی نظیر خرابی بعضی از قطعات و بردهای مدار چاپی، خرابی های مرتبط با سوار نمودن قطعات بر روی بردها و خرابی های تجمع بخشی به بردها وبرپایی سیستم نیاز به آزمایش قدم به قدم یعنی آزمایش در سطح قطعه ، آزمایش در سطح بردهای مدار چاپی، آزمایش بردهای مونتاژ شده و آزمایش بردهای مجتمع (زیر سیستمها) و نهایتاً آزمایش سیستم برپا شده می باشد. با توجه به آمار صنعتی لزوم آزمایش قدم به قدم و بکارگیری کامپیوتر محور اقتصادی طراحی و بکارگیری یک سیستم الکترونیکی پیشرفته می باشد. بر اساس شکل (۱-۳) قیمت تمام شده برای آزمایش در سطوح مختلف یک سیستم آورده شده است.

۱-۳ ماهیت آزمایش

در پایش[5] یک واحد از یک سیستم را آزمایش می نمائیم و آن فعالیتی است که بتواند واحد تحت آزمایش را وادار به انجام نوع وظیفه مندی نماید که بعهده آن واحدو در سیستم[6] اصلی گذاشته شده است .

1-Strategic
2- Dependability
3-Reliability
4-Monitor
5-Monitoring
6-Prime system

بنابراین لازم است جهت آزمایش واحد تحت آزمایش یک رشته ورودی هایی، مشابه ورودیهایی که در سیستم اصلی واحد اعمال می شود تهیه شود. این ورودیها تحت عنوان الگوهای آزمایش و با بررسی و تجزیه وتحلیل وظیفه مندی واحد و با استفاده از روشهای مختلفی تهیه می شود. شکل (۱-۴) . به ازاء اعمال هر الگوی آزمایش به ورودی های واحد تحت آزمایش بردار خروجی (پاسخها) وقتی که واحد بدون تاثیر وقایع نامطلوب است ، بنام خروجی منتظره[1] نامیده می شود . بنابراین بطور کلی آزمایش یک واحد عبارت است از اعمال الگوهای آزمایش و همزمان دریافت پاسخهای واحد و سپس مقایسه خروجی ها (الگوهای)منتظره با پاسخهای واحد.



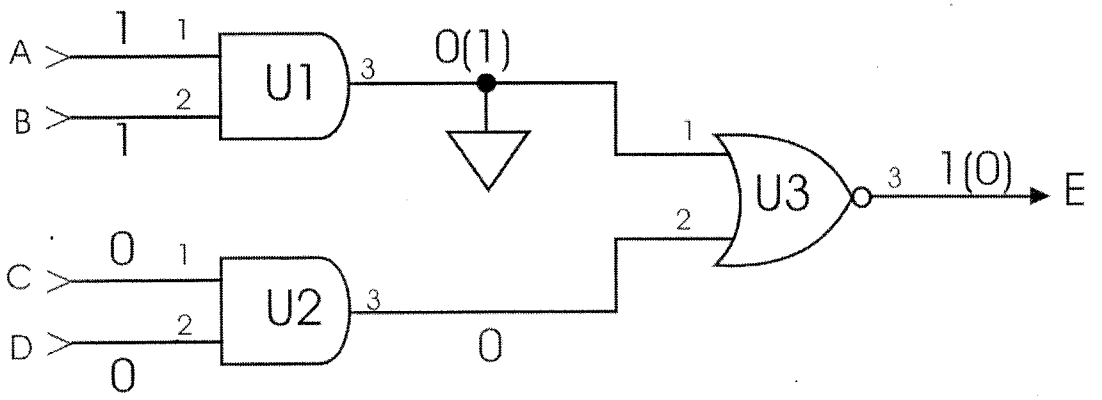
تحریکها + پالسها

شکل (۱-۴) اصول آزمایش

یک مدار ترکیبی با چهار ورودی ویک خروجی و سه دریچه در نظر می گیریم. مدار ترکیبی مداری است که خروجی آن تنها تابعی از ورودی های واحد می باشد . اقدام اول فراهم آوردن تحریکهای الگو های آزمایش است که بتواند محل همه عواملی که باعث بوجود آمدن وضعیت نامطلوب در واحد تحت آزمایش مانند آنچه که در شکل ۱-۵ دیده می شود آشکار کند . عامل این مدار نمونه، اتصال کوتاهی است که بین زمین و سیم رابط بین پایانه های ۳ از U1 و پایانه ۱ از U3 ایجاد شده است. (اتصال بین این دو پایانه را گره می نامند).

1-Expected out-put

برای آشکار سازی وضعیت نامطلوب نخست باید عامل را برانگیخت و سپس موجبات انتقال اثر مخرب آن عامل بر واحد تحت آزمایش را به خروجی ها فراهم آورد. برای برانگیختن اشکال باید سطح منطقی "۱" که مخالف لوژیک بوجود آمده در محل خرابی می باشد را اعمال کرد. با اعمال این تحریک اگر مدار اشکال نداشته باشد در گره سطح منطقی "۱" ظاهر می شود اما چون مدار دارای اشکال سطح منطقی "۰" است که با حالت کار مدار در وضعیت مطلوب تفاوت می کند.بنابراین تعداد صحیح گره از یک به صفر تغییر می کند.
از طرفی برای آشکار کردن اثر عامل در خروجی باید آن را انتقال داد. برای این منظور تنها راه ممکن آن است ورودی ۲ از واحد U3 صفر و یا بعبارتی یکی از ورودیهای اصلی D,C صفر باشد .
حال ببینیم چگونه می توان برای مدار یک برنامه آزمایش تهیه کرد. چون مدار یک مدار ترکیبی ساده است یک راه برای ایجاد برنامه آزمایش تشکیل جدول واقعیتها است . جدول واقعیتها این مدار را در شکل (۱-۶) آمده است .

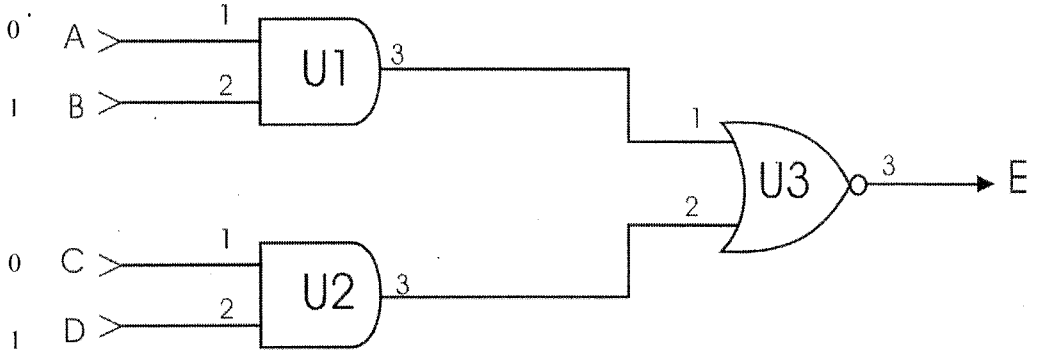


شکل (۱-۵) آزمایش برای نشان دادن اشکال

بر اساس مثال قبلی نقطه ای از یک مدار در اثر لحیم کاری نادرست با زمین دستگاه اتصال کوتاه شده است. برای برانگیختن این عامل خرابی شرایطی برای مدار فراهم آوریم که توانایی ایجاد سطح منطقی بالا را در محل خرابی داشته باشد. برانگیختن خرابی یک مرحله از کار است. مرحله دیگر آشکار کردن اشکال به کمک خطای ایجاد شده در پاسخ یعنی نشان دادن تفاوت عملکرد مدار در حالت سالم بودن با عملکرد آن در حالت خرابی است. این تفاوت زمانی آشکار می شود که اثر خرابی را بتوان به یک نقطه که توانایی آشکار کردن داشته باشد، معمولاً خروجی، انتقال داد. بنابراین خرابی هنگامی آشکار می شود که برانگیخته شود و اثر آن انتقال یابد. از این رو برای آشکار کردن خرابی در یک برد باید آن را با اعمال مجموعه ای از سطوح منطقی و الگوهای آزمایش بر انگیخت وبا ایجاد مسیر بین محل اشکال تا خروجی امکان انتقال آن را فراهم آورد.
با برانگیختن و انتقال عامل خرابی به خروجی به سطوحی منطقی که متفاوت با سطوح منطقی در حالت سالم بودن واحد تحت آزمایش است ، دست می یابیم و با مقایسه این الگوها با الگوهای سالم و از قبل تعیین شده وجود خرابی در واحد را آشکار می نمائیم . پس برای آشکار کردن خرابی باید آن را برانگیخت و امکان انتقال آن را فراهم ساخت.

۱-۴ ایجاد برنامه آزمایش

پس از آشنایی با مراحل انجام آزمایش باید به نحوه ایجاد این برنامه بپردازیم. در شکل (۱-۶) یک مدار نمونه بسیار ساده ترکیبی دیده می شود. نخستین گام برای ایجاد یک برنامه آزمایش، تحلیل دقیق مدار از نظر وظیفه مندی می باشد.



شکل (۱-۶) مدار نمونه متشکل از دریچه های OR,AND و INVERT

چون در واحد تحت‌آزمایش ۴ ورودی وجود دارد بنابراین ۱۶ ترکیب (الگوی آزمایش) از سطوح منطقی می تواند وجود داشته باشد که هر یک از آنها یک الگوی آزمایش است. الگوی آزمایش مجموعه ای از سطوح منطقی است که باید به ترتیب به ورودیهای واحد اعمال شود. بنابراین اگر ۱۶ الگوی آزمایش را به مدار اعمال کنیم آزمایش مدار کامل می شود.

این روش آزمایش، یعنی آزمایشی که تمامی ترکیبات سطوح منطقی به ورودیها اعمال شود، را روش آزمایش فراگیر می نامند. تعداد الگوهای آزمایش برای آزمایش فراگیر یک واحد ترکیبی با n ورودی برابر با 2^n الگوی آزمایش می باشد .

الگوی ورودی				الگوی خروجی منتظره
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
0	1	0	0	1
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	1
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	0
1	1	0	1	0
1	1	1	0	0
1	1	1	1	0

شکل (۱-۶) برنامه آزمایش فراگیر(الگوهای آزمایش فراگیر)

۱-۵ کمینه ساختن الگو های آزمایش

با افزایش ورودیها، مقدار الگوهای ممکن به سرعت افزایش می یابد که برای ورودیهای بیشتر از ۲۵ ایجاد الگوهای کامل و اعمال آن به واحد تحت آزمایش بسیار زمانگیر می باشد. بنابراین می توان تعدادی از الگوهایی که نقشی در آشکار سازی وجود خرابی در واحد را ندارند حذف نمود (کمینه کرد). در اینجا تنها عوامل خرابی نوع ایستا یعنی خرابی هایی که باعث می شوند سطح منطقی یک گره در مقدار ثابتی برابر "۰" یا "۱" باقی بماند در نظر می گیریم.

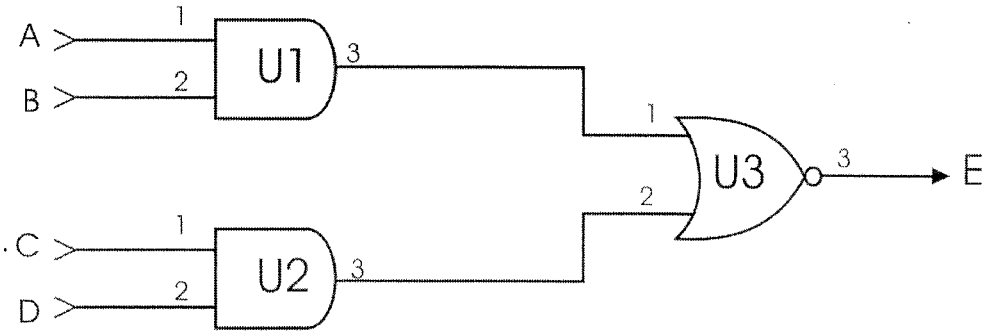
برای به حداقل رساندن الگوهای آزمایش نخست مطابق شکل (۱-۷) سطح منطقی اعمالی به ورودیهای B و D را "۱" و سطح منطقی ورودیهای اعمالی به A و C را "۰" در نظر می گیریم. سطح منطقی "۱" در B و سطح منطقی "۰" در A اشکال ایستای "۱" در پایه ۳ از U1 را برمی انگیزاند. چون روی این پایه خروجی باید سطح منطقی "۰" داشته باشد، اشکال ایستا بر "۱" در پایه ۱ از U3 نیز را برانگیخته می شود . وانگهی انتقال این اشکال مسلم است،زیرا سطح منطقی"۰" در C، سطح منطقی "۰" در پایه ۲ از U3 را به وجود می آورد. به این ترتیب هر یک از این اشکال خروجی E را تغییر می دهد. اشکالات مذکور که توسط الگوی مربوطه فعال و به خروجی منتقل می شوند اصطلاحاً گفته می شود که تحت پوشش الگوی مربوطه هستند .ازطرفی E نقطه ای نمایانگر است پس اشکال را آشکار می کند. همچنین اگر سطح منطقی C,D به ترتیب "۱" و "۰" باشد اشکال ایستا بر "۱" در پایه ۳ از U2 و پایه ۲ از U3 برانگیخته می شود و چنانچه A سطح منطقی"۰" داشته باشد این اشکال منتقل می شوند. همچنین چون دو پایه ورودی U3 سطح منطقی صفر دارند، اشکال ایستا بر "۰" احتمالی در پایه ۳ از U3 نیز برانگیخته می شود و چون این اشکال روی گره خروجی است نیازی به انتقال آن نیست و خود آشکارمی شود. و بالاخره سطح منطقی "۰" در گره های C,A اشکال ایستا بر "۱" پایه ۱ از U2 و پایه ۱ از U2 را برمی انگیزاند وچون D,B سطح منطقی "۱" دارند این اشکالها منتقل می شود. به این ترتیب الگوی آزمایش مربوط به کلیه اشکالهای فوق مشخص می شود.

اگر در گام دوم، به ترتیب الگوی آزمایش را وارانه کنیم اشکالها پایه ۲ از U1 و پایه ۲ از U2 مشخص می شود.

در گام سوم با اعمال سطح منطقی "۱" به B,A اشکال ایستا بر پایه ۳ از U1 و پایه ۱ از U3 برانگیخته می شود. بنابراین الگوی سطح منطقی در پایه ۳ از U3 اشکال ایستا بر "۱" آن را برمی انگیزاند و در ضمن مشخص می کند که پایه ۱ از U1 و پایه ۲ از U2 هیچکدام اشکال ایستابر "۰" ندارند.

اشکال ایستابر "۰" در پایه ۱ و پایه ۲ از U2 و پایه ۳ از U2 و پایه ۲ از U3 در گام چهارم که وارون گام سوم است برانگیخته می شود. وبدین سان با چهار گام کلیه اشکالهای احتمالی مدار مشخص خواهد شد.

بنابراین با تحلیل مدار موفق شدیم تعداد گامهای آزمایش را از ۱۶ به ۴ کاهش دهیم. اکنون مجموعه ای از الگوهای آزمایش در اختیار داریم که به کمک آنها می توان واحد تحت آزمایش را به طور بهینه آزمایش کرد. چون با مدارهای ترکیبی سروکار داریم ترتیب الگوهای آزمایش مهم نیست .



گام	الگوهای ورودی ABCD	(خروجی های منتظره) الگوهای خروجی E	اشکالهای آشکار شده
1	0101	1	U1 pin 3 stuck high U3 pin 1 stuck high U2 pin 3 stuck high U3 pin 2 stuck low U1 pin 1 stuck high U2 pin 1 stuck high
2	1010	1	U1 pin 2 stuck high U2 pin 2 stuck high
3	1100	0	U1 pin 3 stuck low U3 pin 1 stuck low U3 pin 3 stuck high U1 pin 1 stuck low U1 pin 2 stuck low
4	0011	0	U2 pin 1 stuck low U2 pin 2 stuck low U2 pin 3 stuck low U3 pin 2 stuck low

شکل (۱-۷) الگوهای کاهش یافته و اشکالات تحت پوشش

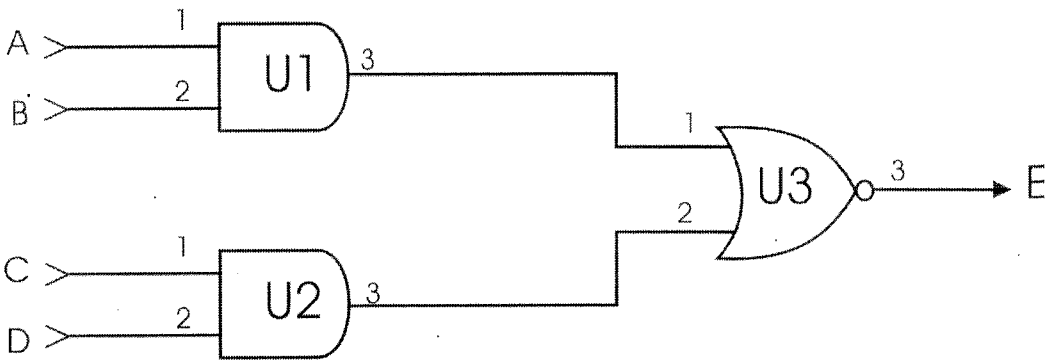
۱-۶-کد کردن برنامه آزمایش

شکل ۱-۶ نوعی برنامه آزمایش را نشان می دهد. چگونگی کد کردن چهار الگوی آزمایش بـه کمـک یـک زبان سطح بالا در این شکل دیده می شود. سه رقم سمت چپ هر خط ارقـامی دلخـواه انـد کـه بـا افزایـش جملات افزوده می شوندو اصطلاح set inputs سطح منطقی اعمالی به پایه ها یعنی بالا (HI) یـا پـائین (LO) بودن آنها و اصطلاح Expect output سطح منطقی خروجی مورد انتظار را مشخص می کند.

استفاده از زبانهای آزمایش معمولاً با توجه به برد تحت آزمایش تعیین می شود . علامـت $ نـیز پایـان یـک الگوی آزمایش یا پایان یک مرحله از آزمایش را نشان میدهد که گاه به آن علامـت پایـان دهنـده آزمـایش می گویند.

در مثال بالا اولین گام که با شماره 070 مشخص شده است، نشان می دهد که ورودی هـای D,B را بـاید در سطح منطقی یک و ورودیهای C,A را در سطح منطقی صفر قرار داد وانتظـار داشـت کـه خروجـی E سـطح منطقی یک داشته باشد .

این چهار خط را کسانی که با ازمایش سرو کار دارند به خوبی می فهمند. اما برای دستگاههای آزماینده بـاید سطح منطقی "۱" و "۰" برای کلیه پایانه های ورودی و خروجی تعریف شود. برنامه کامل آزمایش برای مدار مثال فوق در شکل (۱-۸) دیده می شود که در آن سیزده جمله به برنامه قبلی افزوده شده است .




```
070;SET INPUTS:HI(B.D)LO(A,C)
    EXPECT OUTPUTS:HI(E)$
075;SET INPUTS:HI(A,C)LO(B,D)
    EXPECT OUTPUTS:HI(E)$
080;SET INPUTS:HI(A,B)LO(C,D)
    EXPECT OUTPUTS:LO(E)$
085;SET INPUTS:HI(C,D)LO(A,B)
    EXPECT OUTPUTS:LO(E)$
090; END TEST $
```

شکل (۱-۸) برنامه آزمایش کد شده

جمله شماره 005 پایه های ورودی واحد تحت آزمایش را تعریف می کند. این پایه ها را "رانه" می نامند . رانه مداری از دستگاه آزماینده است که ولتاژ و جریان مناسب برای فعال کردن ورودیهای واحد تحـت آزمـایش را فراهم می آورد.

جمله شماره 010 پایانه خروجی راتعریف می کند. این پایانه را دریافتگر می نامند. دریافتگر مداری از دسـتگاه آزماینده است که سطوح مختلف در پایانه های خروجی تحت آزمایش را نشان میدهد یا در می یـابد. شـماره جملات در هر مرحله ۵ شماره افزوده می شود . به این ترتیب می توانیم هر جا که لازم باشد جملـه جدیـدی بیفزاییم، بدون اینکه نیازی باشد شماره جملات قبلی را تغییر دهیم.

در جمله های شماره 015 تا 035 پایه های دستگاه آزماینده را مطابق مدار اصلی نامگذاری کرده ایم. مثلاً پایه شماره ۱ را A نامیدیم. این امر به برنامه نویس کمک می کند که برنامه را به ترتیبی تنظیم کند که با اسامی سیگنالهای مدار همخوان باشد .

در جمله های شماره 040 و 045 سطحهای منطقی "۱" و "۰" برای رانه دستگاه آزماینده تعریف می شـود. در این مثال سطح منطقی "۱" برابر ۲/۴۷ و سطح منطقی "۰" برابر ۰/۸۷ است. بـه همیـن ترتیـب سـطحهای منطقی "۱" و "۰" برابری دریافتگر نیز باید تعریف شود. این سطحها منطقی را آستانه می گویند. چـون مثـلاً در مثال بالا سطح منطقی "۱" که برابر ۲/۸۷ است نشان میدهد که مقادیر بالاتر از ۲/۸۷ از نظر دریـابتده در

منطق "۱" است و سطح منطقی "۰" که برابر ۰/۴۷ است نشان می دهد که ولتاژهای کمتر از ۰/۴۷ در منطق "۰" است. مقادیر میان ۰/۴۷ و ۲/۸۷ هیچ سطح منطقی ای ندارند.

جمله شماره 060 ویژگیهای منبع تغذیه دستگاه آزماینده را بر می شمرد. پس منبع تغذیه شماره ۱ باید ولتاژی برابر ۵۷ جریانی برابر 2A فراهم آورد.

جمله شماره 065 تاخیری برابر 2S ایجاد می کند، تا در طی آن منبع تغذیه و واحد تحت آزمایش به حالت پایدار خود برسند.

چهار خط بعدی بخش اصلی برنامه آزمایش است که پیشتر به آن پرداختیم و بالاخره جمله END TEST پایان برنامه را مشخص می کند.

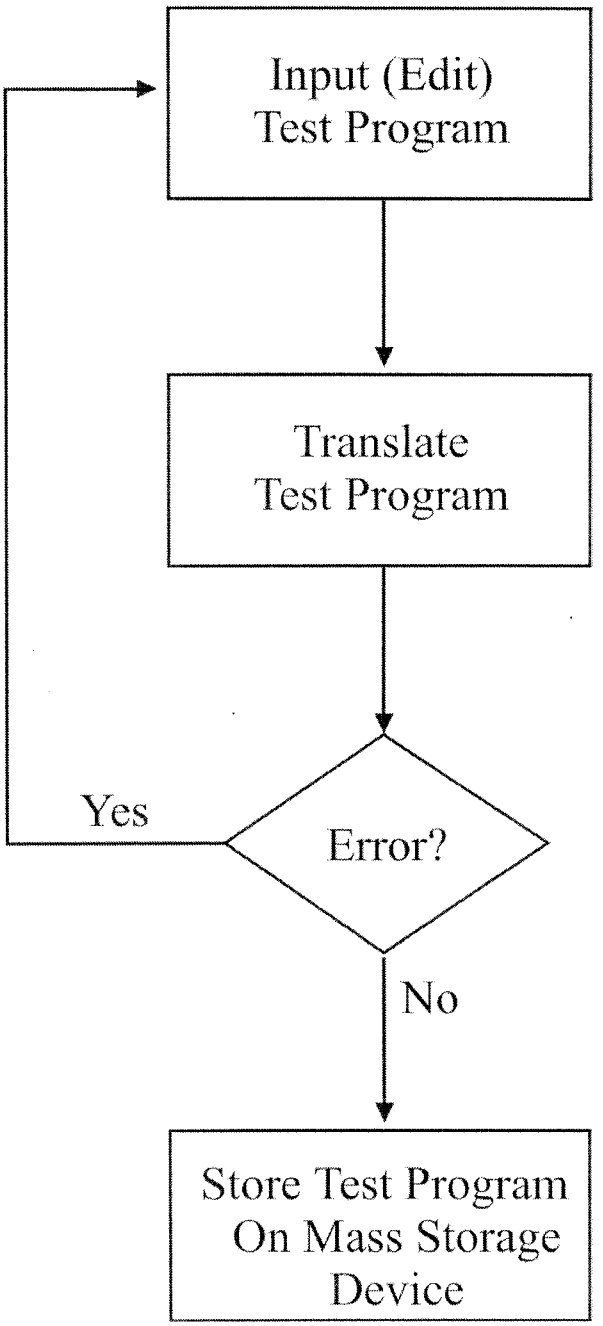
درباره زبان آزمایشی نیمه انگلیسی که در برنامه بالا از آن استفاده کردیم و نیز برنامه های بیسیک و اطلس پس از این بحث خواهیم کرد.

۱-۷-وارد کردن برنامه آزمایش

پس از نوشتن برنامه بر روی فرمها مخصوص باید مطابق روال شکل (۱-۱۰) آن را از طریق پردازنده اطلاعات سیستم به حافظه سیستم وارد کرد. برای وارد کردن برنامه آزمایش به سیستم آزمایش راههای گوناگونی وجود دارد، راه معمول استفاده از ترمینال است.

```
005; DEFINE INPUT PINS:1,2,3,4$
010; DEFINE OUTPUT PINS:5,$
015; NAME PIN1=”A”$
020; NAME PIN2=”B”$
025; NAME PIN3=”C”$
030; NAME PIN4=”E”$
035; NAME PIN5=”E”$
040; DEFINE DRIVE HI=2.4V $
045; DEFINE DRIVE LO=2.8V $
050; DEFINE SENSE HI=2.8V $
055; DEFINE SENSE LO=2.4V $
060; SETUP POWER SUPPLY 1 TO 5V, 2AMP $
065; PAUSE FOR 2 SECOND $
070; SET INPUTS:HI(B,D)LO(A,C)
EXPECT OUTPUTS :HI(E) $
075; SET INPUTS:HI(A,C)LO(B,D)
EXPECT OUTPUTS:HI(E)$
080; SET INPUTS:HI(A,B)LO(C,D)
EXPECT OUTPUTS:HI(E)$
085; SET INPUTS:HI(C,D)LO(A,B)
EXPECT OUTPUTS:HI(E)$
090; END TEST $
```

شکل (۱-۹) برنامه آزمایش کاملاً کد شده

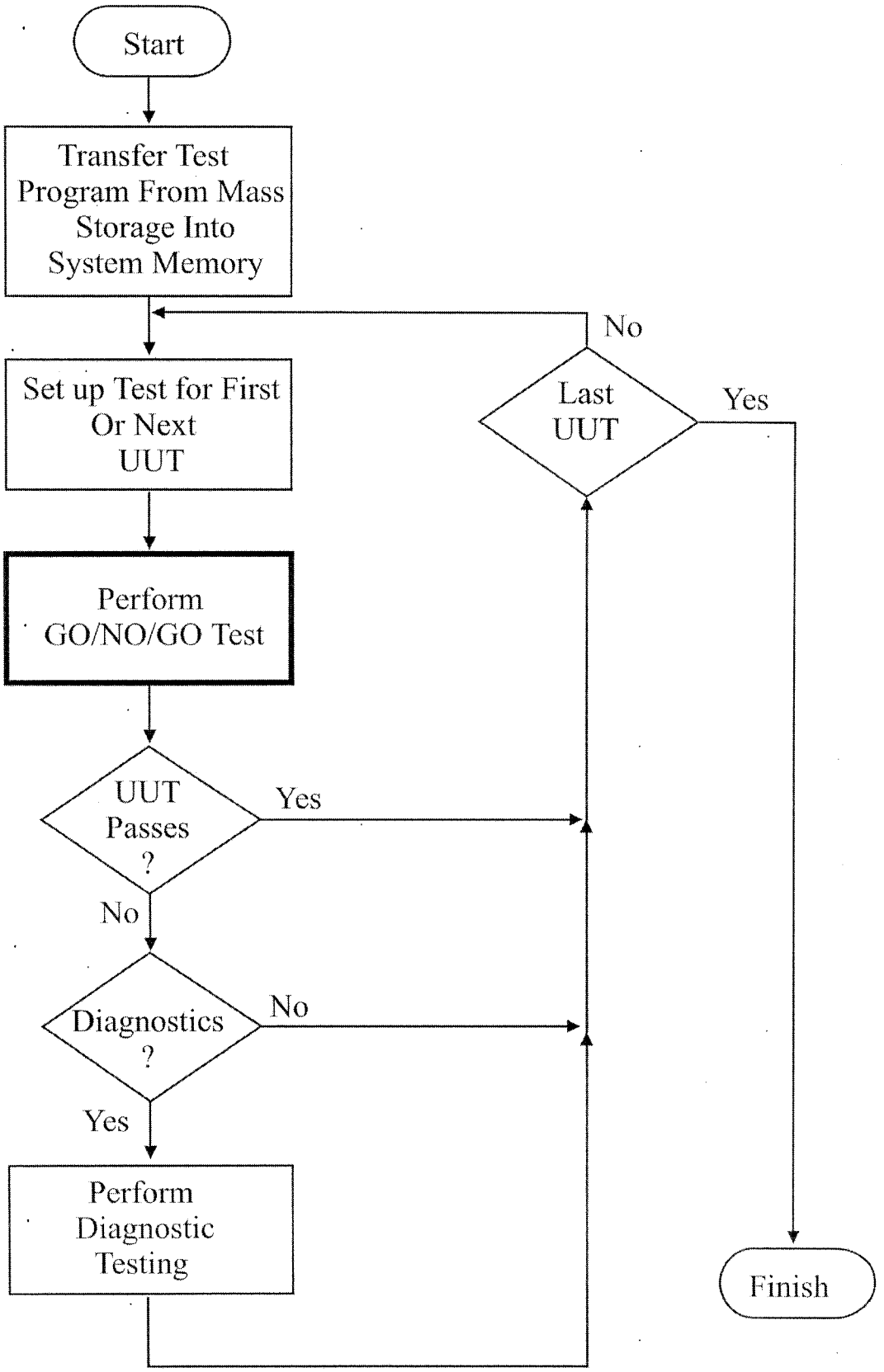


شکل (۱-۱۰) ویرایش، تبدیل و ذخیره آزمایش

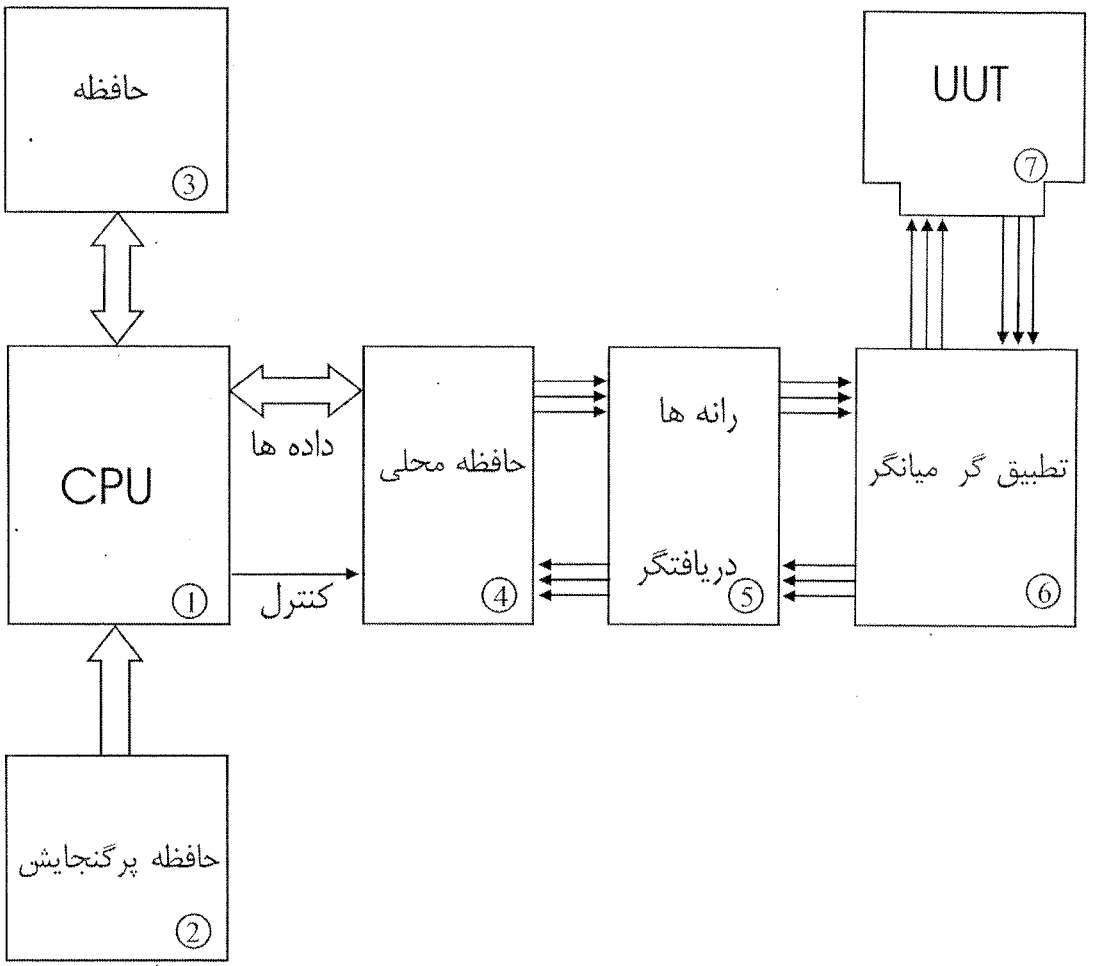
پس از وارد شدن برنامه به سیستم زبان آن که زبان سطح بالاست به زبان قابل فهم ماشین تبدیل می شود . این کار را نرم افزار سیستم انجام می دهد. در بلوک دوم فلوچارت این عمل نشان داده شده است.
اگر برنامه اشتباه داشته باشد، کامپیوتر فهرستی از اشتباهات عرضه می کند که با مراجعه به آن می توان اشتباهات را برطرف کرد.
با ذخیره شدن برنامه باید مطابق شکل (۱-۱۱) رشته عملیاتی را زیر نظر اپراتور انجام داد. نخستین گام انتقال برنامه از حافظه پرگنجایش به حافظه اصلی سیستم آزماینده است. پس از آن اپراتور واحد تحت آزمایش را به سیستم آزماینده متصل میکند و دستور شروع را میدهد. دستگاه آزماینده باید نشان دهد که واحد تحت آزمایش دارای خرابی یا سالم است(بلوک با خطوط پهن) . اگر واحد دارای اشکال باشد توسط آزماینده کشف می شود واگر برد سالم باشد واحد دیگری تحت آزمایش قرار می گیرد واحد آزمایش می شود.

۱-۸-روش عملی در آزمایش مشخص کردن خرابی واحد تحت آزمایش

در شکل (۱-۱۲) روش عملی تعیین دارای اشکال یا سالم بودن واحد تحت آزمایش دیده می شود. واحد پردازش مرکزی (CPU) برنامه آزمایش را از حافظه پرگنجایش به حافظه محلی دستگاه منتقل میکند و اجرای برنامه را آغاز می کند. به این ترتیب که اطلاعات از نوع "۰" و "۱" را از حافظه اصلی به حافظه محلی می برد. حافظه محلی اطلاعات را برای اعمال به واحد تحت آزمایش یا مقایسه اطلاعات به طور موقت حفظ می کند.واحد تحت آزمایش را یک تطبیق گر میانگیر به آزماینده وصل می کند.



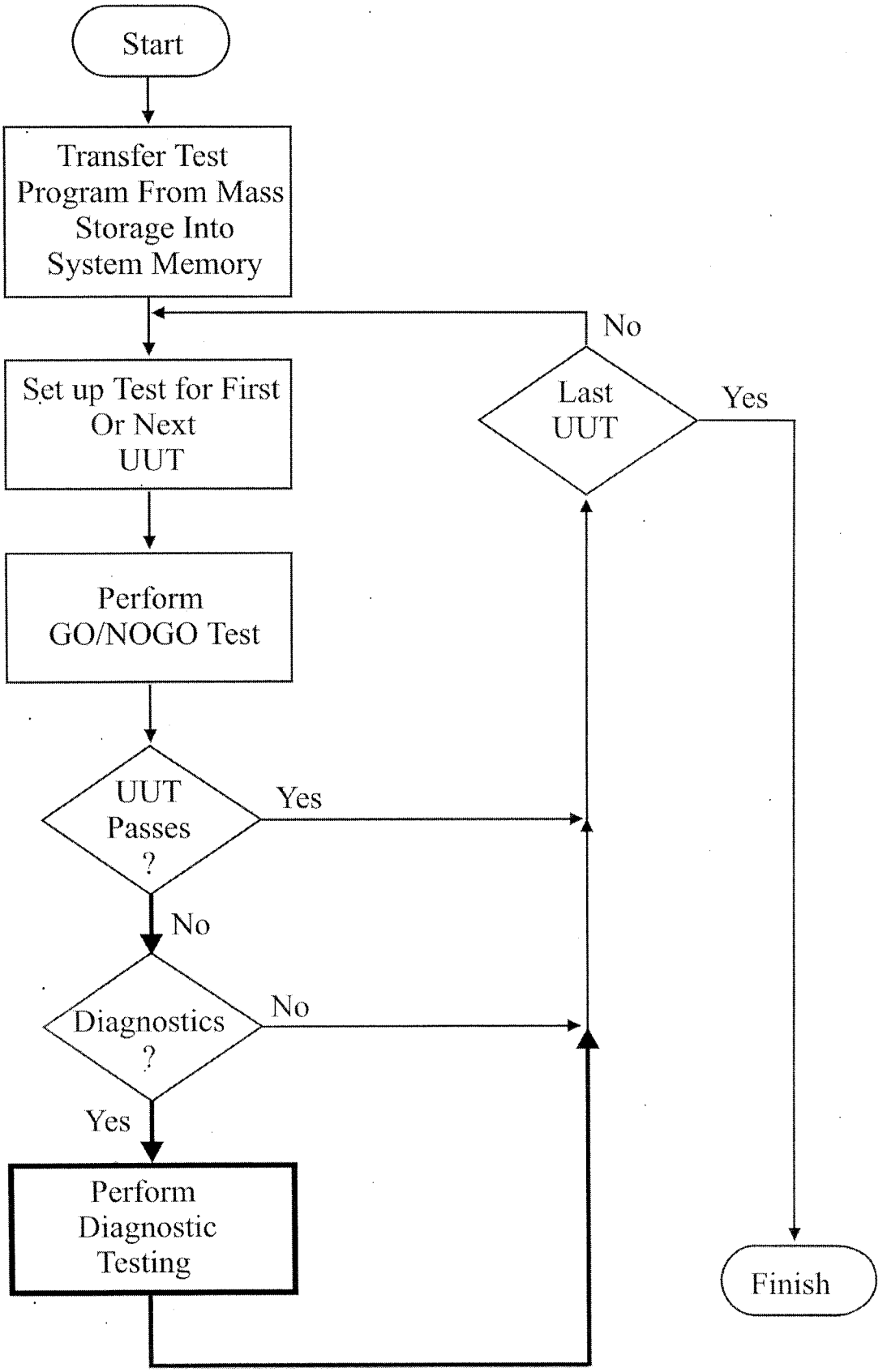
شکل (۱-۱۱) عملکرد آزماینده



شکل(۱-۱۲) آزمایش سالم یا خراب بودن

۱-۹ اشکال یابی

اگر واحدی دارای اشکال باشد اغلب آزماینده می توانند آن را مطابق فلوچارت (۱-۱۳) اشکال یابی کنند یعنی محل خرابی را دقیقاً مشخص سازند.



شکل (۱-۱۳) عملکردهای آزماینده در زمان تشخیص محل اشکال

در شکل (۱-۱۲) روش یا روشهای اشکال یابی را که یک آزماینده می تواند انتخاب نماید، تشریح شده است. با آشکار شدن وجود خرابی در یک واحد، نرم افزار آزماینده در ردیابی خرابی در واحد کمک می کند . کمکی که نرم افزار می کند سطوح مختلفی دارد. ممکن است تنها به اپراتور بگوید که برد دارای خرابی است و راهنمایی هایی برای اشکال یابی آن از طریق دستی (غیر خودکار) ارائه دهد. یا آنکه به کمک روشهای ویژه اشکال را به صورت خودکار بیابد و بصورت خودکار بر آن غلبه نماید و یا آنکه بر روی نمایشگر محل آن را مشخص کند و سرانجام ممکن است این امکان را فراهم آورد که اپراتور بتواند به کمک کاوشگر[1] که مداری دریافتگر است سطوح منطقی گره های داخلی مدار را بررسی نموده و بصورت دستی محل اشکال را مشخص نماید.

۱-۱۰- انواع آزماینده ها (روش های عملی آزمایش)

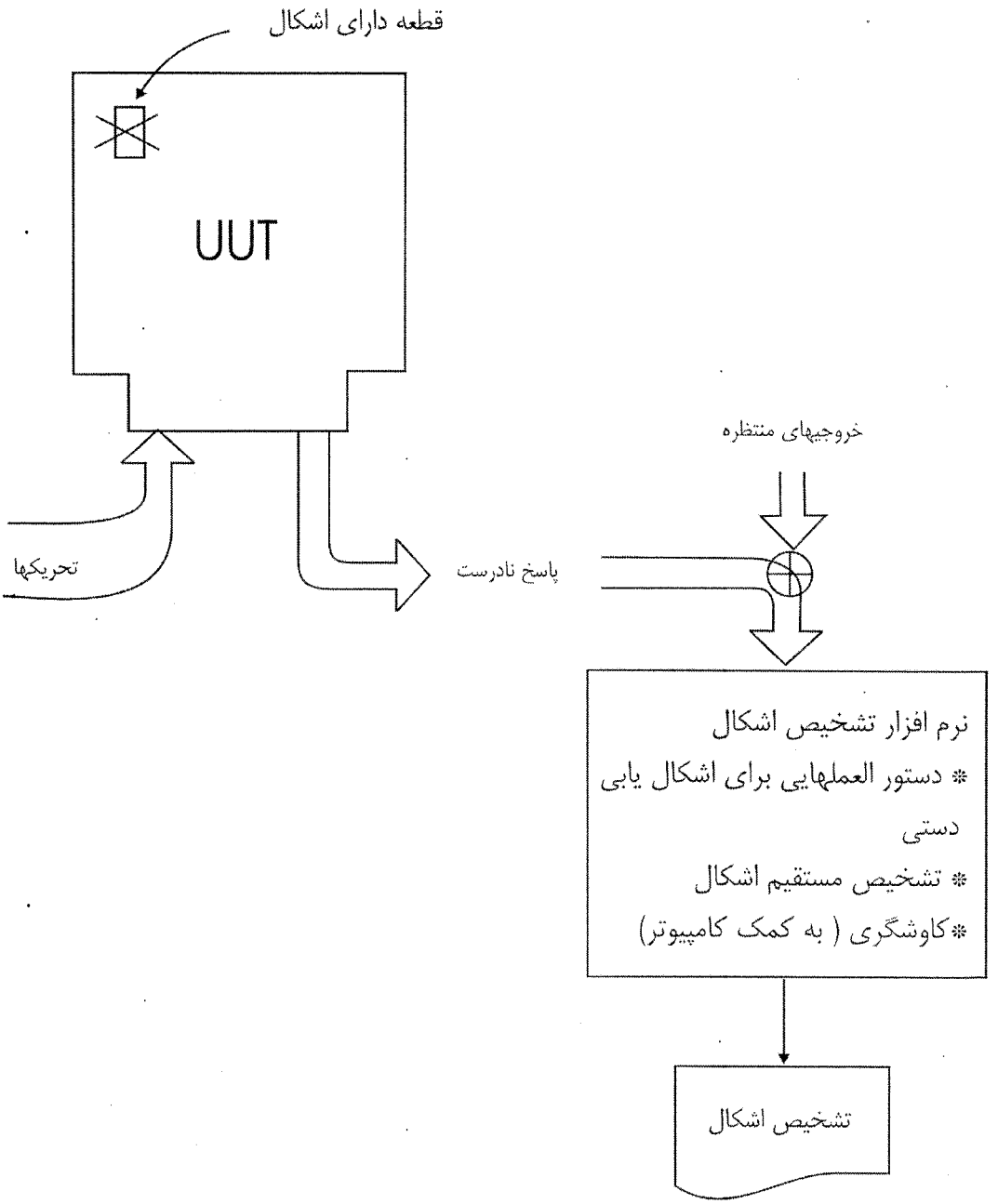
روشهای آزمایشی و یا سیستمهای آزماینده بر سه نوع اند: آزماینده عملیاتی. آزماینده میان مداری و آزماینده ترکیبی روش آزمایش عملیاتی به کمک شکل (۱-۱۳) تشریح می شود. در این روش ا لگوهای آزمایش به ورودیهای برد تحت آزمایش اعمال می شود و پاسخ از خروجیها دریافت می شود. همچنین در این روش الگوهای آزمایش مشابه سطوح منطقی اعمالی سیستم بر واحد تحت آزمایش است .بردهای یک سیستم الکترونیکی در زمان انجام کار معمولی غالباً بصورت عملیاتی آزمایش می شوند .همچنین آزمایش بردهای مدارهای چاپی با کاربرد نظامی معمولاً به صورت عملیاتی آزمایش می شود، زیرا در این نوع مدارها تنها راه دسترسی به مدار برد اتصالهای لبه ای[2] و برخی نقاط اضافی برای آزمایش است. این بردها را برای حفاظت در برابر زنگ زدگی، آلودگی و ضرب دیدگی (حفاظت در مقابل تکانهای شدید) با پوششی خاص می پوشانند و لذا امکان دسترسی به مدار برد در میان آن وجود ندارد.

آزمایش میان مداری در شکل (۱-۱۴) تشریح شده است. در این روش با امکان دسترسی مستقیم به هر قطعه، یکایک قطعات برد آزمایش می شوند. پایه های قطعات به کمک بستری با سوزنهای با طول متغیر به سیستم آزماینده متصل می شود و برد از طرف پشت بر روی این بستر سوزنی می نشیند. این نوع روش آزمایش بیشتر در زمان تولید و یا در زمان تعمیر یک برد الکترونیکی بکار گرفته می شود.

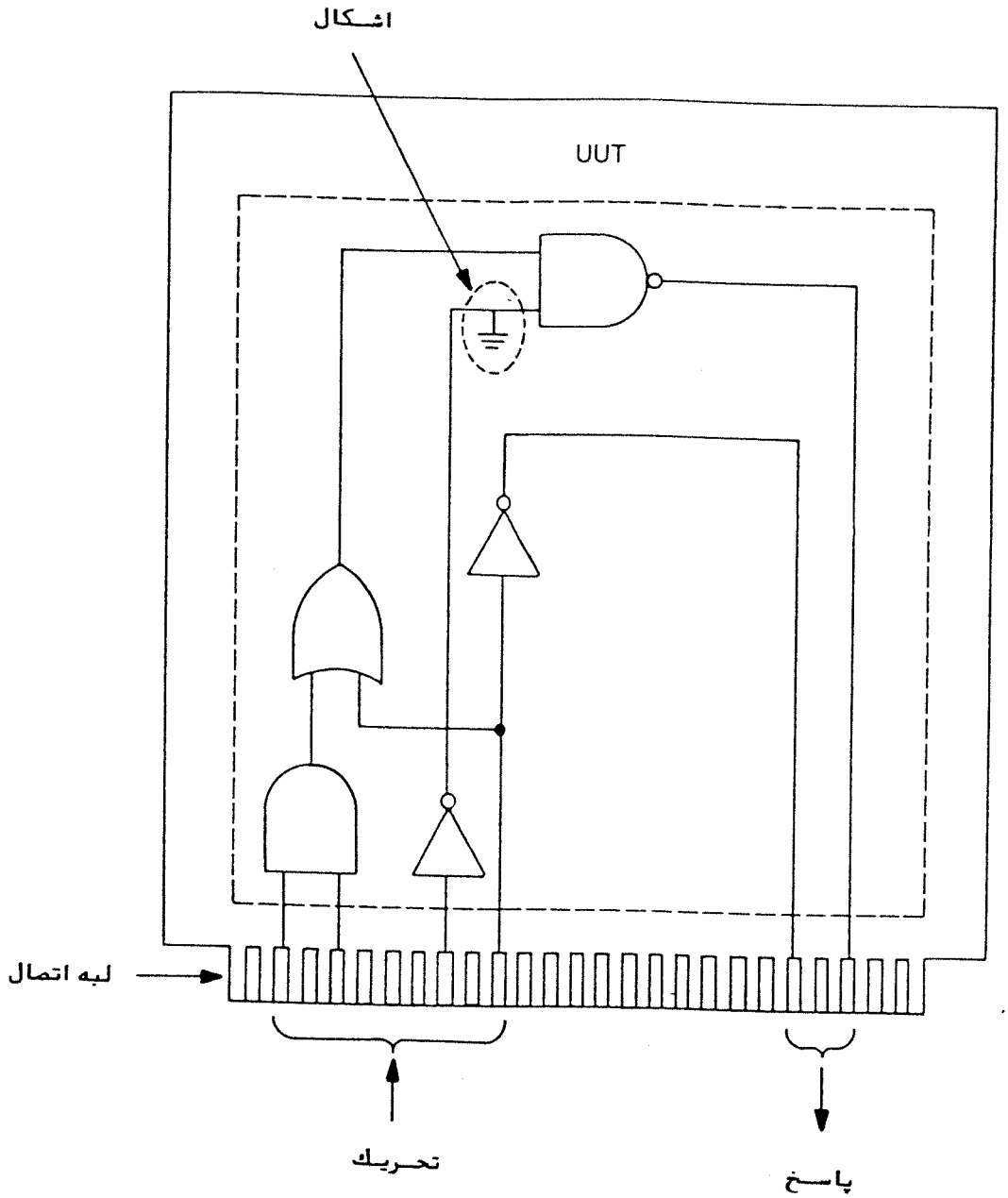
در آزماینده ترکیبی به کمک بستر سوزنی ابتدا یکایک قطعات و سپس ارتباطات واحد تحت آزمایش را می آزمایند و سپس کل مدار را از نظر عملکرد به محک آزمایش می گذارند.

1-Probe

2-EDGE Connector

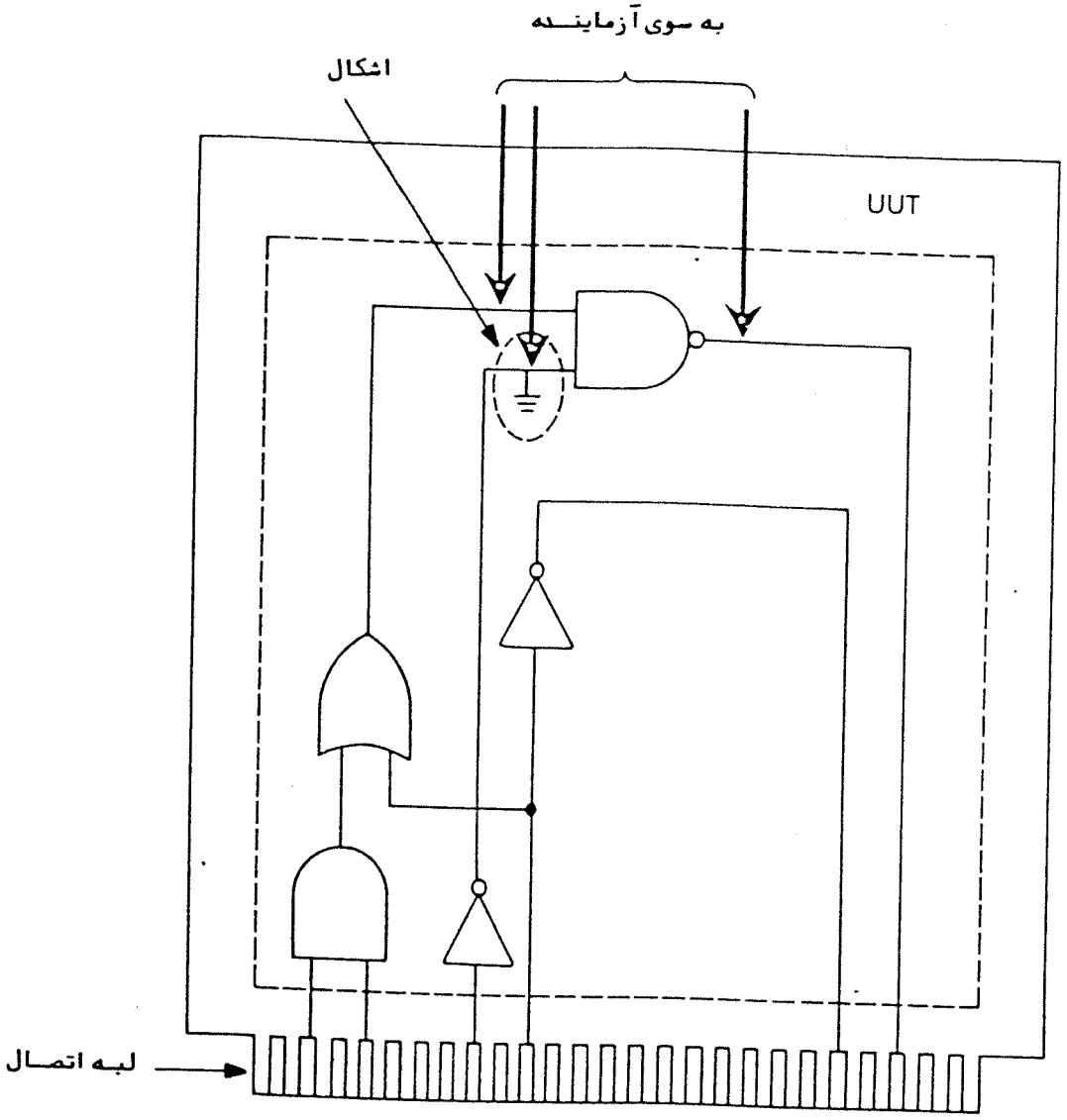


شکل (۱-۱۴) تشخیص اشکال



شکل ۱ ـ ۱۲ آزمایش عملکردی

۳۲



شکل ۱ ـ ۱۴ آزمایش میان ـ مداری

۳۳

مرکز تحقیقات مخابرات ایران

۲ آزمایش عملکردی

۱۰۲ مفهوم آزمایش عملکردی

۲۰۲ انواع آزماینده‌های عملکردی

۳۰۲ آزماینده عملکردی با الگوی ذخیره شده

۴۰۲ آزماینده عملکردی مقایسه گر با مرجع پویا

۵۰۲ آزماینده عملکردی تحلیل کد مشخصه

۶۰۲ مولد CRC

۷۰۲ تولید کد در CRC

۸۰۲ مزایا ومعایب روش تحلیل کد مشخصه

۹۰۲ تشخیص اشکال

۱۰۰۲ کاوش کامپیوتری

۱۱۰۲ مزایا ومعایب کاوش کامپیوتری

۱۲۰۲ روش فرهنگ اشکالها

۱۳۰۲ خلاصه

۳۴

موضوع این فصل بررسی آزمایش عملکردی است. انواع آزمایش عملکردی ومزایا ومعایب هریک از آنها ازموضوعات دیگری است که دراین فصل به آن می پردازیم.

۱۰۲ مفهوم آزمایش عملکردی

همانگونه که ازنام **آزمایش عملکردی** برمی آید دراین روش یك برد را برمبنای عملکرد آن در سیستم اصلی آزمایش می کنیم. ارتباط با برد به کمك لبه اتصال وبرخی اتصالهای اضافی دیگر برقرار می شود. این اتصالها اضافی (نقاط آزمایش) ممکن است ازقبل درمدار طراحی شده باشد ویاطراح آزمایش خود نقاطی را برگزیند.

ایده کلی آزمایش عملکردی در شکل ۲-۱ دیده می شود. دراین روش آزمایش طبق معمول ورودیهابه ب ت آ (برد تحت آزمایش) اعمال وپاسخهایی از آن دریافت می شود. **ورودیها** که در واقع همان الگوهای آزمایش است، باتحلیل مدارهای برد مطابق آنچه درفصل ۱ از آن سخن به میان آمد به دست می آید. الگوهای آزمایش رامولد تحریکات به صورت کدهای قابل فهم سیستم یعنی "۰" هاو "۱" های منطقی درمی آورد و به ب. ت. آ اعمال می کند.

پاسخ برد به تحریکها، نمونه برداری می شود و به صورت ۰ و ۱ منطقی درمی آید. از مقایسه پاسخهای نمونه برداری شده و رقمی شده (به صورت ۰ و ۱ منطقی درآمده) باخروجی می توان به سالم یاخراب بودن مدار پی برد.

پاسخهای مطلوب ونیز نحوه کنترل زمانی عمل مقایسه را برنامه آزمایش فراهم می‌آورد. برنامه آزمایش، تولید الگوهای آزمایش، وتولید پاسخ های مطلوب به نوع سیستم آزماینده بستگی دارد.

۲۰۲ انواع آزماینده های عملکردی

آزماینده های عملکردی سه نوع اند

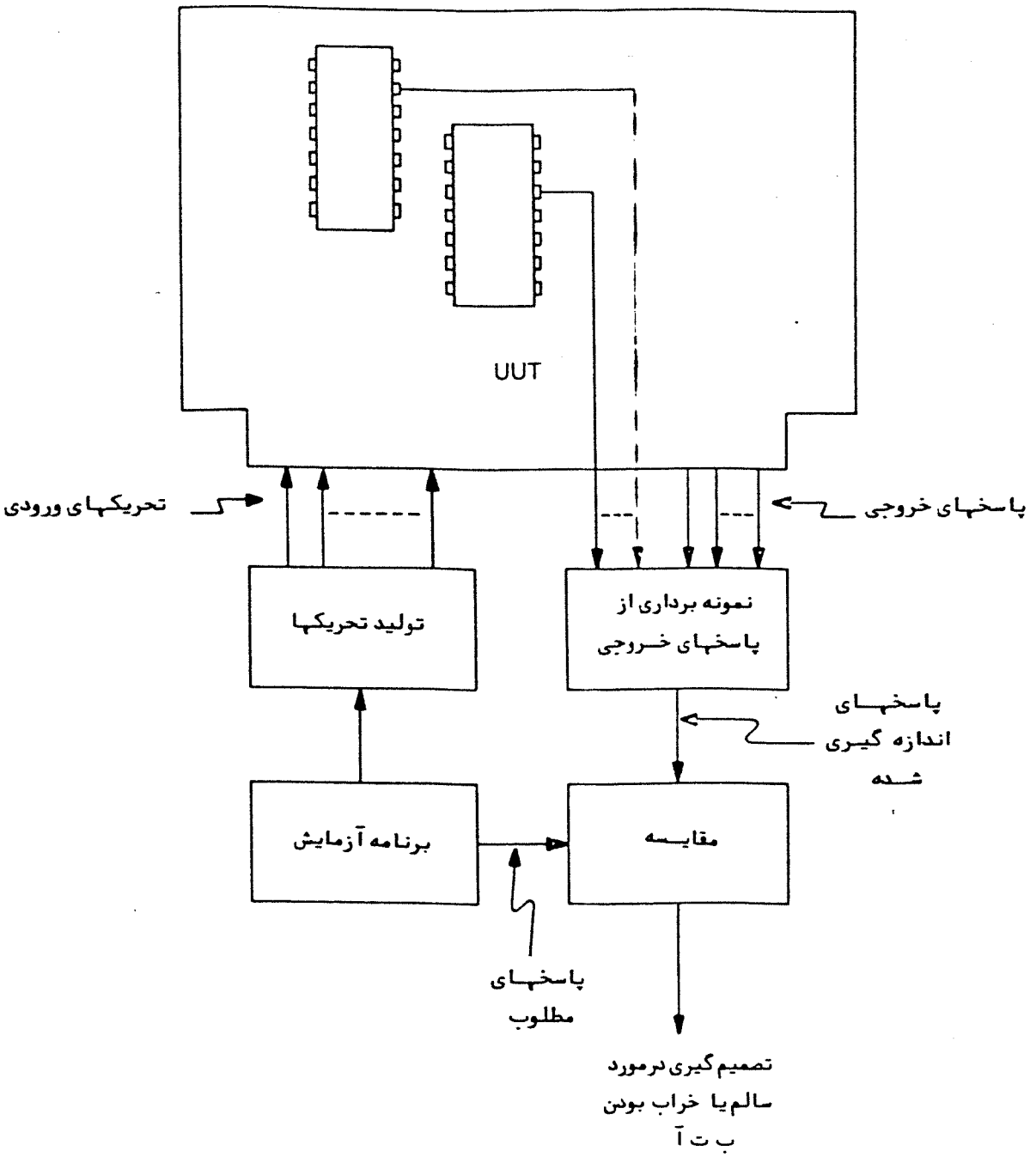
۰۱ آزماینده عملکردی با الگوی ذخیره شده

۰۲ آزماینده عملکردی مقایسه گر بامبنای پویا

۰۳ آزماینده عملکردی تحلیل گر کد مشخصه

موضوع این فصل بررسی انواع آزماینده‌های عملکردی است. نخست به بررسی آزماینده عملکردی با الگوی ذخیره شده می پردازیم.

۳۵



شکل ۲-۱ مفهوم آزمایش عملکردی

۳۶

۳۰۲ آزماینده عملکردی با الگوی ذخیره شده

دراین آزماینده که درشکل ۲-۲ دیده می شود برنامه آزمایش که شامل الگوهای آزمایش وپاسخهای مطلوب است درحافظه آن ذخیره شده است. مدارهای تولید تحریکات شامل حافظه محلی و مدارهای رانه است.

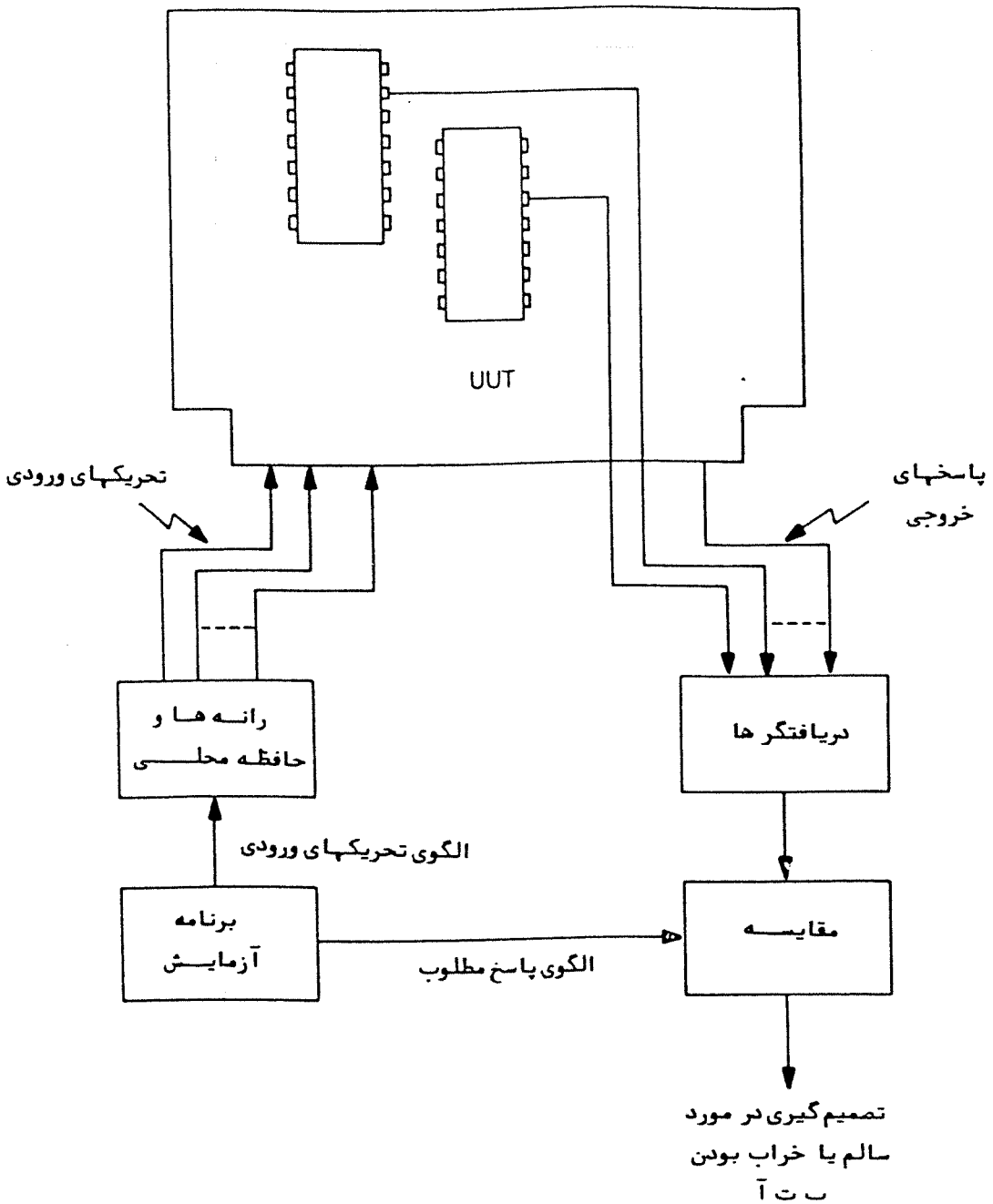
با شروع آزمایش الگوهای آزمایش به حافظه محلی انتقال می یابد، ومدارهای رانه آنها را به ب ت آ اعمال می کنند. مدار نمونه گیر شامل دریافتگرهایی (سنسورهایی) است که پاسخ ب ت آ به الگوهای آزمایش را به صورت "۰" و "۱" منطقی درمی آورند. آنگاه این سطوح منطقی به مقایسه گر ویابه واحد مرکزی پردازش (CPU) برای مقایسه باخروجیهای مطلوب می روند. باانجام عمل مقایسه سالم یا خراب بودن برد مشخص می شود.

آزماینده های عملکردی با الگوی ذخیره‌شده خود بردونوع اند: ایستاو پویا. آزماینده عملکردی (با الگوی ذخیره شده) ایستا آزماینده‌ای است که در آن پاسخ ب ت آ به واحد مرکزی پردازش منتقل می شودوسرعت اجرای آزمایش محدوداست (حدود چند هزار گام آزمایش درثانیه) وبه زمان پردازش در CPU بستگی دارد. هرگام آزمایش زمان لازم از اعمال تحریك تا پایان عمل مقایسه است.

آزماینده عملکردی (با الگوی ذخیره شده) پویا آزماینده‌ای است که خود سخت افزار لازم برای مقایسه پاسخها با خروجی مطلوب را دارد. این آزماینده حافظه‌های سریع داردومی‌تواند الگوهای آزمایش وپاسخهای مطلوب را درخود جا دهد. دراین آزماینده به کمك یك ساعت سریع الگوهای آزمایش ازحافظه‌های محلی به ب ت آ منتقل می شودو ازطرفی پاسخ مطلوب رابه مدار مقایسه برای مقایسه با پاسخهای ب ت آ می فرستد. بدیهی است دراین حالت سرعت آزمایش به دلیل همزمانی ارسال الگوهای آزمایش وعمل مقایسه حدود چند میلیون گام آزمایش در ثانیه است. آزماینده عملکردی با الگوی ذخیره شده پویا را به اختصار آزماینده عملکردی پویا می نامند.

حافظه محلی آزماینده عملکردی پویا می تواند RAM یا شیفت رجیستر (ثبات انتقالی) باقدرت ذخیره کنندگی حدود چنین هزاربیت باشد. درآزماینده‌هایی که سخت افزار لازم برای مقایسه پاسخهای ب ت آ و پاسخهای مطلوب را دارند، XOR عمل مقایسه را انجام می دهد. این XOR عمل مقایسه رابیت به بیت انجام می دهدو چنانچه به خطایی برخورد کنیم می توان به این نتیجه رسید که ب ت آ خراب است.

۳۷



شکل ۲-۲ مفهوم آزمایش عملکردی با الگوی ذخیره‌شده

۳۸

۴۰۲ آزماینده عملکردی مقایسه گر با مبنای پویا

اساس کار این آزماینده درشکل ۲-۳ تشریح شده است. اصلی که این آزماینده‌ها از آن تبعیت می‌کنند، این است که مدارهای دیجیتالی هرگاه تحریکها یکسان باشند پاسخها نیز یکسانند. بنابراین چنانچه مطابق شکل به یك برد سالم و یك ب ت آ تحریکهای یکسانی اعمال کنیم، باید انتظار داشت که پاسخ آنها نیز یکسان باشد. درآزماینده‌های عملکردی مقایسه گر با مبنای پویا که به اختصار به آن آزماینده مبنای پویا می گوییم سخت افزاری برای مقایسه پاسخهای برد سالم و ب ت آ وجود دارد که شامل دریچه (گیت) های XOR است. بدیهی است هرگاه پاسخها یکسان باشد خروجی XOR "۰" ودرغیر این صورت خروجی "۱" است.

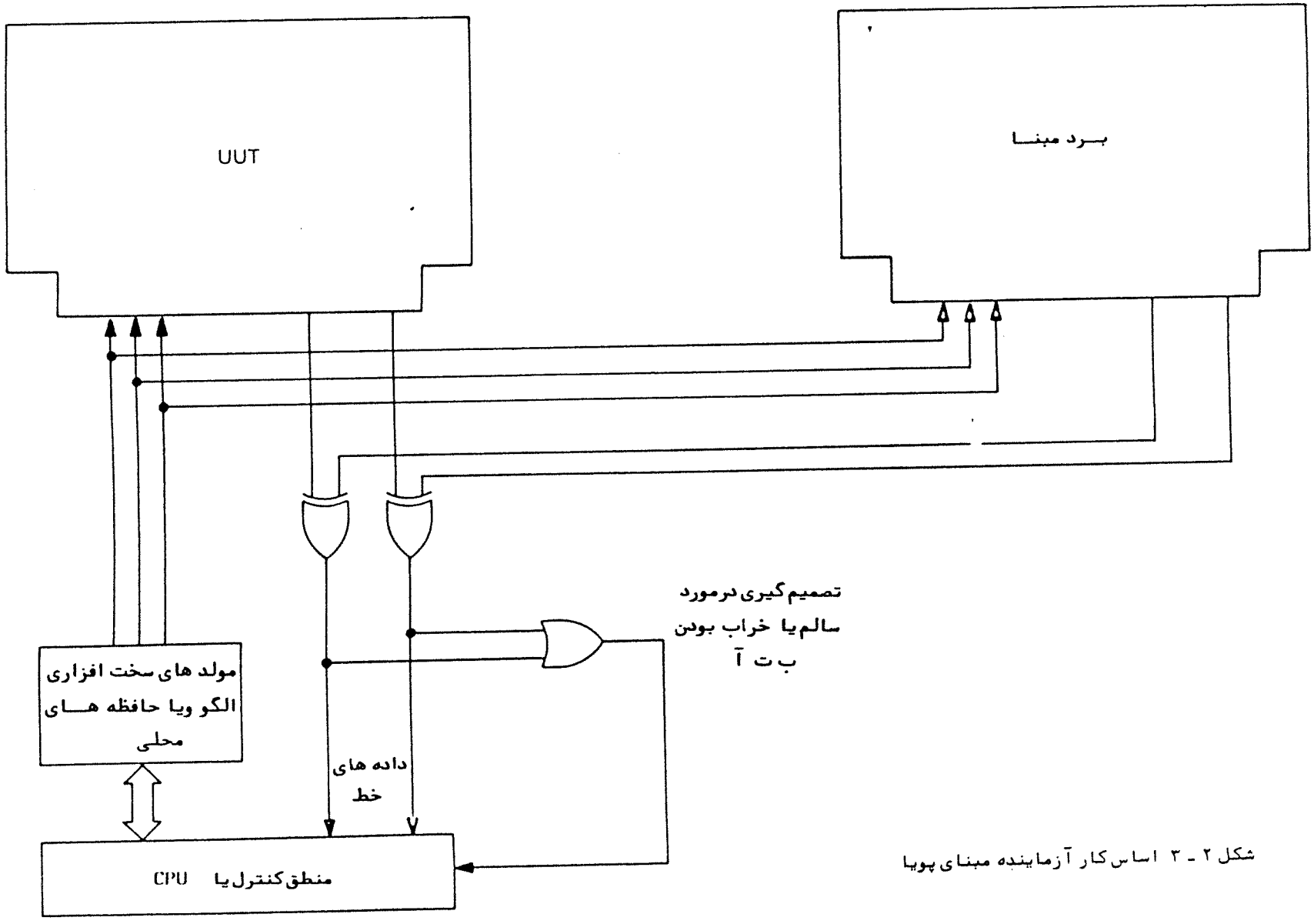
در آزماینده مبنای پویا الگوهای آزمایش تولید می شودونه ذخیره. تا هنگامی که همه اشکالها برانگیخته شده وبه خروجی برد منتقل می شود دیگر به ورودیهای پیچیده برای آزمایش بیشتر بردهای MSI نیازی نیست وبه جای آن می توان به کمك مولدهای فرکانس ومولدهای کدگری میلیونها الگوی آزمایش مشتمل برالگوهای برانگیزاننده ومنتقل کننده تولیدکرد. کد گری سطوحی منطقی فراهم می آوردکه در هرگام آزمایش تنهایکی از بیتهای الگوی آزمایش تغییر حالت دهد.

بنابه شکل ۲-۴ به کمك یك شمارنده دودویی M بیتی ویك نوسانساز فرکانس بالا می توان M خط ورودی دودویی تولید کرد. این M خط به پایه‌های ورودی ب ت آ وصل می شودو به این ترتیب می توان رشته پالسهایی با دوره تناوب (پریود) مختلف به آن اعمال کرد. از این روش می توان در مدارهای ترکیبی ساده استفاده کرد. وانگهی ازشمارنده دودویی فوق می توان برای راه اندازی یك مبدل دودویی به اعشاری کد دودویی (BCD) نیز استفاده کرد ومجموعه‌ای ازشکل موجهای مختلف به دست آورد. البته این مبدل می تواند دودویی به کدگری باشد وبه این ترتیب به الگوهای آزمایشی دست یافت که در هر گام تنها یك خط تغییر حالت دهد.

برای ایجاد مجموعه الگوهای آزمایشی که در آنهاپالسها به پایه‌های ورودی اعمال شود ازکدگشا (دیکودر) استفاده می شود. الگوهای آزمایش شبه تصادفی را هم شیفت رجسترها (ثباتهای انتقالی) با پسخورد (فید بك) داخلی تولید می کنند.

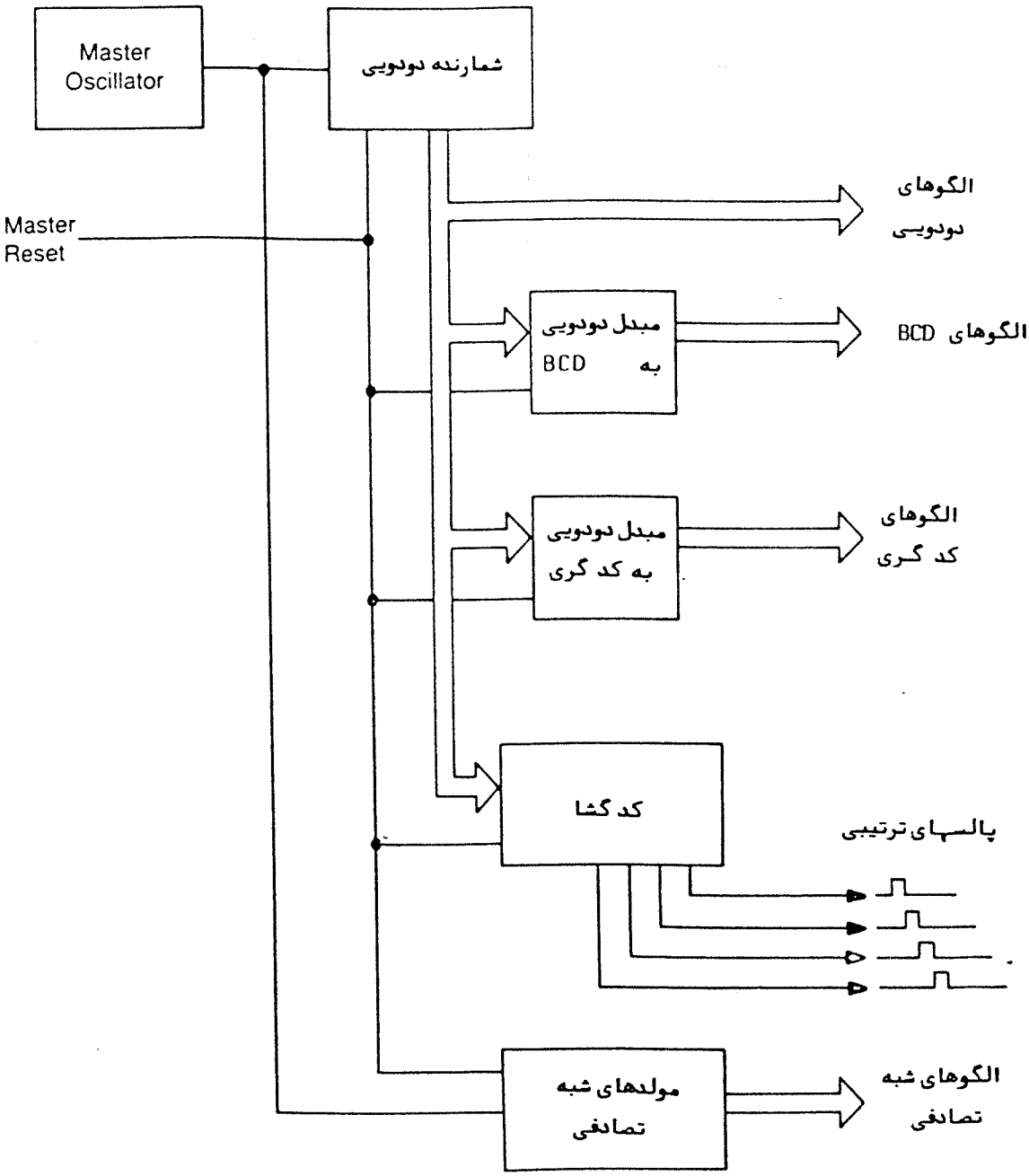
روش تولید تحریکها در بالا تشریح شد. اکنون به روش اعمال تحریکهابه ب ت آ به کمك شکل ۲-۵ می پردازیم. در آزماینده‌های مبنای پویایی که درآنها الگوهای آزمایش را سخت افزار تولید می کند، باید مولد الگوهای آزمایش را کنترل کرد. نیز باید مراقب بود که الگوهای آزمایش به صورت پایه به پایه به ب ت آ منتقل شود. این امور را کنترل کننده برعهده داردو هرمولد الگوی آزمایش را روشن وخاموش وبرجا می کند. اتصال مولدهای آزمایش به پایه های

۳۰۹



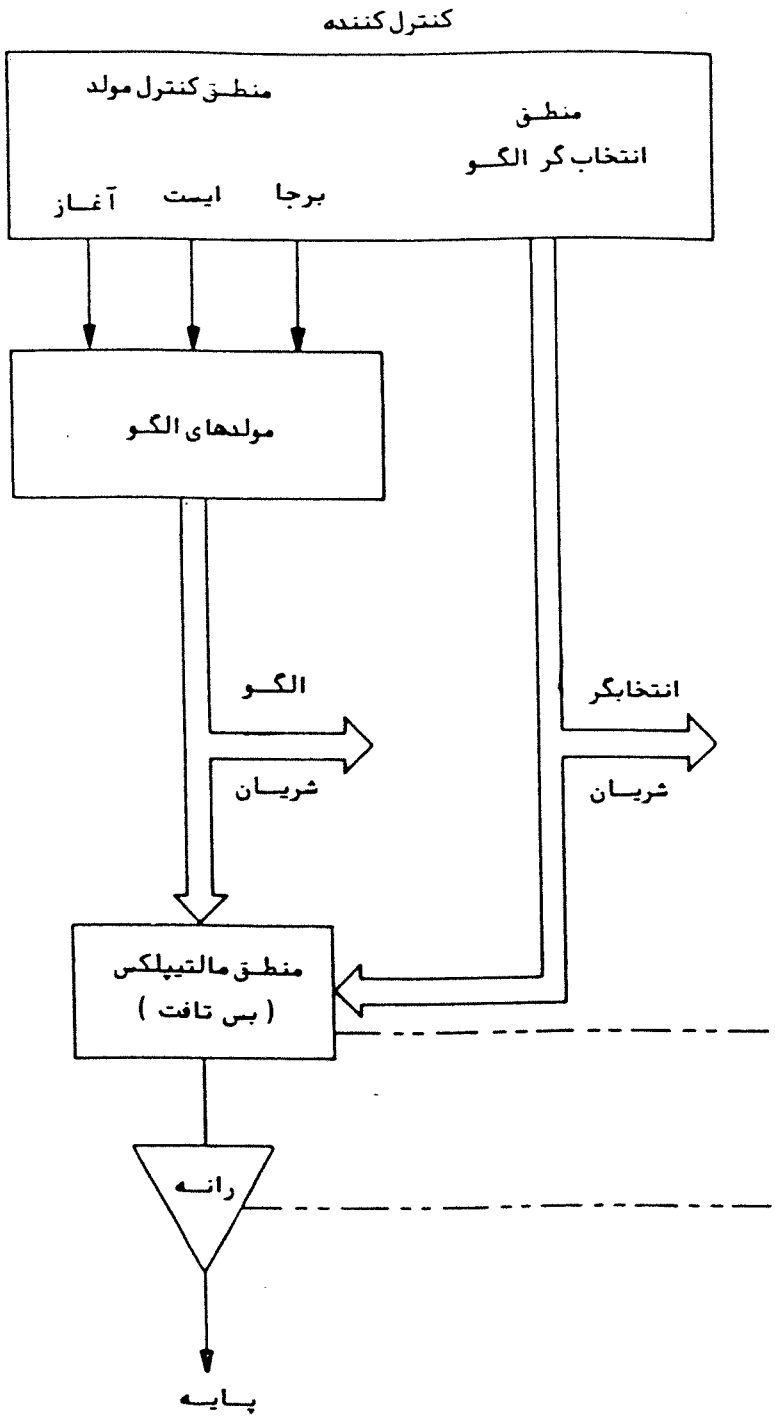
شکل ۲ - ۳ اساس کار آزماینده مبنای پویا

مرکز تحقیقات مخابرات ایران



شکل ۲ ـ ۴ تولید سخت‌افزاری تحریکها

۴۱


کنترل کننده
منطق کنترل مولد
منطق
انتخاب گر الگو
آغاز
ایست
برجا
مولدهای الگو
الگو
شریان
انتخابگر
شریان
منطق مالتیپلکس
(بس تافت)
رانه
پایه

۴۲

ورودی ب ت آ را می توان به کمك مالتیپلکس (بس تافت) انجام داد. مولدهای آزمایش به یك باس متصل اندو می توان آنها را به هرپایه برد میانی متصل کرد.

آزماینده‌های مبنای پویا برای آزمایش بردهای با پیچیدگی متوسط مناسب اند. در این گونه سیستمها برنامه نویسی برای یك برد از راه تولید الگوهای آزمایش به کمك سخت افزار از ایجاد اشکال آزماینده پیچیده بسیار ارزانتر است. اما روش برنامه ریزی مشکلاتی به همراه دارد مثلا" درمدارهای ترتیبی پیچیده آماده سازی برد آزمایش وانتقال آن ازحالتی به حالت دیگر آسان نیست. زیرا هر مدار را درحالت مشخص می توان آزمایش کرد، سپس برای آماده سازی آن باید کارهای اضافی غیر ماشینی (درستی) انجام داد که وقت گیر است. مشکل دیگری که در پیش روی این روش آزمایش است ، زمانی پیش می آیدکه برد حالتهای نامعین داشته باشد که در این صورت ایجاد خروجیهای معین بسیارمشکل وگاه غیر ممکن است.

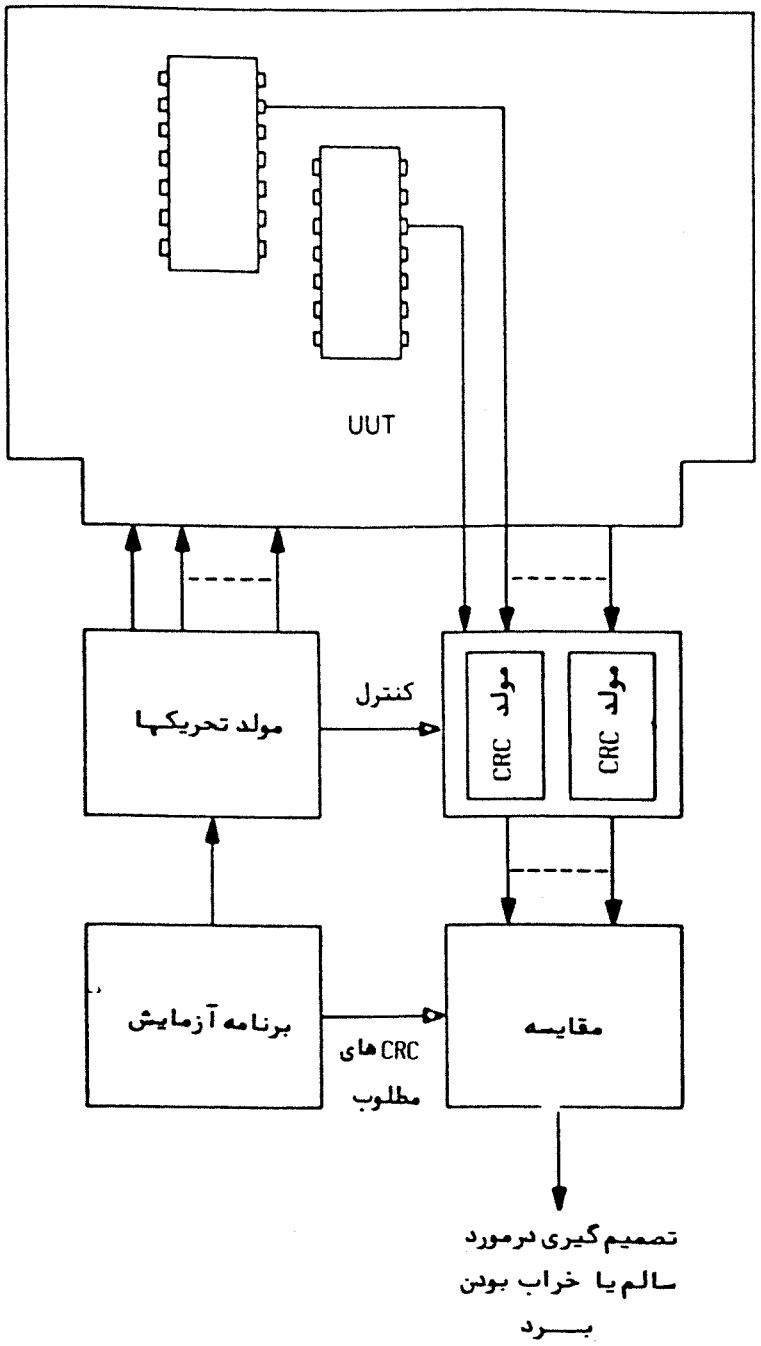
نبودن راهی برای پیشگیری از رشته آزمایشهای تصادفی ونیاز حتمی به برد سالم که اولا" تهیه آن دشوار است وثانیا" آنهانیز ممکن است خراب شود، از عیوب دیگر این روش آزمایش است.

اما برای حل مشکل ایجاد حالت اولیه در برد برخی ازسازندگان ازالگوهای ذخیره شده سود می جویندتا تحریکهای لازم به صورت سخت افزاری تهیه شود. با اعمال الگوهای ذخیره شده به برد می توان آن را به حالت اولیه لازم برگرداند.

۵۰۲ آزماینده عملکردی تحلیل کد مشخصه

مفهوم آزماینده عملکردی تحلیل کد مشخصه درشکل ۲-۶تشریح شده است. سالها پیش چنین استدلال می شدکه برای الگوهای خاص وبرای هر دفعه آزمایش تعداد گذار در خروجی (گذار از "۱" به "۰" وبرعکس) برای بردهای سالم یکسان است. این واقعیت اساس کار دستگاههای آزماینده‌ای به نام دستگاههای آزماینده شمارشی(TRC)است. دراین آزماینده پس از اعمال الگوهای لازم به ب ت آ پاسخها شمارش وباشمارش صحیح مقایسه می شودکه ب ت آ سالم است یا خراب.

روش TRC دو اشکال عمده دارد. نخست اینکه با پیچیده‌تر شدن بردهابه شمارنده‌های بزرگ نیاز است. دیگر اینکه ممکن است گذار از "۱" به "۰" وبرعکس دریك بردسالم ویك برد معیوب ازنظر تعداد مساوی اما ازنظرزمان تا هماهنگ باشدو درنتیجه دستگاه آزماینده برد معیوب را سالم قلمدادکند. همین اشکالات سبب شده دستگاه آزماینده شمارش جای خود را به دستگاه آزماینده دیگری با همان اساس کار اما بدون مشکلات فوق بدهد.



شکل ۲ ـ ۶ مفهوم آزماینده تحلیل کد مشخصه

اساس کار این آزماینده همانطور که گفته شد در شکل ۲ـ۶ دیده می شود. کنترل برنامه آزمایش را مولد تحریکات برعهده دارد. در روش آزمایش تحلیل کد مشخصه تحریکها ممکن است الگوهای ذخیره شده نرم افزاری یا صورت سخت افزاری داشته باشد. ویژگی اصلی تحلیل کد مشخصه نمونه برداری از پاسخ است. دراین روش آزمایش پاسخهای ب ت آ را به آزماینده‌هایی به نام مولد CRC[1] می سپارند.

۶۰۲ مولد CRC

هر CRC واژه‌ای ۱۶ یا ۳۲ بیتی است که گذارهای "۱" به "۰" یا "۰" به "۱" هرپایه خروجی ب ت آ را نشان می دهد. تعداد گذار اطلاعات فشرده شده‌ای است که به آن کد مشخصه می گویند. مولد CRC برای الگوهای خروجی کد مشخصه‌ای تولید می کندکه احتمال یکسان بودن آن با کدهای مشخصه خروجی دیگر بسیار کم است.

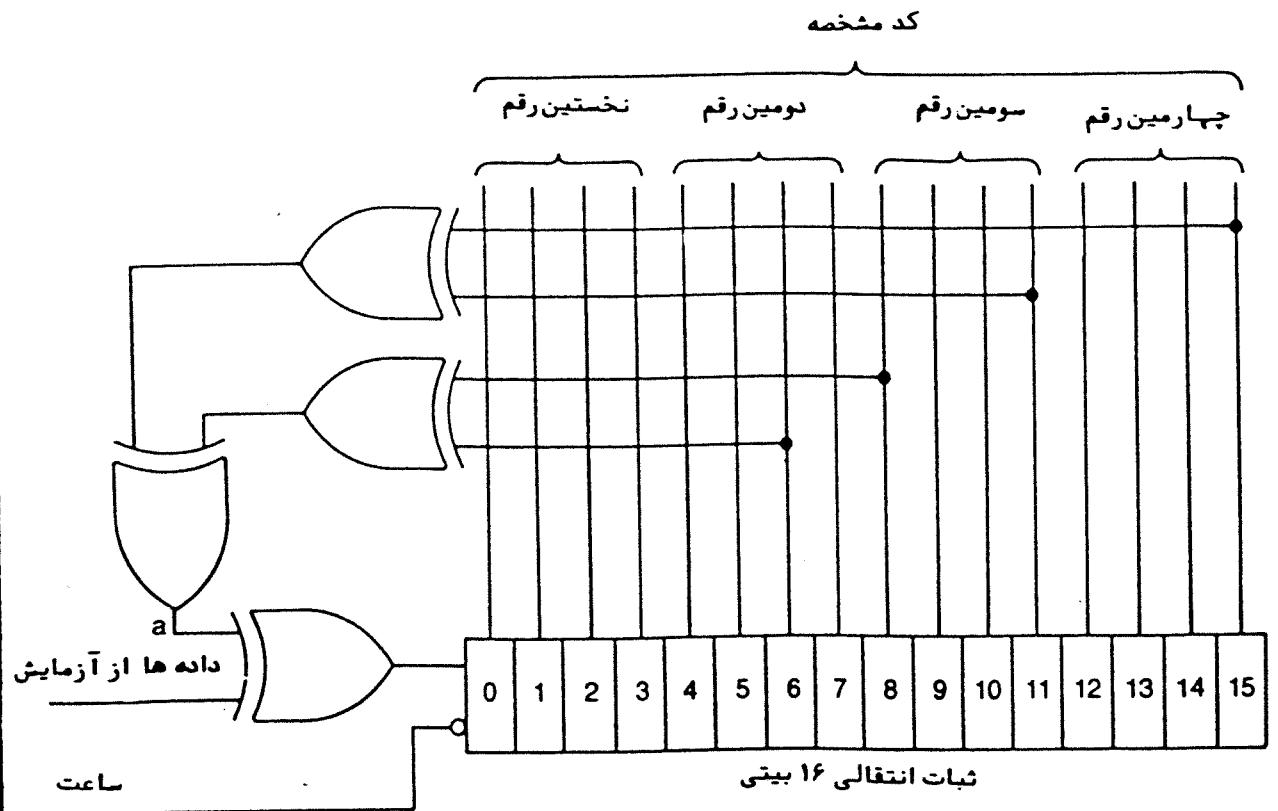
عمل مقایسه‌ای که انجام می شود، مقایسه کد مشخصه تولیدشده با کد مشخصه مطلوب برنامه آزمایش است. برجاکردن[2] وبه کار انداختن وبازایستاندن مولد CRC را می توان کنترل کرد که بستگی زیادی به تحریکات دارد. تولید کد مشخصه هنگام انتقال مدار به حالت اولیه ونیز هنگامی که اطلاعات در پایه خروجی نامعین است امکان ندارد. می توان به کمك پوشانش[3]، مانع ازظاهر شدن اطلاعات شد.

۷۰۲ تولید کد در CRC

مدار شکل ۲ـ۷ صورت مقدماتی مولد CRC یا مدار فشردن اطلاعات است. بخش اصلی مولد CRC در این مدار یك ثبات انتقالی ۱۶ بیتی است. دراین ثبات انتقالی ورودیها به صورت پیاپی و خروجیها به صورت موازی است. چهاربیت خروجی رامدارهای XOR برگشت می دهند. خروجیهای XOR با پاسخهای ب ت آ دوباره وارد XOR می شوندکه از چهار بیتی از ثبات انتقالی پسخورانده (فید بك) می شود، آنها که سطح منطقی "۱" دارندفرد باشد، سطح منطقی خروجی

1. Cylic Redundancy Code (Check)
2. Reset
3. Masking

مدار پسخورد، بانماد a ، برابر "۱" ودرغیر این صورت " ۰ " است۰ اگر خروجی پسخورد "۱" باشد، سطح منطقی داده‌های حاصل از آزمایش وارون می شودواگر خروجی پسخورد " ۰ " باشد سطح منطقی داده‌های حاصل از آزمایش تغییر نمی کند۰ اگر داده‌های حاصل از آزمایش به CRC اعمال شود ۱۶ بیت اطلاعاتی در ثبات انتقالی به صورت رشته‌ای از سطحهای منطقی " ۰ " و"۱" ظاهر می شود۰ احتمال اینکه الگوی اطلاعات والگوی اطلاعات مربوط به حالت دارای اشکال پایه واژه ۱۶ بیتی یکسانی تولید کنند، بسیارکم است۰



a = ۱ ، اگر بیتهای ۶، ۸، ۱۱، و۱۵ پاریتی فرد داشته باشند۰

a = ۰ ، اگر بیتهای ۶، ۸، ۱۱، و۱۵ پاریتی زوج داشته باشند۰

شکل ۲ ـ ۷ مولد CRC

روش تولیدکد مشخصه تکرار پذیر است و تکرار پذیری شرط اصلی آزمایش است. برای سهولت کار می توان به جای واژه ۱۶ بیتی ازچهار کارآکتر در دستگاه شانزده شانزدهی استفاده کرد.

نمونه کد تولید شده CRC درشکل ۲-۸ دیده می شود. کد نشان داده شده به این ترتیب تولید می شودکه خطوط اطلاعات ورودی را در زبان اولین پالس ساعت "۱" می کندودر سایر زمانهای آزمایش " ۰ " نگاه می دارد. حال CRC محتویات ثبات انتقالی راپایه ۱۶ می برد. بیت سمت چپ پراهمیت ترین بیت است.

برخی تولید کنندگان وسایل الکترونیکی روش آزمایش تحلیل کد مشخصه را روشی استاندارد می دانندوبخش لازم برای آزمایش را در برد می گنجانند. این بخش یك نوسانسازو یك حافظه RAM برای حفظ الگوی آزمایش لازم را دربر دارد. به این ترتیب کافی است آزماینده سیگنالهای کنترل برای آغاز کردن وبازایستادن برنامه آزمایش را اعمال کند. از این رو طراح برد برچگونگی آزمایش آن احاطه کامل می یابد.

گام	ورودی	محتویات ثبات انتقالی	کد CRC به صورت عدد شانزده شانزدهی
00	1	1000000000000000	8000
01	0	0100000000000000	4000
02	0	0010000000000000	2000
03	0	0001000000000000	1000
04	0	0000100000000000	0800
05	0	0000010000000000	0400
06	0	0000001000000000	0200
07	0	1000000100000000	8100
08	0	0100000010000000	4080
09	0	1010000001000000	A040
10	0	0101000000100000	5020
11	0	0010100000010000	2810
12	0	1001010000001000	9408
13	0	0100101000000100	4A04
14	0	1010010100000010	A502
15	0	0101001010000001	5281

شکل ۲ - ۸ تولید کـدر CRC

۴۷

۸۰۲ مزایا و معایب روش تحلیل کد مشخصه

نخست به شرح مزایای این روش می پردازیم. چون تولید تحریکها واندازه‌گیری پاسخها سخت - افزاری است دستگاه آزماینده با سرعت با لا وحدود چندین مگاهرتزعمل می کند. مزیت دیگر این روش این است که طول الگوی آزمایش محدودیتی برای آن ایجادنمی کند. این مزیت به ویژه در آزمایش مدارهای مجتمع با مقیاس بزرگ (LSI) اهمیت دارد. زیرا آزمایش چنین مدارهای مثلا" با روش الگوهای آزمایش ذخیره شده که درآن طول الگوهای آزمایش به اندازه حافظه محلی بستگی داردآسان نیست.

ازمعایب روش تحلیل کد مشخصه‌این است که برای اشکال یابی نمی توان از روش کاوشگر کامپیوتری سود جست. گرچه می توان کدهای مشخصه هر اتصال ب ت آ را ذخیره کرد، اما جستجو گری با کامپیوتر در مدارهای دارای حلقه پسخورد کارایی چندانی ندارد. دراین باره در آینده بحث خواهیم کرد.

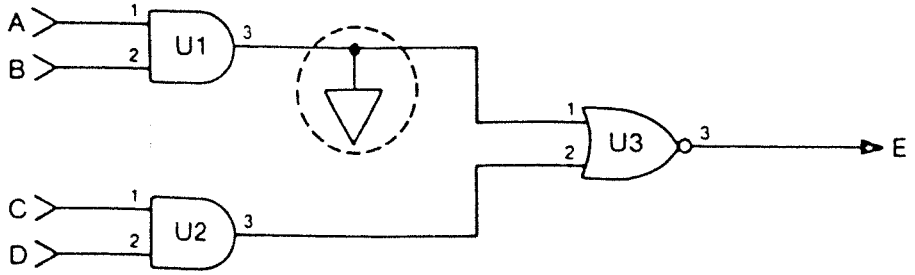
عیب دیگر تحلیل کد مشخصه از آماده سازی شرایط اولیه آزمایش در ب ت آ سرچشمه می گیرد. ناهمزمانی احتمالی CRC با الگوهای آزمایش ونیز مساله‌ای که درمورد بردهای با حالتهای نامعین در زمان اجرای برنامه آزمایش پیش می آیداز عیوب دیگر این روش است. البته حالتهای نامعین را باید نویسنده برنامه آزمایش کشف کندواطلاعات مربوط به آن را بپوشاند (ماسک کند). روش کار چنین است که مولد CRC را تا زمانهایی که اطلاعات دوباره معتبر می شوند بازایستاند.

۹۰۲ تشخیص اشکال

بیشتر دستگاههای آزماینده عملکردی می توانند اشکال را تشخیص دهند (اشکال یابی کنند). روشی که در تشخیص اشکال در دستگاههای آزماینده خودکار (ATE) به کار می رودمحل اشکال را هم معین کند. یعنی نه تنها سالم یا خراب بودن ب ت آ را مشخص می کندبلکه محل اشکال را نیزشناسایی کند. در آزماینده‌های حافظه نیز همین روش به کار می رود.

اگر ATE ازچنین قابلیتی برخوردار نبود از کاوشگر کامپیوتری یا فرهنگ اشکال سود می جوییم. در روش کاوشگری کامپیوتری، اپراتور (متصدی) به کمک کامپیوتر درست مانند وقتی که خودمی خواهداشکال را بیابدعمل می کند.

درشکل ۲-۹ نمونه‌ای ازمدار دارای اشکال که قبلا" در بخش ۱ از آن سخن به میان رفت دیده می شود. همان‌گونه که در شکل دیده می شود، تنهادر گام سوم است که متوجه اشکال



گام	الگوی ورودی				الگوی خروجی مطلوب
	A	B	C	D	E
1	0	1	0	1	1
2	1	0	1	0	1
→ 3	1	1	0	0	0
4	0	0	1	1	0

شکل ۲ ـ ۹ مدار نمونه با برنامه آزمایش ساده

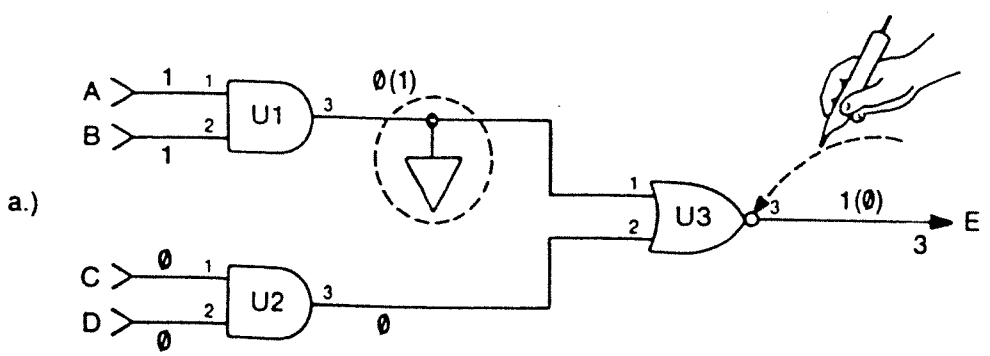
۴۹

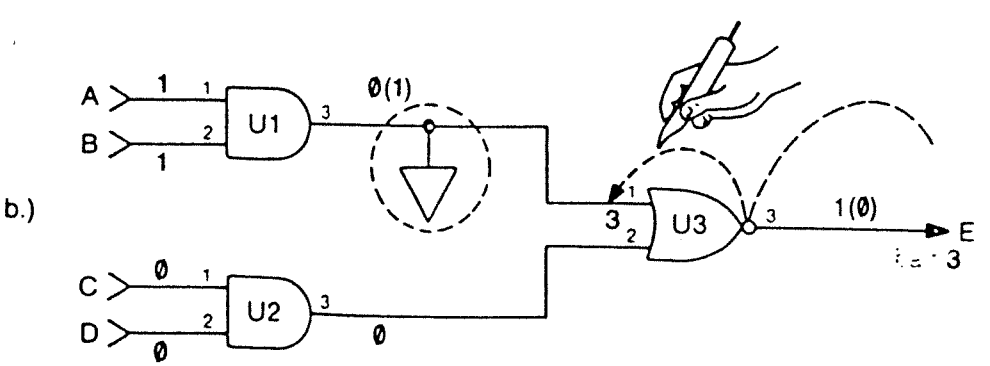
می شویم. حال می خواهیم همین مدار را به کمک کاوش کامپیوتری اشکال یابی کنیم.

۲ ـ ۱۰ کاوش کامپیوتری

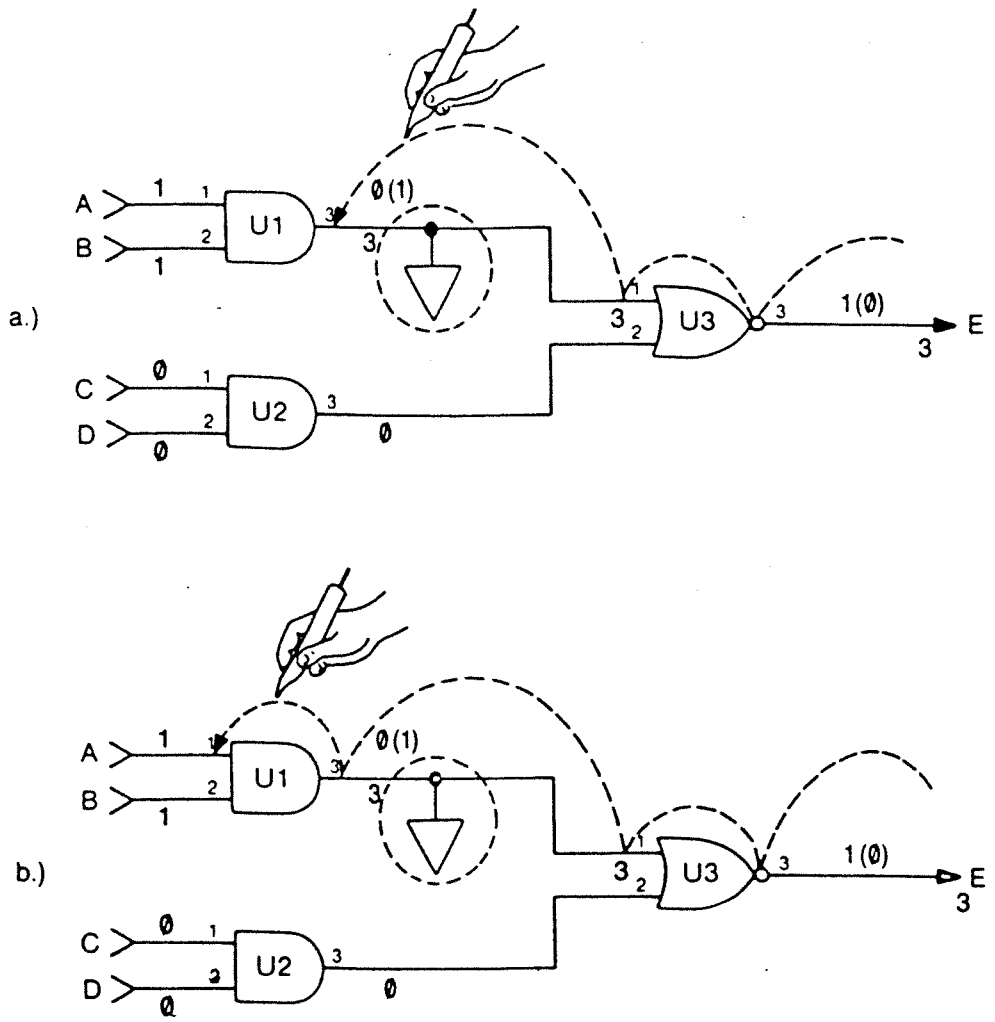
توضیح جامع در صفحه ۱۹۸

روش کاوش کامپیوتری در شکل ۲ـ۱۰ تشریح شده است. دراین شکل آنچه داخل پرانتز آمده است مقادیر مطلوب است. بیرون از پرانتزمقادیری است که آزماینده اندازه گیری می کند. دراین مدار کامپیوتر متصدی راهنمایی می کندتا کاوشگر را به پایه ۳ ازU3 وصل کند(شکل ۲ـ۱۱ الف) برای اطمینان از اتصال کاوشگر به پایه، متصدی کلیدی را روی کنسول می فشارد و از وضعیت اتصال آگاهی می یابد. با اجرای برنامه آزمایش مقادیر منطقی در پایه مطلوب اندازه - گیری می شود.





شکل ۲ ـ ۱۰ کاوش کامپیوتری



شکل ۲ ـ ۱۱ کاوش کامپیوتری

با این روش قابلیت مشاهده افزایش می یابد، زیرا دریافتگردقیقا " به نقطه مورد نظر متصل است. سپس مقادیر اندازه گیری شدهبا مقادیر مطلوب مقایسه می شود. واز روی همین مقایسه درست بودن یا نبودن پایه مشخص می شود.

دراین مدار پایه ۳ از U3 اشکال داردزیرا سطح منطقی اندازه گیری شده " ۰ " است در حالی که سطح منطقی مطلوب "۱" است. حال متصدی این راهنمایی را دریافت می کندکه درباره سالم بودن سیگنال ورودی به U3 به جستجو بپردازد. این کار را می کندونتیجه می گیردکه این پایه نیز جواب نمی دهد.

از آنجا که پایه ۱ سیگنال را ازU1 دریافت می کندکامپیوتر متصدی را را هنمایی می کند که به آزمایش پایه ۳ از U1 بپردازد. شکل ۲-۱۱ الف نشان می دهدکه این پایه نیز جواب نمی دهد. چون U1 دو پایه داردنخست مطابق شکل ۲-۱۱ ب پایه ۱ را می آزماییم که جواب می دهد پس ممکن است پایه ۲ از U1 اشکال داشته باشد. مطابق شکل ۲-۱۲ آن را می آزماییم که جواب می دهد. پس هر اشکالی هست ازU1 است یعنی IC آن خراب است. سیستم آزماینده عمل تشخیص خود را چنین اعلام می کند: " پایه ۳ از U1 ایستابر "۰"است".

۱۱۰۲ مزایا ومعایب کاوش کامپیوتری

بزرگترین مزیت کاوش کامپیوتری در این است که متصدیان کم تجربه نیز می توانند به سادگی محل اشکال را مشخص کنندزیرا او دستورالعملهایی سادهای ازکامپیوتر دریافت می کندوکافی است که کاوشگررا به پایههای مختلف وصل کند.

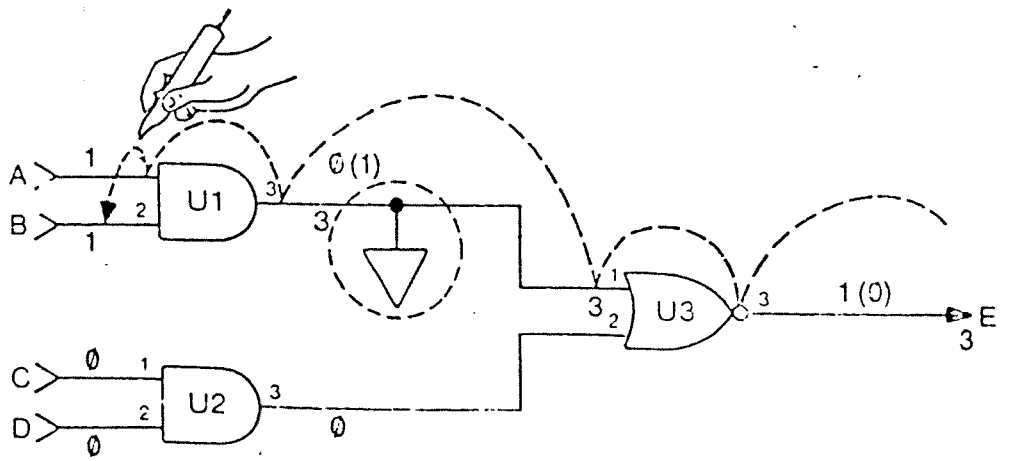
مزیت دیگر این است که اشکال یك گره IC را می توان دقیقا " تعیین کرد. متصدی می تواندبا رهنمون شدن به یك گره خاص بلا فاصله آن را از جهت اتصال کوتاه شدن یا پایهها و اتصالهای صدمه دیده بررسی کند.

مزیت سوم کاوشگری کامپیوتری این است که اشکالهای ایستایی آشکار پذیر به وسیله برنامه آزمایش را تشخیص می دهد. در روش کاوشگری کامپیوتری ضرورتی ندارد، با این اشکالها قبلا" در برد دیگری یا در تحلیل اشکال مواجه شده باشیم، وکاوشگری کامپیوتری مستقل ازتحلیل اشکال وتنها برمبنای اطلاعات مناسب مدار استوار است. این اطلاعات باید شامل مقادیرمنطقی مطلوب هرگره در هرگام برنامه آزمایش باشد.

عیب عمده روش کاوشگری در وابسته بودن آن به متصدی (اپراتور) است بنابراین سرعت آزمایش کم است وامکان وقوع اشتباه زیاد. عیب دیگر این روش درمتصل کردن کاوشگر به

۵۲

a.)



اشکال : پایه ۳ از U1 ایستا بر صفر وصل
به پایه U3 پایه ۱

شکل ۲ - ۱۲ کـــاوش کامپیوتـــری

گرهاست، زیرا ممکن است گره های واحد تحت آزمایش در دسترس نبوده و یا بخواهیم بصورت خودکار محل اشکال را ارزیابی نمائیم که کاربرد روش دیگری که بر مبنای فرهنگ اشکال یکی از روشهای ممکن می باشد.

روش فرهنگ اشکالها

در این روش با اجرای برنامه آزمایش و اعمال الگوهای آزمایش به واحد تحت آزمایش و بر اساس شکل ۲-۹ و مقایسه خروجیهای عملی با خروجیهای منتظره و ارزیابی نتیجه مقایسه اطلاعاتی بدست می آید که می توان با تکیه بر این اطلاعات محل اشکال را ردیابی نمود.

فرهنگ اشکالهای مدار شکل ۲-۹ در شکل ۲-۱۳ با دیده می شود. هنگام استفاده از این فرهنگ اشکالها، آزماینده به ترتیب الگوهای آزمایش را قدم به قدم به واحد اعمال می نماید و در برخورد با نخستین تناقض، برنامه آزمایش را در آن قدم متوقف می کند و با مراجعه به سطر مربوط به آن قدم اشکالات ممکن را مشخص می نماید.

به این روش فرهنگ " اولین قدم مردودی[1] " اطلاق می شود .

بعنوان مثال اگر چنانچه بر اساس شکل ۲-۱۳ با اعمال الگوهای آزمایش در قدم اول اشکالی را آشکار نکنیم و در قدم بعدی با اشکال مواجه شویم با توجه به سطر مربوطه اشکالات ممکن به ترتیب

"U1 Pin2 stuck high"
ویا
"U2 Pin2 stuck high"

می‌باشند.

توجه شود الگوی آزمایش قدم دوم علاوه بر دو اشکال ذکر شده بعضی اشکالات قدم اول را نیز می پوشاند (شکل ۲-۱٤) ولی به دلیل اینکه در قدم اول موفق بوده است بنابراین اشکالات قدم اول از فهرست اشکالات قدم دوم حذف می شوند.

اما مزیت کاوشگری کامپیوتری نسبت به فرهنگ اشکالها در این است که در آن از نظر تشخیص محل اشکال می توان اطلاعات بیشتری بدست آورده و نتیجتاً به محل دقیقتری دست یافت. مزیت اصلی فرهنگ اشکالها سرعت عملکردی آن است به گونه ای که در زمان کوتاهی می توان بدون نیاز به کاربر (اپراتور) محلهای احتمالی یک خرابی را ردیابی کند.

عیب فرهنگ اشکالها ناتوانی آن در تشخیص اشکالات چند تایی است. زیرا با توجه به تعداد اشکالات ممکن چند تایی تهیه فرهنگی که بتواند کلیه اشکالات ممکن را در برگیرد بسیار مشکل و مستلزم وجود حافظه و عملیات بسیار زیادی می باشد

عیب دیگر روش فرهنگ اشکالها این است که غالباً ناتوان در تخصیص اشکال به یک گره است و بنابراین همواره نمی توان اشکال را مربوط به یک قطعه دانست و نهایتاً آزمایش مستلزم عملیات دستی جهت ردیابی دقیق محل اشکال می باشد.

1- First Failing Dictionary

Failing Step	Input Vector A B C D	Output Vector	ExpecteD Vector	Faults
1	0 1 0 1	0	1	"U1 PIN1 STUCK HIGH"
				"U2 PIN1 STUCK HIGH"
				"U1 PIN3 STUCK HIGH"
				"U3 PIN1 STUCK HIGH"
				"U3 PIN3 STUCK HIGH"
				"U2 PIN3 STUCK HIGH"
2	1 0 1 0	0	1	"U3 PIN2 STUCK HIGH"
				"U2 PIN2 STUCK HIGH"
3	1 1 0 0	1	0	"U1 PIN1 STUCK LOW"
				"U1 PIN2 STUCK LOW"
				"U1 PIN3 STUCK LOW"
				"U3 PIN1 STUCK LOW"
				"U3 PIN3 STUCK LOW"
4	0 0 1 1	1	0	"U2 PIN1 STUCK LOW"
				"U2 PIN2 STUCK LOW"
				"U2 PIN3 STUCK LOW"
				"U3 PIN2 STUCK LOW"

شکل ۲-۱۳ فرهنگ اشکالهای مدار شکل ۲-۹

فرهنگ اشکالات کامل[1] :

استفاده از روش " اولین قدم مردودی" همانطوری که ملاحظه شد تنها اطلاعات مربوط به آخرین الگوی اعمال شده و الگوهای قبلی را جهت ردیابی اشکال مورد استفاده قرار می دهد. حال آنکه در روش " فرهنگ اشکالات کامل" الگوهای آزمایش تا آخرین قدم جهت آشکار سازی تک به تک اشکالات اعمال و نتایج حاصل بررسی می شوند.

بر اساس شکل۲-۱۵ کلیه اشکالات مدل ایستایی ممکن در مدار شکل ۲-۱٤ در ستون اول آورده شده است. حال اگر چنانچه اشکال "U1-pin1-stuck-at-0" در مدار وجود داشته باشد، در اولین قدم (Test#1) با اعمال اولین الگو یعنی (0101) به مدار با توجه به اینکه این اشکال تحت پوشش الگوهای فوق نمی باشد، اشکال فق کشف نخواهد شد. در قدم دوم نیز چون اشکالات تحت پوشش الگوی (1010) نمی باشد، اشکال کشف نخواهد گردید. اما در قدم سوم با توجه به اینکه الگوی (1100) اشکال فوق را تحت پوشش دارد نتیجتاً اشکالات کشف شده در جدول و در سطر و قدم مربوطه "E" قرار خواهد گرفت.

در قدم چهارم الگوی (0011) اشکال را پوشش نمی دهد و بنابراین در جدول سطر مربوطه به اشکال فوق به صورت

U1 pin1 stuck-at-0			E	

خواهد بود.

جهت تکمیل جدول برای اشکالات باقیمانده همین عمل یعنی در نظر گرفتن اشکال مورد نظر در هر سطر و سپس اعمال قدم به قدم الگوهای آزمایش و تکمیل سطر انجام می گردد که نتیجه جدول شکل (۲-۱۵) بدست می آید.

در زمان آزمایش به ترتیب چهار الگوی فوق به واحد تحت آزمایش اعمال و با تشکیل یک سطر از جدول شکل ۲-۱۵ و مقایسه با کلیه با سطرهای فرهنگ اشکالات ، چنانچه با یکی از این سطرها تطبیق نماید اشکال مربوطه مشخص و ردیابی می شود.

1- Full Fault Dictionary

Fault	Test #1	Test #2	Test #3	Test #4
U1 Pin 1 stuck-at-0			E	
U1 Pin 1 stuck-at-1	E			
U1 Pin 2 stuck-at-0			E	
U1 Pin 2 stuck-at-1		E		
U1 Pin 3 stuck-at-0			E	
U1 Pin 3 stuck-at-1	E	E		
U2 Pin 1 stuck-at-0				E
U2 Pin 1 stuck-at-1	E			
U2 Pin 2 stuck-at-0				E
U2 Pin 2 stuck-at-1		E		
U2 Pin 3 stuck-at-0				E
U2 Pin 3 stuck-at-1	E	E		
U3 Pin 1 stuck-at-0			E	
U3 Pin 1 stuck-at-1	E	E		
U3 Pin 2 stuck-at-0				E
U3 Pin 2 stuck-at-1	E	E		
U3 Pin 3 stuck-at-0	E	E		
U3 Pin 3 stuck-at-1			E	E

شکل ۲-۱۵ فرهنگ اشکالات کامل

جدول ۲ - ۱ مقایسه آزماینده های عملکردی

	آزماینده با الگوی ذخیره شده	آزماینده با مرجع (مبنای) پویا	آزماینده با تحلیل کد مشخصه
کار برد اصلی	آزمایش بردهای MSI پیچیده	آزمایش بردهای MSI ساده	آزمایش بردهای LSI با میزان آزمایش شوندگی بالا
بها	گران	ارزان	متوسط
آزمایندگی (قابلیت آزمایش کردن)	متوسط	متوسط	بالا
طول الگوی آزمایش	چند هزار الگو	میلیونها الگو	میلیونها الگو
سرعت آزمایش	چندهزار الگودرثانیه (ایستا) چندمیلیون الگو در ثانیه (پویا)	حدود مگاهرتز	حدود مگاهرتز
روشهای تشخیص اشکال	کاوشگری کامپیوتری وفرهنگ اشکالها	دوکاوشگر کامپیوتر	کاوشگری کامپیوتری

۵۷

۱۳۰۲ خلاصه

اکنون براساس جدول ۲-۱ به مقایسه آزمایندههای گوناگون می پردازیم

۱- **کار برد اصلی** ۰ آزماینده با الگوی ذخیره شده برای آزمایش بردهای MSI پیچیده و آزماینده با مرجع‌پویا برای آزمایش بردهای MSI ساده وآزماینده با تحلیل‌کد مشخصه برای آزمایش بردهای LSI به کار روند۰ اما باید توجه داشت که بردهای آزمایش شونده با آزماینده، تحلیل‌کد مشخصه باید ازمیزان آزمایش شوندگی با لایی برخوردار باشد۰

۲- **بها** ۰ آزماینده با الگوی ذخیره شده گران و آزماینده بامبنای پویا ارزان است و آزماینده‌با تحلیل‌کد مشخصه قیمتی بینا بین دارد۰

۳- **آزمایندگی**۰ آزمایندگی (قابلیت آزمایش) آزماینده با الگوی ذخیره شده و مبنای پویا متوسط اما آزماینده با تحلیل‌کد مشخصه بسیار بالاست۰

۴- **طول الگوی آزمایش** ۰ طول الگوی آزمایش در آزماینده با الگوی ذخیره شده به سبب محدود بودن ظرفیت حافظه چندهزار است۰ اما در دوآزماینده نوع دیگراین طول به حدود چند میلیون می رسد۰

۵- **سرعت آزمایش**۰ سرعت آزمایش آزمایندههای با الگوی ذخیره شده در آزمایندههای ایستایی (استاتیکی) چندهزار الگو در ثانیه ودر آزمایندههای پویا (دینامیکی) چند میلیون الگو در ثانیه است۰ سرعت آزمایش آزمایندههای با مرجع‌پویا وتحلیل‌کد مشخصه حدود مگاهرتز است۰

۶- **روشهای اشکال‌یابی (تشخیص اشکال)** ۰ آزماینده با الگوی ذخیره شده با دو روش کاوشگری کامپیوتری وفرهنگ اشکال می تواناشکال یابی کند۰ در آزماینده با مرجع‌پویا برای کاوشگری کامپیوتری دو کاوشگر یکی برای اتصال به برد تحت آزمایش ودیگری برای اتصال به برد سالم لازم است۰ آزماینده با تحلیل‌کد مشخصه برای اشکال یابی روش کاوشگری کامپیوتری رابه کار می گیرد۰

۵۸

۲ آزمایش میان ـ مداری

بنابه آنچه درفصل ۱ گفته شد هنگام ساخت بردها ممکن است اشکالاتی ازجمله اتصال ـ کوتاه، مدار ـ باز، خرابی قطعات، ونصب نادرست پیش آید. باپیچیده ترشدن برد، سیم بندی ظریفتر و فشرده ترمی شودولذا امکان پیش آمدن حالتهای اتصال ـ کوتاه یامدار ـ باز افزایش می یابد. در این موارد ایجاد برنامه آزمایش به صورت عملکردی مشکل وگاه کاملا" غیر اقتصادی است. آزماینده میان مداری که موضوع بحث این فصل است آزماینده‌ای است که برای آزمایش مدارهای با ویژگیهای فوق مناسب است.

۱۰۳ اصول آزمایش میان ـ مداری

هرگاه بتوان باهریك ازگرههای داخل برد اتصال الکتریکی برقرارکرد، درآن صورت می توان با اعمال تحریك و دریافت پاسخ و ارزیابی آن هرقطعه را آزمود. بدیهی است که ایجاد برنامه آزمایش برای یك قطعه به مراتب ساده‌تر از ایجاد برنامه آزمایش برای یك بردمتشکل از قطعات بسیار است. ازطرفی بنابراین روش قطعه خراب را می توان دقیقا" بازشناخت.

بررسی امکان اتصال کوتاه بودن میان گرههای مختلف مطابق این روش بسیارساده است.

۵۹

اگر تمام قطعات سالم باشندواتصال - کوتاهی میان گرهها وجود نداشته باشد، می توان نتیجه گرفت که برد سالم است.

اتصال آزماینده میان - مداری باگرههای مدارچاپی به کمك بستر سوزنی انجام می شود. این بستر سوزنهایی با طول متغیر داردو ساختار آن به گونه‌ای است که به نحو مناسب به گرههای مدار متصل می شود. پیکانهای پررنگی که درشکل ۳-۱ دیده می شود، همین اتصالات سوزنی را نشان می دهد. اتصالهای سوزنی به رانهاو دریافتگرهای آزماینده متصل می شوند (خط چین ها) .

برخی بردهای بزرگ صدها گره دارند. درآزمایش میان مداری هرسوزن به کلید (سوئیچ) ی وصل است که به کمك آن گره یا به رانه یابه دریافتگر متصل می شود.

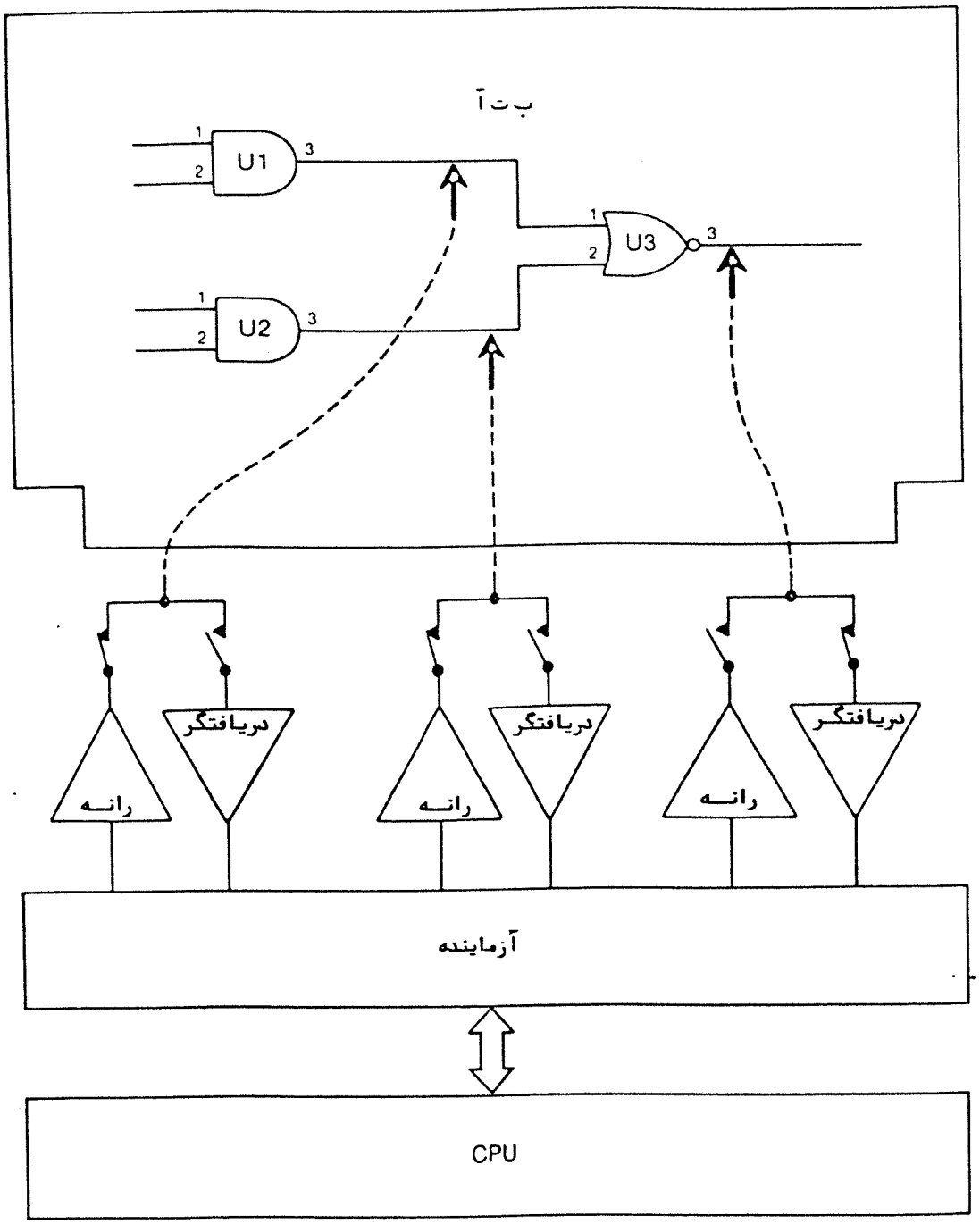
درشکل ۳-۱ سوزنهایی که برای آزمایش U3 لازم است نشان داده شده است. برای آزمایش U3 از راه سوزنها پایه ۱ از U3 وپایه ۲ از U3 راتحریك می کنیم وپاسخ را از پایه ۳ از U3 دریافت می کنیم. حال اگر بخواهیم U1رابیازماییم سوزنی که به پایه ۱ از U3 وصل است توسط سوئیچ از رانه جدا و به دریافتگر وصل می شود. برای آزمون U2 می توان همین کار را در مورد سوزنی که به پایه ۳ از U2 ونیز پایه ۲ از U3وصل است انجام داد.

حال به‌آزمایش U3 بازمی گردیم. آزمایش آسان است: ورودیهای U3 رابه کمك سوئیچ به رانه‌های آزماینده وخروجی آن رابه دریافتگرمتصل می کنیم. اما دراینجامشکلی پیش می آید که باید راه حلی برای آن ارائه داد. مشکل درشکل ۳-۲ تشریح شده است. ازآنجاکه همه قطعات همخانواده (مثلا" خانواده TTL) بایك منبع ، تغذیه می شوند. بنابراین نمی توان یکی از قطعات داخل برد رابه تنهایی به منبع‌تغذیه وصل کرد. با متصل کردن منبع‌تغذیه به برد هریك از قطعات داخل برد به طور اتفاقی مقداری را اختیار می کنند.

درشکل ۳-۲ مقادیر داده شده به دریچه (گیت) های U1 و U2 به گونه‌ای انتخاب شده‌اند که خروجی آنها ، که ورودی U3 است سطح منطقی " ۰ " باشد. برای آزمایش U3 ورودیهای آن باید "۱" منطقی باشند که مخالف مقداری است که اکنون دارند.

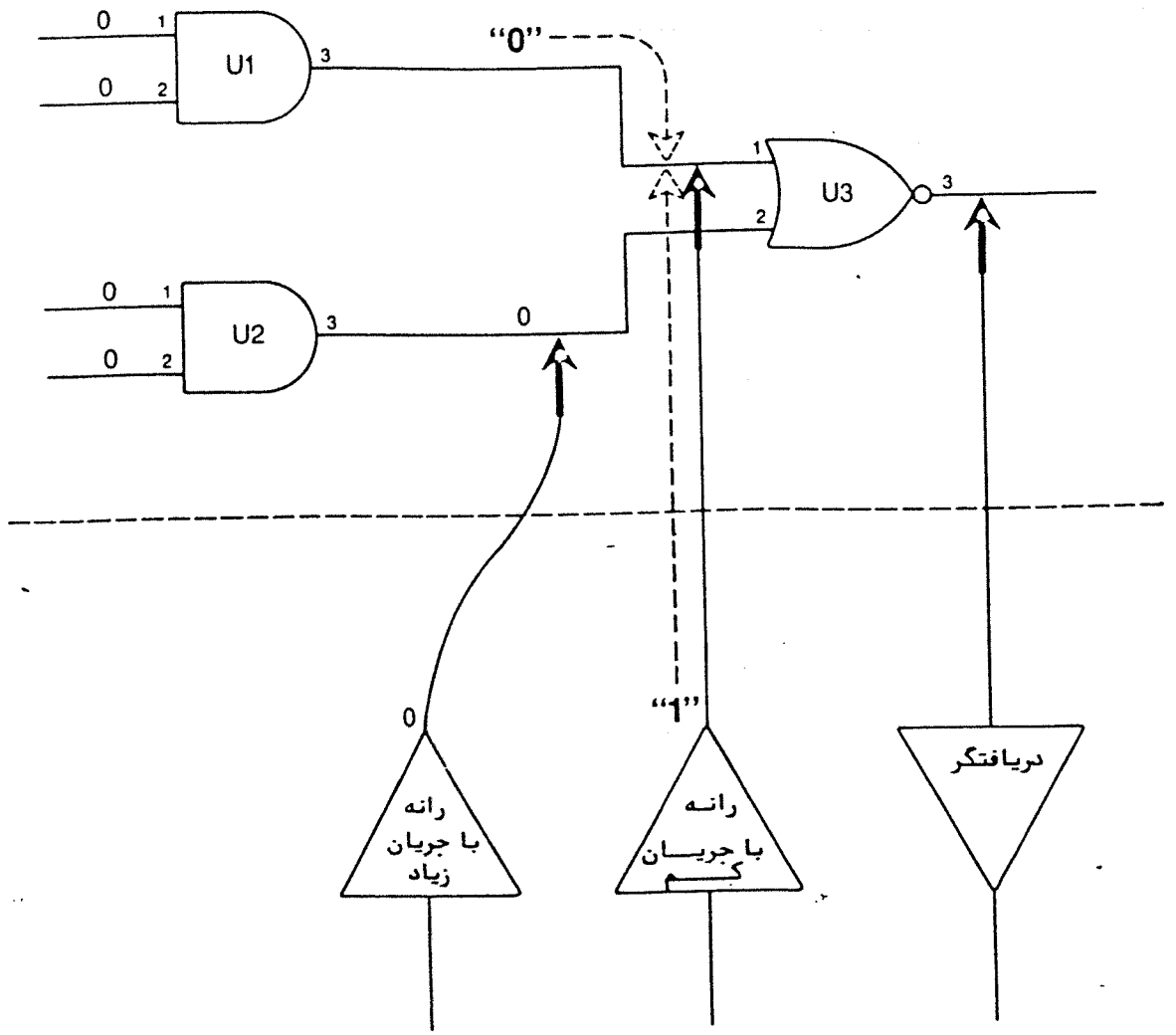
۳-۲ پس رانی اجزای مدار

وادار کردن یك گره به قبول سطحی منطقی مخالف سطح منطقی موجود آن پس رانی نام دارد. بنابراین درشکل ۳-۲ اگر بخواهیم پایه ۱ و ۲ از U3 سطح منطقی "۱" داشته باشند، باید ازعمل پس رانی سودجوییم . برای اعمال "۱" به این پایه‌ها رانه دستگاه آزماینده باید بتواند جریان



شکل ۳ - ۱ آزمایش میان - مداری

61

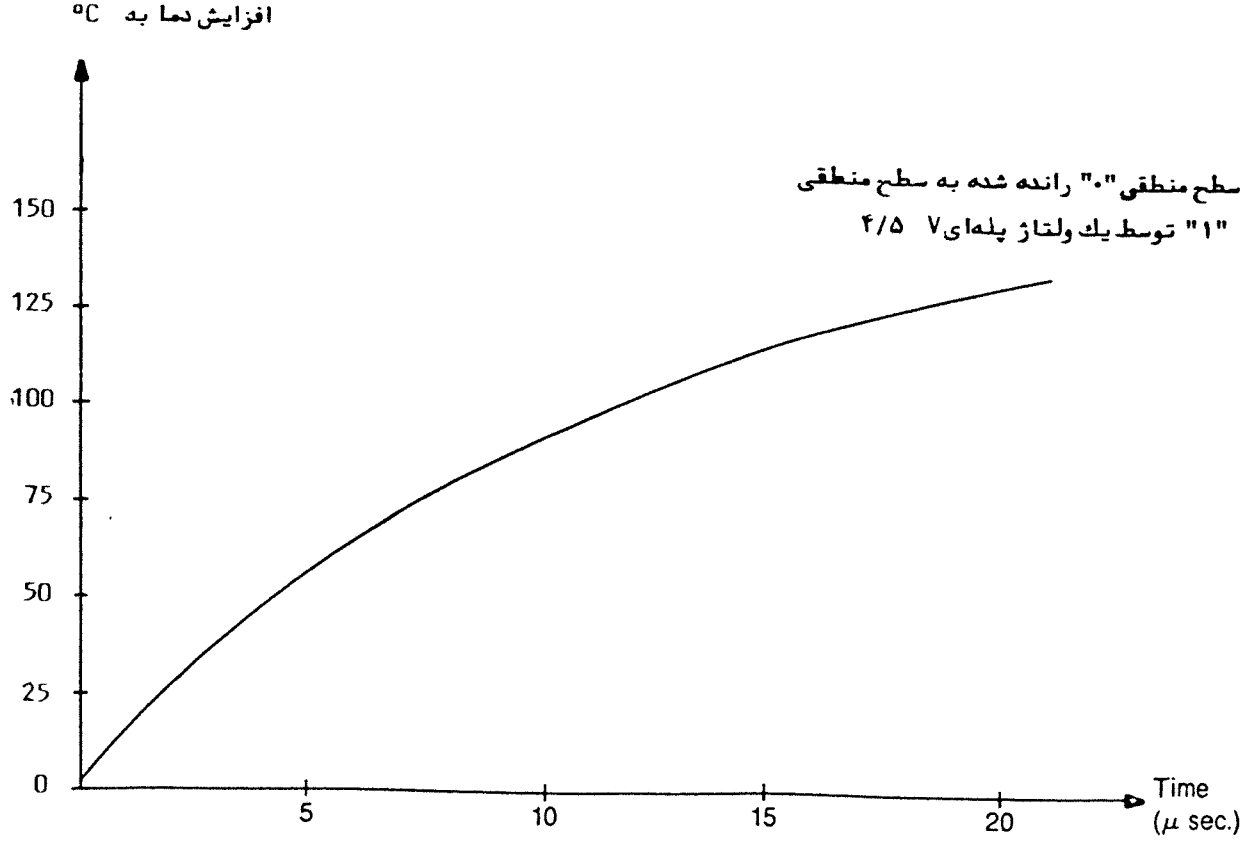


شکل ۳ - ۲ مشکل آزمایش میان - مداری

۶۲

شکل ۳ـ۴ منحنی افزایش دمای یك دریچه 7440 رابرحسب زمان به ازای ولتاژ ورودی پله‌ای۴/۵۷ نشان می دهد. بنابراین منحنی افزایش دما درنخستین s ۲۰ حدود C° ۱۳۰ است. اگرآزمایش پیش از رسیدن دمای قطعه به حداکثرمجاز انجام شود، قطعه صدمه نمی بیند. منحنی ولتاژجریان برحسب نوع قطعه متفاوت است. مثلا" برای پس رانی به حالت منطقی ۱ درقطعات نوع شاتکی mA ۴۰۰ جریان ودر قطعات نوع ماسی mA ۱۰ جریان لازم است.

آزمایش میان مداری در صورتی که آزمایش سریع انجام شود به طوری که پس رانی قطعه موجب صدمه دیدن آن نشود، بسیار موثر است. آزمایش میان مداری مزایای دیگری نیز دارد که برای برشمردن آنها از شکل ۳ـ۵ کمك می گیریم.



شکل ۳ ـ ۴ افزایش دما برحسب زمان

۶۴

۳۰۳ آزمایش اتصال ـ کوتاه

خرابی یك برد ممکن است جز خراب بودن قطعه ها دلایل دیگری ازجمله اتصال ـ کوتاه بودن ومدار بازبودن مدار برد داشته باشد. اتصال کوتاه شدن خود دلایلی داردازجمله خم شدن پایه‌های قطعه ـ ها. اگر بستر سوزنی آزماینده برای هر گره مدار سوزنی داشته باشد، آزمایش یافتن اتصال ـ کوتاه نسبتا" ساده است. روش کاربه این ترتیب است که سطح منطقی گره را "۱" منطقی می کنیم ودرهمان حال آن را در می پا بیم (مونیتور می کنیم)وگرههای دیگر را به "۰" منطقی می رسانیم. چنانکه درشکل ۳ـ۵ دیده می شود در پایین (مونیتور کردن) متصل کردن یك رانه ویك دریافتگر به پایه است. درشکل ۳ـ۵ دریافتگری که به پایه ۲ از U3 وصل است یك "منطقی دریافت می کند، حال آنکه رانه Q دستگاه آزماینده تلاش می کند که این پایه رابه سطح منطقی "۱" برساند.

در آزمایش یك مدار چاپی برای یافتن اتصال کوتاه نبایدتوان اعمال شود. ضمنا" آزمایش باید باولتاژهای کم، حدود چند صد میلی ولت، انجام شود. در غیر این صورت ممکن است به قطعات آسیب برسد.

۴۰۳ آزمایش مدار ـ باز

آزمایش مدار برای یافتن محل مدار بازمسائل متفاوتی داردکه‌درشکل۳ـ۶تشریح شده‌است. در این آزمایش، آزماینده، باید برای هرپایه یك سوزن داشته باشد. برای آزمایش یك قطعه ابتدا سطح منطقی ۱ بر روی یك پایه ازآن قطعه اعمال می کنیم وسپس سطح منطقی همه پایه‌هایی راکه به این گره وصل شده‌اند، اندازه می گیریم. اگر این سطوح منطقی خلاف مقدار مطلوب باشند در مدار اتصال باز وجود دارد. دراین حالت نیز مانند آزمایش اتصال ـ کوتاه از ولتاژهای پایین استفاده می شود.

معمولا" آزمایش مدار ـ باز واتصال ـ کوتاه پیش از آزمایش قطعه ها انجام می شود.

۵۰۳ آزمایش قطعات

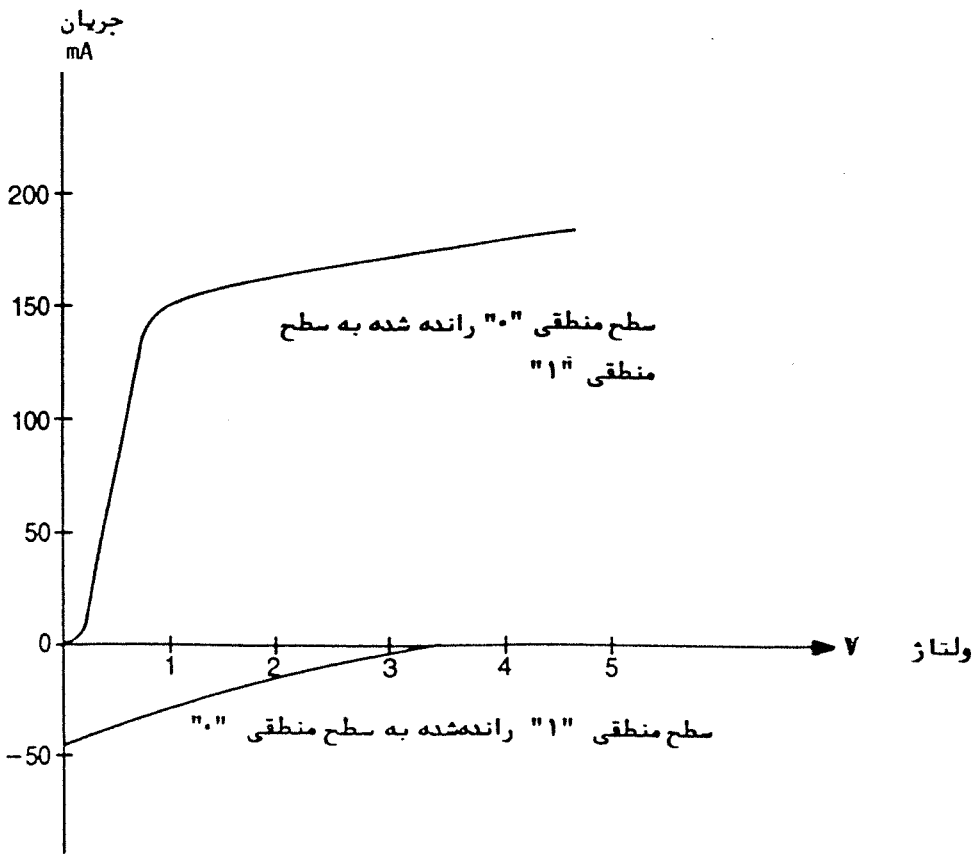
مطلب را با بررسی یك دریچه NAND آغاز می کنیم. به شکل ۳ـ۷ توجه کنید. درشکل ۳ـ۷ الف برنامه آزمایش فراگیر این قطعه آمده است. چنانکه درفصل ۱ گفتیم برنامه آزمایش فراگیرممکن است شامل جمله‌های زائد باشد. دراینجا می توان جمله اول برنامه راحذف کردکه درآن صورت

لازم را برای پس رانی فراهم آورد. حدود جریان لازم را برای یك دریچه ازخانواده TTL درشکل ۳-۳ مشخص شده است.این منحنی ازآن یك دریچه NAND شماره 7440 است.

درشکل ۳-۳ جریان لازم برای پس رانی خروجی دریچه ازسطح منطقی " ۰ " به سطح منطقی " ۱ " درمنحنی بالایی نشان داده شده است. خروجی دریچه ترانزیستوری است که کاملا" "وصل" است وامیتر آن به زمین وکلکتور آن به پایه خروجی IC وصل است. مطابق این منحنی به ازای ولتاژ ۴V جریان خروجی ترانزیستور حدود ۱۷۵ mA است که قریب ۲/۵ برابر جریان اتصال کوتاه مجازاین قطعه است. چنین جریانی را باید رانه‌های آزماینده فراهم آورند.

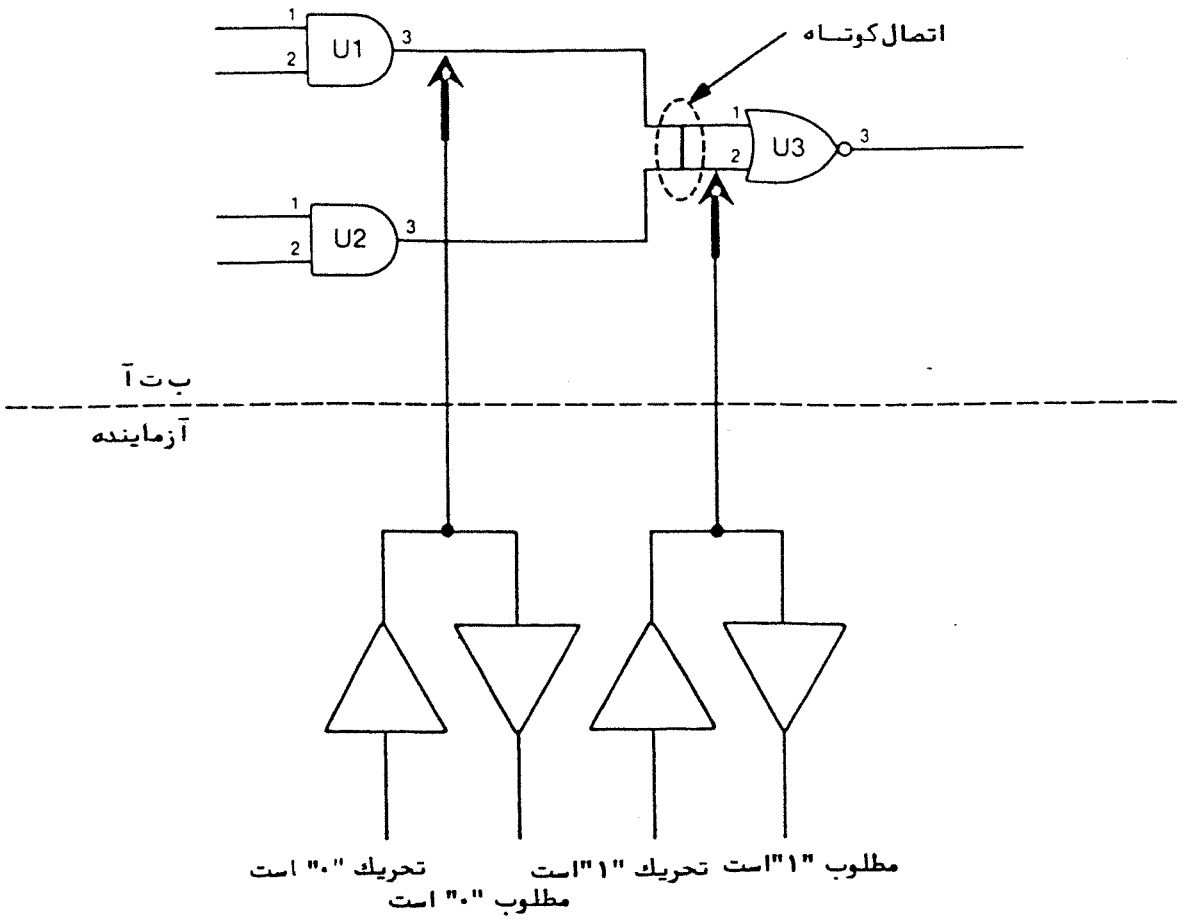
برای پس رانی دریچه از سطح منطقی " ۱ " به " ۰ " منحنی پایین شکل ۳-۳ به کارمی آید. بنابراین منحنی جریان حدود ۴۵mA است که قطعه می تواند آن راتحمل کند. رانه دستگاه‌آزماینده برای رسانیدن خروجی به سطح منطقی " ۰ " باید بتواند این جریان را بکشد.

ازبحث فوق چنین نتیجه می گیریم که مشکل وقتی پیش می آیدکه بخواهیم باپس رانی سطح منطقی. رابه سطح منطقی ۱ برسانیم. پژوهشهای انجام شده نشان می دهدکه آنچه باعث سوختن یك مدار مجتمع متصل به V_{cc} می شودافزایش دمای ناشی از عبور جریان زیاد است ونه فشارولتاژ.

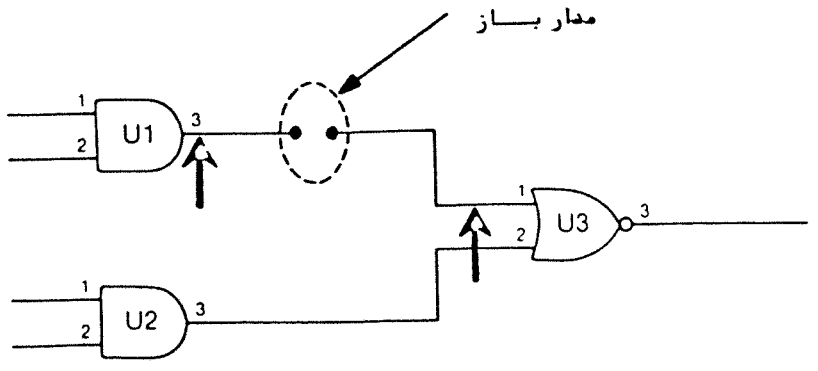


شکل ۳ - ۳ مشخصه های I-V یك دریچه NAND

۶۵



شکل ۳ ـ ۵ آزمایش برای تعیین محل اتصال ـ کوتاه



شکل ۳ ـ ۶ آزمایش برای تعیین مدار ـ باز بودن

درشکل ۳ـ۸ پنج صورت مختلف استفاده از دریچه NAND درمدار وبرنامه آزمایش آنها دیده می شود. اگر پایه‌ای ازاین قطعه به V_{cc} متصل باشدوتلاش کنیم که سطح منطقی آن پایه رابه " ۰ " برسانیم، ممکن است مدار آسیب جدی ببیند. همچنین اگرپایه‌ای زمین شده باشدوبخواهیم سطح منطقی آن را به "۱" برسانیم بازممکن است به مدار آسیب برسد. نیز اگر دوپایه یك قطعه به یکدیگر متصل باشند، غیرممکن است که بتوان بر روی دوپایه قطعه دوسطح منطقی مختلف به وجود آورد.

آزمایش یك قطعه باآزماینده میان مداری کاملا" به شکل مدار بستگی دارد. درشکل ۳ـ۹ صورتهای گوناگون یك قطعه پیچیده‌تر یعنی یك فلیپ ـ فلاپ نوع D باشماره 7474 بررسی شده است. همه پایه‌های این فلیپ ـ فلاپ یابه قطعات دیگر متصل اندیاشناورند و درعین حال هیچ پایه‌ای به زمین یا V_{cc} متصل نیست. ازطرفی همه پایه‌ها جدا ازیکدیگرند. به این ترتیب محدودیتی ازنظر آزمایش وجود ندارد. آزمایش را در دومرحله برجاکردن(۱) وبرپاکردن(۲) انجام می دهیم.

درآزمایش برجاکردن قطعه فلیپ ـ فلاپ نخست باید ازپایه " برجا " آغاز کرد. سپس بایدسطح منطقی "۱" باپالس ساعت واردشود. چنانچه بازهم " برجا " درسطح منطقی " ۰ " باشد، باید آن رابه سطح منطقی "۱" برد ومقدار "۱" را باپالس ساعت وارد کرد. سپس مجددا " به کمك " برجا " فلیپ ـ فلاپ را برجاکرد. درمورد عملکرد پایه "برپا" از روش مشابهی استفاده می شود.

درشکل ۳ـ ۱۰ یا آزمایش متداول فلیپ ـ فلاپ به روش میان مداری مشخص شده است. در شکل ۳ـ۱۱ همان فلیپ ـ فلاپ در مدار دیگری جای گرفته است. دراین شکل پایه برپابه V_{cc} وصل است. دراین حالت دیگر نمی توان ازجمله‌های آزمایش پیشین در مورد برپا استفاده کردزیرا اگر ازهمان جمله‌ها استفاده کنیم ، به این نتیجه می رسیم که قطعه خراب است. علت این موضوع این است که درقطعات بامدار ترتیبی پاسخ به مقادیر قبلی بستگی داردو درنتیجه جملاتی که پس از جملات حذف شده قرار می گیرند، ممکن است منجربه جواب نادرست شود.

از ویژگیهای آزماینده میان مداری که مورد توجه خریداران است، امکان استفاده از فرهنگ اشکال برای قطعات استاندارد دراین روش است.

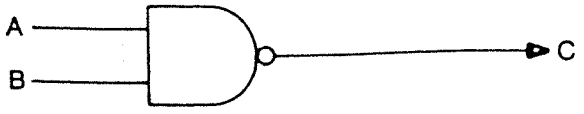
مثالهایی که ارائه شد، برای نشان دادن تاثیرشکل مدار بر آزمایش بود. برنامه نویس آزمایش باید به شکل مدار آشناباشدوبرنامه آزمایش را برمبنای آن بنویسد. البته برخی دستگاههای آزماینده توانایی آن را دارندکه برنامه آزمایش را به صورت خودکاریانیمه خودکار

1. Clear
2. Preset

۶۷

برنامه آزمایش شکل ۳-۷ ب به دست می آید.

این برنامه آزمایش کمینه راهنگامی می توان برای آزمایش دریچه NAND در روش میان مداری به کار بردکه دریچه به قطعات دیگر یا پایه‌های ورودی متصل باشد. در مواردی نمی توان از این برنامه آزمایش استفاده کرد.



	A	B	C
گام ۱	0	0	1
گام ۲	0	1	1
گلم ۳	1	0	1
گام ۴	1	1	0

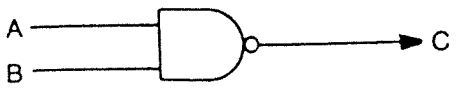
الف) برنامه آزمایش فراگیر

	A	B	C
گام ۱	0	1	1
گام ۲	1	0	1
گام ۳	1	1	0

ب) برنامه آزمایش کمینه

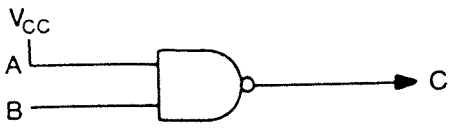
شکل ۳ - ۷ آزمایش دریچه NAND

۶۸



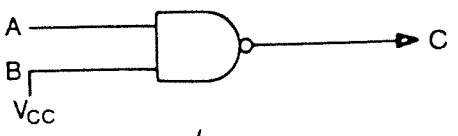
الف)

A	B	C
0	1	1
1	0	1
1	1	0



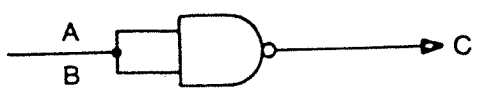
ب)

B	C
0	1
1	0



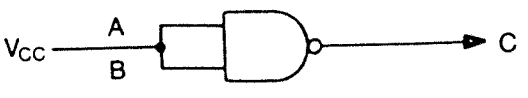
ج)

A	C
0	1
1	0



د)

A	B	C
1	1	0
0	0	1

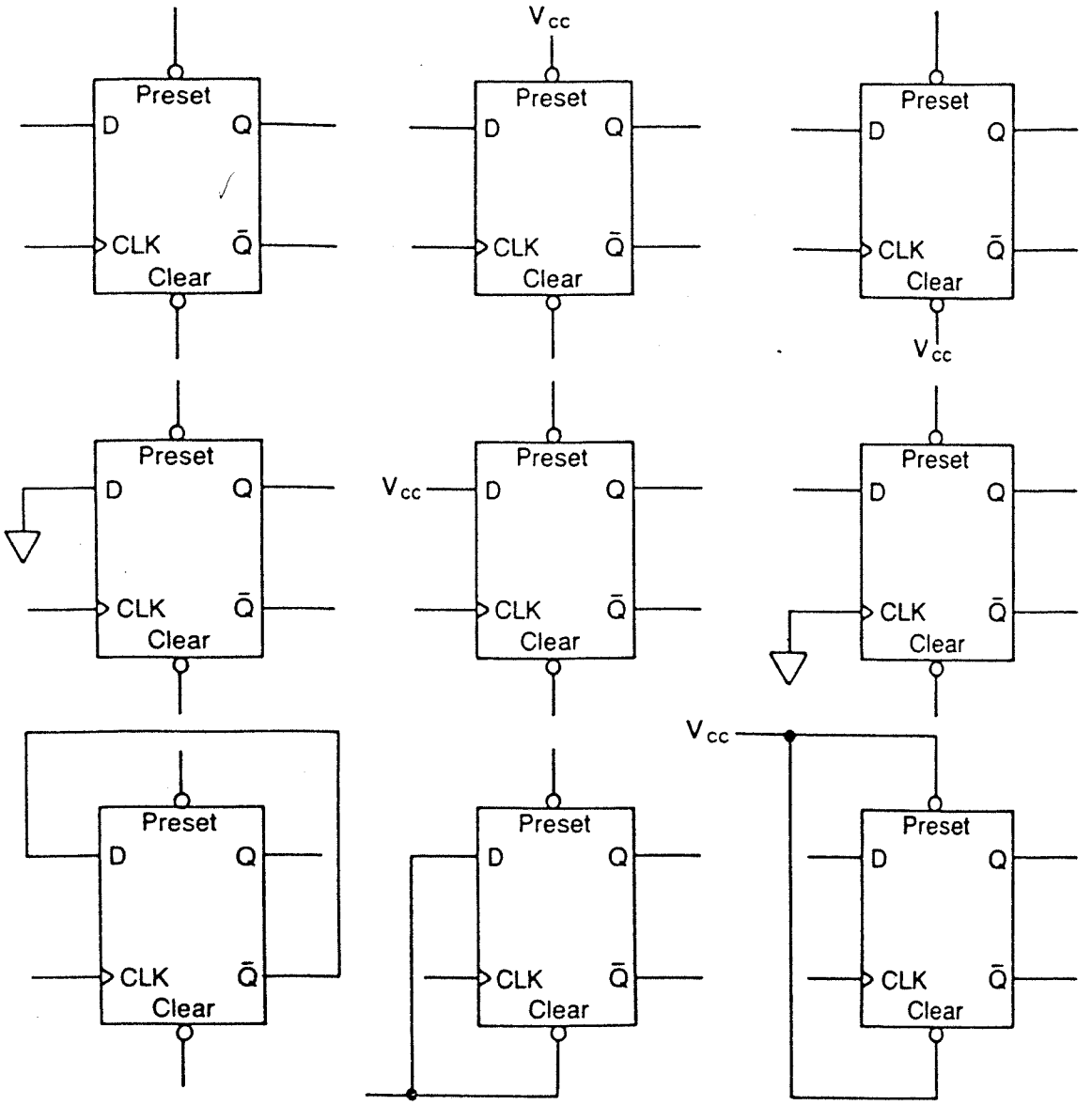


هـ)

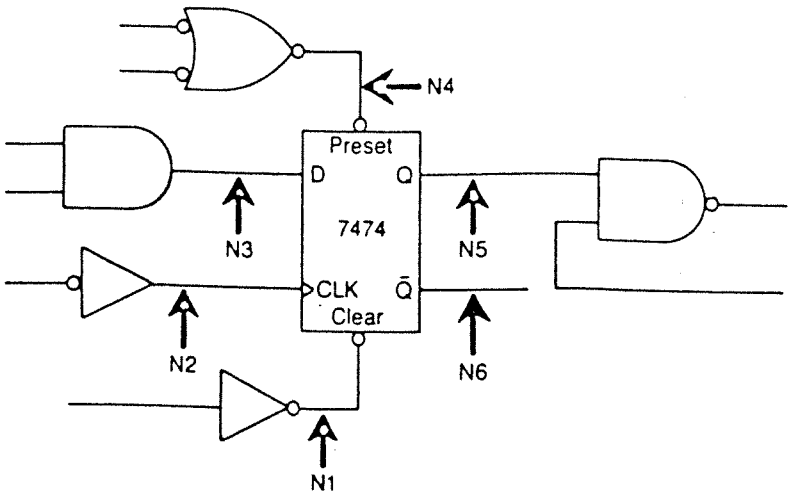
C=0

شکل ۳ ـ ۸ حالتهای ممکن طرز قرار گرفتن یك دریچه NAND در مدار

۶۹



شکل ۳ ـ ۹ حالتهای ممکن مدار فلیپ فلاپ



TEST	N1	N2	N3	N4	N5	N6	
Reset via Clear	0	1	0	1	0	1	Clear Test
Try to Clock in a 1	0	0	1	1	0	1	
	0	1	1	1	0	1	
Raise Clear	1	1	1	1	0	1	
Clock in a 1	1	0	1	1	0	1	
	1	1	1	1	1	0	
Reset via Clear	0	1	1	1	0	1	
Set via Preset	1	1	1	0	1	0	Preset Test
Try to Clock in a 0	1	0	0	0	1	0	
	1	1	0	0	1	0	
Raise Preset	1	1	0	1	1	0	
Clock in a 0	1	0	0	1	1	0	
	1	1	0	1	0	1	
Set via Preset	1	1	0	0	1	0	

شکل ۳ ـ ۱۰ آزمایش نوعی فلیپ ـ فلاپ در روش میان مداری

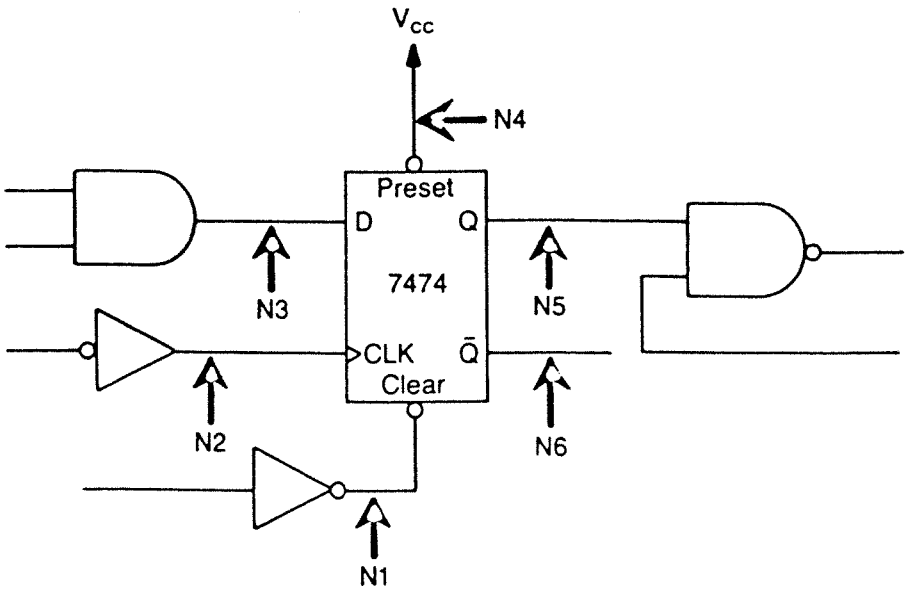
اصلاح کنند.

حال به بررسی یك مسئله اساسی دیگر درباره تاثیرشکل مدار برآزمایش می پردازیم. این مسئله به پیچیدگی نوشتن برنامه آزمایش برای آزماینده‌های میان مداری می افزاید.

درشکل ۳-۱۲ یك فلیپ فلاپ نوع D باحلقه پسخورد دیده می شود. حلقه پسخوردخروجی خروجی را به ورودی دریچه NAND متصل به پایه برجا متصل می کند.

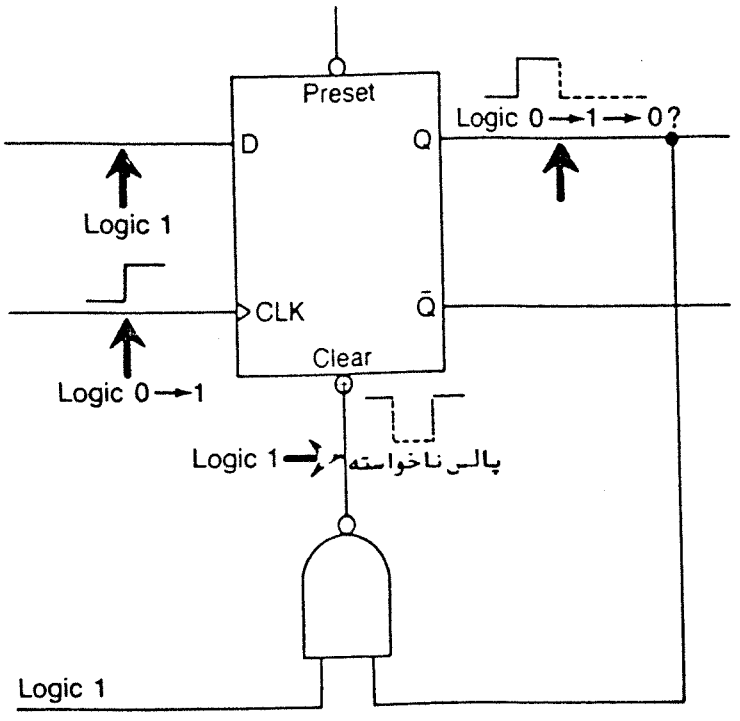
اگربه سوزن متصل به پایه برجا "۱" منطقی اعمال کنیم، قاعدتا " نبایددر برپاکردن قطعه اشکالی ایجادشود. اماچنین نیست. گرچه یك "۱" منطقی ازقبل روی پایه دیگردریچه NAND فرستاده شده است. اما این دریچه سعی می کندتا وقتی خروجی Q مقدار "۱" را دارد، مقدار " ۰ " را اعمال کند. وجود یك پالس منفی یاناخواسته‌که ممکن است دریچه NAND به وجود آورد، کافی است که محتوای فلیپ - فلاپ را برجاکند و درنتیجه آزمایش خراب بودن قطعه را نشان می دهد.

پالس ناخواسته به علت وجود امپدانس اتصال سوزن ونیز امپدانس سیمهای رابط به وجود



شکل ۳ - ۱۱ شکل مدار در آزمایش

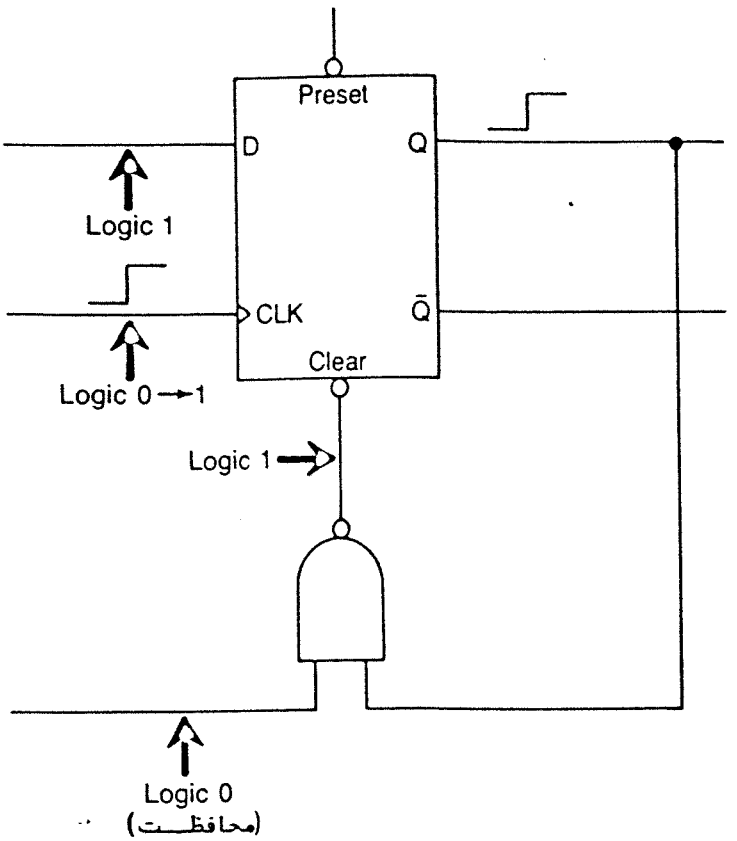
۷۲



شکل ۳ ـ ۱۲ اثرات بالقوه پسخورد در آزمایش

می آید. خروجی دریچه NAND به طور لحظه‌ای امپدانس کمی نسبت به زمین نشان می دهد و به مجردآنکه رانه دستگاه آزماینده بخواهدجریانی برای پس رانی ارسال کند، ممکن است محتوای فلیپ ـ فلاپ برجاشود(پاك شود). ظاهرا " به نظر می رسدکه فلیپ ـ فلاپ هیچگاه برپانشده‌است. مشکلی که دراینجا وجود دارد، این است که این پالس ناخواسته ممکن است مرزی باشدو چون انرژی کافی برای برجاکردن (پاك کردن) فلیپ فلاپ را دارد، ممکن است در آزمایشی آن را برجا کندو درآزمایش دیگر چنین نکند. اگرنویسنده برنامه آزمایش، ازوجود حلقه پسخورد آگاهباشد، می تواندبه کمك روش محافظت از بروز مشکل جلوگیری کند.

روش محافظت رقمی درشکل ۳ـ۱۳ تشریح شده است. مطابق این شکل بایدهمه مسیرهای احتمالی پسخوردباید تعیین وبسته شود. برای مدار مورد نظراین کاربسیارساده است وکافی‌است مطمئن شدسوزن متصل به ورودی دریچه NAND به خروجی فلیپ فلاپ متصل نیست. سپس باید به این سوزن سطح منطقی " ۰ " اعمال کرد، که دراین حالت خروجی Q فلیپ فلاپ اثری بر پایه



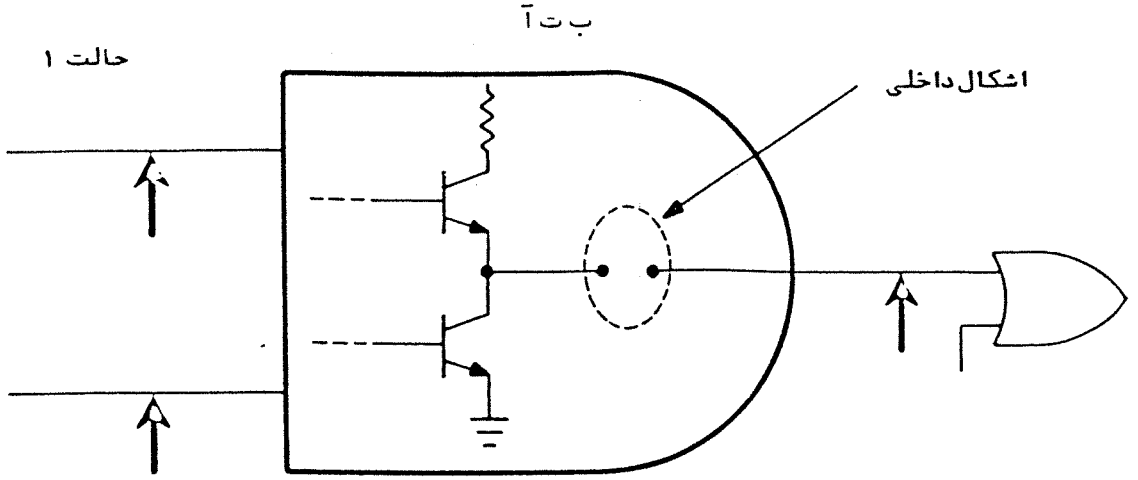
شکل ۳ ـ ۱۳ روش محافظت رقمی

" برجا " ندارد. چون تنهایك سوزن برای آزمایش دریچه NAND وجود دارد، بنابراین از آن می توان برای آزمایش فلیپ ـ فلاپ استفاده کرد. همیشه حلقه های پسخورد به سادگی حلقه پسخورد مورد بحث نیست وممکن است شامل چند دریچه باشد. دراین موارد نویسنده برنامه آزمایش باید دقت فراوانی درتحلیل مدار داشته باشد.

۶۰۳ تشخیص اشکال درآزمایش میان ـ مداری

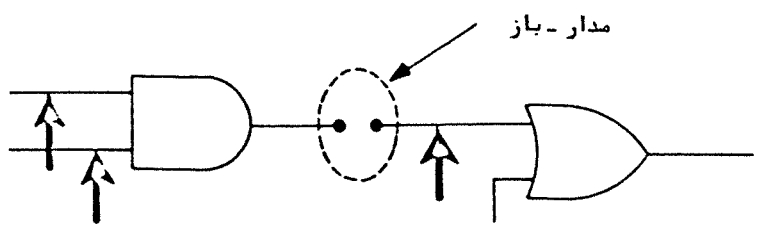
درآزمایش میان مداری یکایك قطعات آزمایش می شوندو چنانچه نتیجه آزمایش درموردیك قطعه مطلوب نبود. نتیجه می گیریم آن قطعه بخصوص اشکال دارد. اماهمیشه مطلب به این سادگی نیست. برای تشریح این مطلب شکل ۳ـ۱۴ را ببینید. فرض کنیددرآزمایش مدار داخل برد به یك دریچه AND دارای اشکال برخوردکنیم.

۷۴



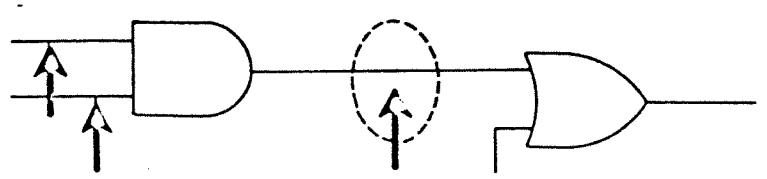
قطعه اشکال دارد(اتصال سوزن مناسب است)

حالت ۲



مدار - باز (اتصال سوزن مناسب وقطعه سالم است)

حالت ۳



اتصال سوزن مناسب نیست (قطعه سالم است)

شکل ۳ - ۱۴ تحلیل موارد اشکال در آزمایش میان - مداری

۷۵

مرکز تحقیقات مخابرات ایران

حالت اول این است که قطعه یعنی دریچه AND اشکال داشته باشد. درحالت دوم ممکن است که دریچه AND سالم ودر مسیر مدارچاپی یك مدار بازباشد. وبا لاخره حالت سوم ممکن است هم دریچه وهم سیم بندی مدار سالم باشداما سوزن آزماینده اتصال مناسبی با مسیر برقرار نکرده باشد. در هریك ازاین حالتهابا وصل کردن کاوشگر می توان به اشکال واقعی برد پی برد.

۷۰۳ جایگاه آزماینده میان مداری

آزماینده میان مداری دومزیت عمده دارد: یکی ارزان بودن نسبی ودیگری ساده بودن تولید برنامه آزمایش برای آن. اما این آزماینده عیب عمده‌ای نیز داردوآن این است که کل مداربرد به عنوان یك واحد، آزمایش نمی شود وبنابراین بردهای پیچیده‌ای که تمامی قطعات آن سالم اند، ممکن است وقتی روی سیستم اصلی نصب شوندخوب کارنکنند.

تجربه نشان می دهدکه امکان وقوع چنین حالتی درآزماینده‌های میان مداری ۱۵ درصد است درحالی که درآزماینده‌های عملکردتنهابین ۰ تا ۵ درصد است. همین امر باعث شده است که از هردوی آزماینده‌های میان مداری وعملکردی استفاده شود. به این معنا که نخست مدار برد ازنظر امکان مدار- باز یا اتصال - کوتاه بودن ونیز اشکال داشتن قطعات یانصب نادرست آنها به کمك روش میان مداری آزمایش می شودوآنگاه به کمك آزماینده عملکردی کل مدار را می آزمایند.

فصل دوم
زمینه نظری

۲-۱) سیستم های الکترونیکی وعلل عدم سرویس دهی درآنها

سیستم های الکترونیکی تحت شرایط معینی قادربه‌ارائه‌سرویس های مشخص[1] به‌مصرف کنندگان می باشند. هرگونه‌نقص ویاعدم انجام سرویس دهی درمحدوده‌مشخص را می توان باتعریف علل ونیزبا بیان ارتباطهای موجودبین منشاء نقائص بوجودآمده‌وریشه‌وعلائم مرتبط باآن موردبررسی قرارداد.

وجودهرگونه‌اشکال[2] دریك واحدیاقسمتی ازیك سیستم می تواندباعث عدم سرویس دهی کامل ویا جزئی ازآن گردد. دراین حالت می گویندسیستم دارای نقص[3] ویاخرابی می باشد. نقص فوق که‌دراثر اشکال بوجودمی آیدتوسط خطائی[4] که‌نشانه‌ای ازوجوداشکال موجوددرسیستم است آشکارپذیراست. واژه‌خطاجهت بیان هرنوع انحراف وکج روی یك کمیت معلوم ومحاسبه‌شده‌ویا اندازه‌گیری شده ازمقدارصحیح وموردانتظاری است که‌بصورت تئوری بیان شده‌می باشد. برای مثال اثراتصال کوتاه‌شدن یکی ازخطوط شریان اطلاعات[5] به‌زمین دریك سیستم الکترونیکی باکنترل ریزپردازنده[6] رامی توان نام برد. دراین حالت خطای حاصله‌توسط بیت پاریتی که‌بامقایسه‌اطلاعات واصله‌وبیت چك کننده‌بدست می آید، باعث آشکارشدن خرابی درسیستم می گردد.

اشکالات محتمل الوقوع درسیستم هارامی توان مطابق چارت شماره(۲-۱)به‌سه‌دسته‌زیرتقسیم‌نمود:

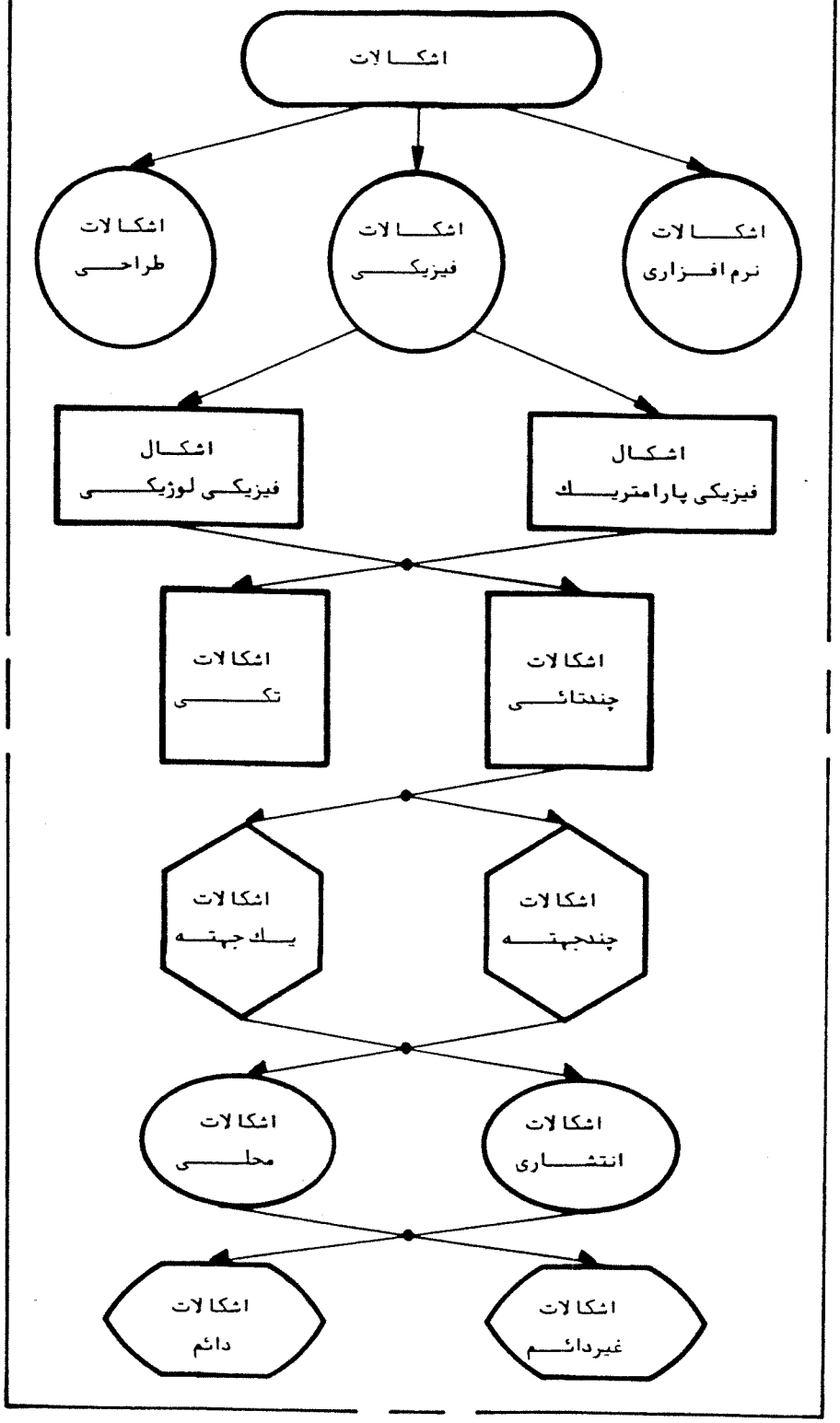
۲-۱-۱) اشکالات فیزیکی

اشکالات فیزیکی که‌ازآنهابه‌نام اشکالات سخت افزاری نیزیادمی شود، عبارت ازوجودهرگونه وضعیت ناخواسته‌دریك جزء ویادرقسمتی ازسیستم است که‌باعث انجام وظیفه‌ناقص ویاعدم انجام وظیفه‌کامل درسیستم می گردد.

اشکالات فیزیکی به‌دودسته‌اشکالات فیزیکی لوژیکی[7] واشکالات فیزیکی پارامتریك[8] (غیر لوژیکی) تقسیم می شود.

---

1) SERVICE BOUNDARY
2) FAULT
3) FAILURE
4) ERROR
5) DATA BUS
6) MICROPROCESSOR
7) LOGICAL FAULTS
8) PARAMETRIC FAULTS



چارت (۱ ـ ۲) : انواع اشکالات ممکن دریک سیستم

۱-۱-۱-۲) اشکال فیزیکی لوژیکی

منظور از یک اشکال فیزیکی لوژیکی ، اشکالی است که مقدار لول لوژیکی مورد انتظار یک یا چند نقطه در یک مدار منطقی مغایر با حالت صحیح آن باشد . نتیجتا "وجود این قبیل اشکالات باعث تغییر تابع منطقی[1] مدار می شود .

در شکل (۱-۲) ، یک دروازه "نقیض و"[2] با خروجی "توتم پول" نشان داده شده است .

این مدار دارای دو ورودی A و B می باشد . جدا شدن اتصال ورودی A از خروجی مدار قبلی این مدار سبب می شود تا جریان چاهک[3] I_S قادر به انتشار از طریق امیتر ترانزیستور T_1 در داخل ترانزیستور خروجی طبقه قبل نباشد . نتیجتا "ورودی A در این حالت در لوژیک یک قرار گرفته و تابع منطقی مدار از حالت صحیح خود یعنی $Z = \overline{AB}$ به صورت $Z = \bar{B}$ تغییر می یابد .

۲-۱-۱-۲) اشکال فیزیکی پارامتریک

منظور از یک اشکال فیزیکی پارامتریک اشکالی است که باعث تغییر دادن یک یا چند پارامتر مرتبط با مدار می گردد . این قبیل اشکالات نیز نهایتا "باعث عدم کارکرد صحیح مدارات می شود . برای مثال می توان از تغییرات ولتاژ ، تغییرات جریان و یا تغییرات تاخیر انتشار[4] در مدارات نام برد .

در شکل (۲-۲) یک مدار ضربه[5] نشان داده شده است .

در این مدار بعلت افزایش درجه حرارت در سیستم ، مقدار مقاومت R_1 در مدار مخزن[6] زیاد شده و در نتیجه باعث افزایش پهنای پالس خروجی می شود .

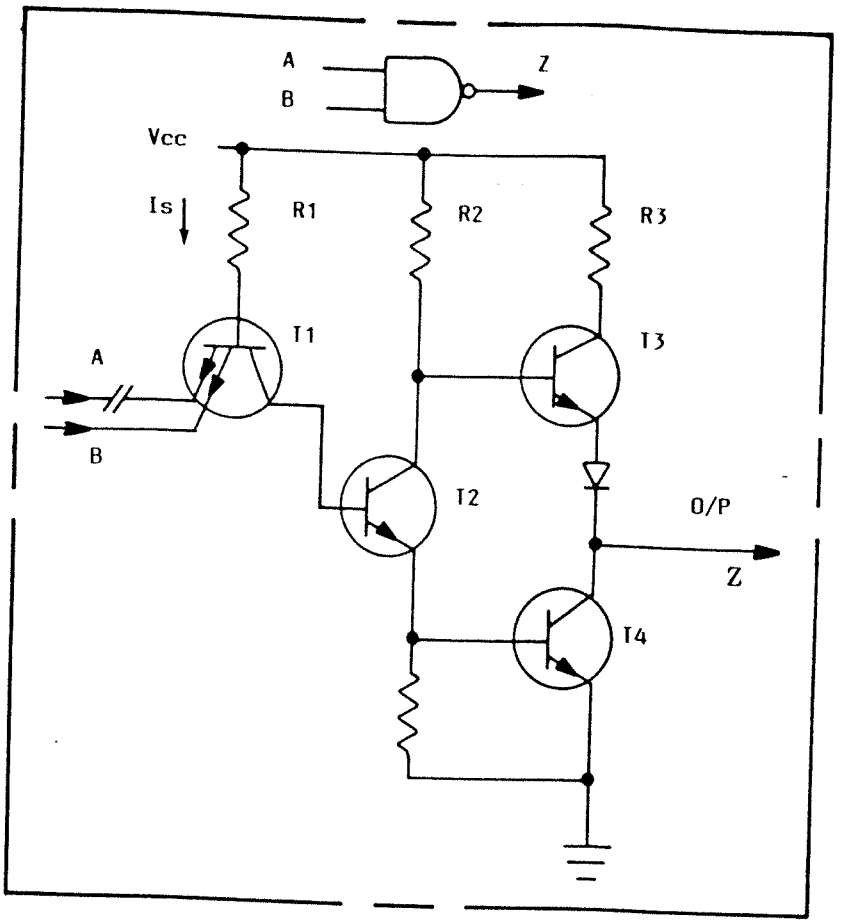
مثال دیگری از اشکالات پارامتریک ، تغییر ولتاژ تغذیه در یک مدار که شامل قطعات CMOS میباشد را می توان نام برد . در این گونه مدارها کاهش ولتاژ تغذیه ، باعث افزایش تاخیر انتشار می شود (مرجع ۳)

۲-۱-۲) اشکالات در طراحی[7]

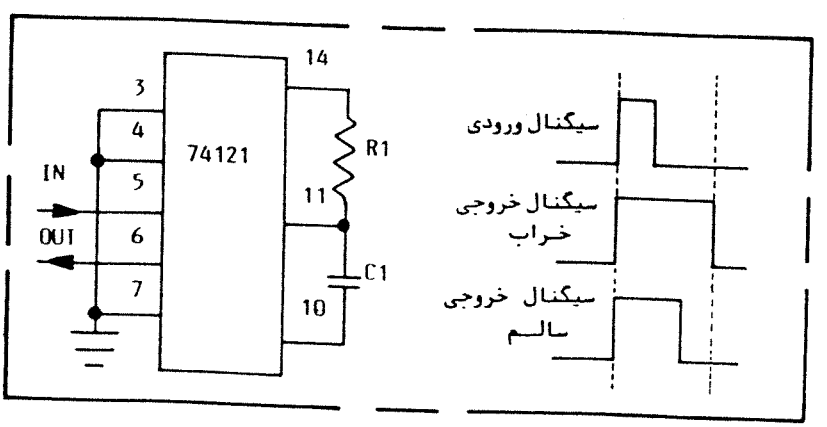
این قبیل اشکالات ناشی از عدم توجه کافی به مشخصات الکترونیکی قطعات و پارامترهای مختلف اجزاء مدار بهنگام طراحی می باشد . یک نمونه از این اشکالات در مدار شکل (۲-۳) نشان داده شده است .

---

1) LOGICAL FUNCTION
2) NAND GATE
3) SINK CURRENT
4) PROPAGATION
5) MONOSTABLE
6) TANK
7) DESIGN FAULT



شکل (۱ ـ ۲) : دروازه نقیض " و " باخروجی توتم پول



شکل (۲ـ ۲) : مدارضربه

در این مدار هرگاه ورودی A درلوژیک یك قرار داشته ودر ورودی B تغییری از یك به صفر صورت گیرد، بعلت وجود تاخیر در اثر دروازه معکوس کننده، درخروجی دروازه "یا" تغییر ناخواسته‌ای از یك به صفر حاصل وباعث فعال شدن سیگنال PRESET درفیلیپ فلاپ ونتیجتا "قرارگرفتن خروجی X_2 در وضعیت یك منطقی خواهد شد.

مثال دیگری از این قبیل اشکالات، عدم وجود خازن های نویزگیر[1] تغذیه در روی خروجی های قطعات مدارهای انتگره که از نوع توتم پول هستند را می توان نام برد. در این حالت بعلت وجود تاخیر در هدایت و عدم هدایت نمودن دو ترانزیستور خروجی، یك اتصال کوتاه بین زمین وتغذیه ایجاد ونتیجتا "در مقدار ولتاژ تغذیه کاهش رخ می دهد.

مثال دیگری از اشکالات در طراحی، طراحی ناصحیح بهنگام تهیه مدار چاپی بردها می باشد. در این حالت اشکالات مختلفی از قبیل انعکاس[2] بعلت طولانی بودن مسیر سیگنال ها ونیز تداخل[3] بعلت نزدیك بودن خطوط انتقال بیکدیگر ویا عدم برخورداری از زمین مناسب را می توان نام برد.

با مراجعه به چارت شماره (۱-۱) دیده می شود که اشکالات فیزیکی به دو دسته اشکالات تکی[4] واشکالات چندتائی[5] تقسیم می شوند. اگر تنها در یك نقطه از مدار اشکال رخ دهد، اشکال تکی ودر غیر این صورت اشکال چندتائی خواهد بود. (مرجع ۹)

از نقطه نظر تاثیر اشکالات چندتائی برروی اطلاعات در سیستم، این اشکالات خود در چند مورد زیر تقسیم می شوند:

اشکالات یك جهته[6] (مرجع ۲)

در این حالت تاثیر اشکالات برروی سیستم ودرنهایت برروی اطلاعات هم شکل می باشد. مثالی از این نوع اشکال چندتائی ممکن است درروی شریان اطلاعات یك ریزپردازنده رخ دهد. برای مثال اگر اطلاعات بصورت (0110) باشد ممکن است در اثر بروز اشکال چندتائی بصورت (0000) یا (1111) تبدیل شود واحتمال اینکه بصورت (1001) درآید، بسیار کم است که در این حالت اشکال چندجهته[7] به آن اطلاق می شود.

اشکالات انتشاری[8] که در این حالت تاثیر اشکالات برروی اطلاعات دریك مدار ممکن است سبب تغییر لوژیك یك نقطه از مدار وانتشار آن به چندین نقطه از مدار گردد. اگر چنانچه تاثیر اشکال تنها برروی

---

1) BYPASS
2) REFLECTION
3) INTERFERENCE
4) SINGLE FAULT
5) MULTIPLE FAULT
6) UNIDIRECTIONAL
7) MULTIPIRECTIONAL
8) DISTRIBUTED

یك نقطه‌ازمدارباشد ،دراین حالت اشکال محلی به‌آن گفته‌می شود(مرجع ۴)

درارتباط بانوع اشکا لات تعریف شده‌می توان آنهارامجددا "به‌دونوع اشکال مختلف تقسیم‌نمود ۰

اشکا لات دائم[1]

کمبه‌آنها اشکا لات سخت[2] نیزگفته‌می شوداشکا لاتی هستندکه‌اثرآنهابرروی مدارمستقل اززمان می باشدواین نوع اشکال کمبطوردائم دریك نقطه‌یانقاطی ازسیستم بوجودمی آیددارای‌تاثیردائمی می باشد۰اشکا لات نوع سخت دراثربروزیك اشکال فیزیکی دائم درسیستم بوجودمی آیدبرای مثال می توان اتصال کوتاه‌شدن کلکتوروامیترترانزیستور T_4 درشکل(۱ـ۱)رانام برد ۰دراین حالت دراثر بروزاین اشکال خروجی Z بطوردائم درلوژیك یك قرارمی گیرد ۰

اشکا لات غیردائم[3]

اشکا لات غیردائم کمبه‌آنها اشکا لات نرم نیزاطلاق می شوداشکا لاتی هستندکه‌تاثیرآنهابرروی مداربصورت گذرا[4] بوده‌ومستقل اززمان نمی باشد۰ازعوامل مهم بوجودآورنده‌اشکا لات غیردائم، طراحی نامناسب ،تاثیرنویزهای خارجی والقاء ازخطوط مجاور[5] درروی بردبه‌یکدیگررامی توان نام برد ۰یك نمونه‌ازاثرالقاء دوخط به‌یکدیگردرشکل (۲ـ۴)نشان داده‌شده‌است ۰

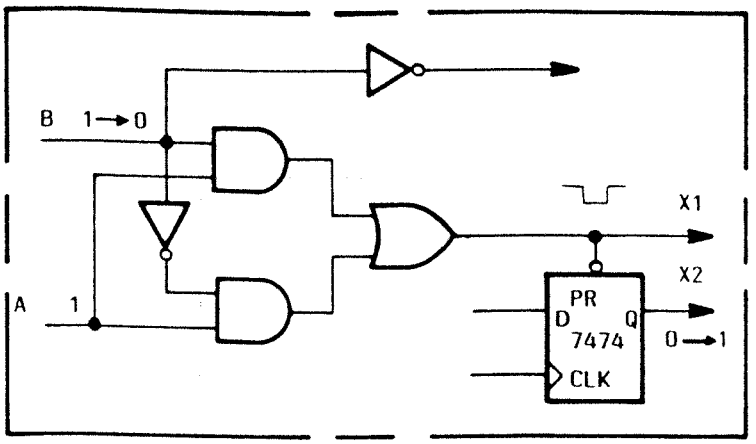
همانگونه‌که‌ملاحظه‌می شوددومسیر A و B بامشخصات یکسان درروی بردقراردارند ۰چنانچه‌در روی مسیر A لوژیك یك قرارداشته‌باشد(لبه‌پائینی لوژیك یك یعنی ولتاژ۳/۸ولت)،براثروجود منابع‌نویزخارجی ،درروی مسیر B ولتاژی حدود ۸۰۰ میلی ولت القاء شده‌وچنانچه‌این مسیردارای لوژیك صفرباشد ،وضعیت لوژیك یك غیرثابت رابخودمی گیرد ۰این قبیل اشکا لات ازنقطه‌نظرآشکار سازی وعیب یابی درسیستم ها ازمشکل ترین نوع اشکال می باشند ۰

دراثربروزیك اشکال فیزیکی درسیستم که‌منجربه‌خرابی یانقص آن می گردد ،می توان نوع خرابی واردبرسیستم راباتوجه‌به‌میزان تاثیرآن درسیستم به‌سه‌دسته‌تقسیم نمود ۰این تقسیم بندی درچارت شماره(۲ـ۲)نشان داده‌شده‌است ۰

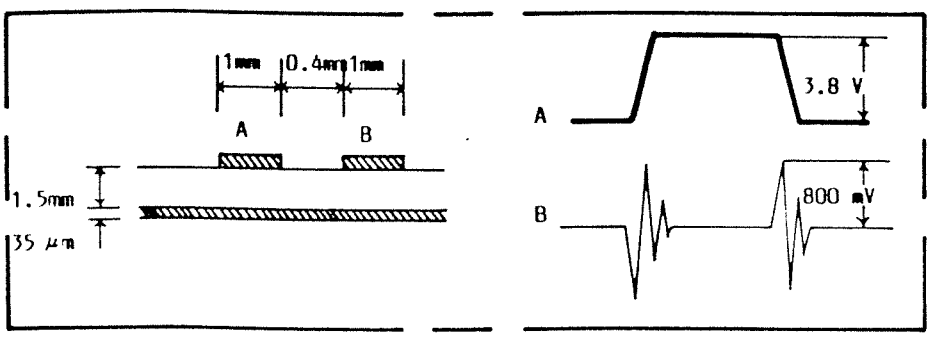
---

1) PERMANENT
2) HARD FAULT
3) INTERMITENT
4) TRANSIENT
5) CROSS TALK

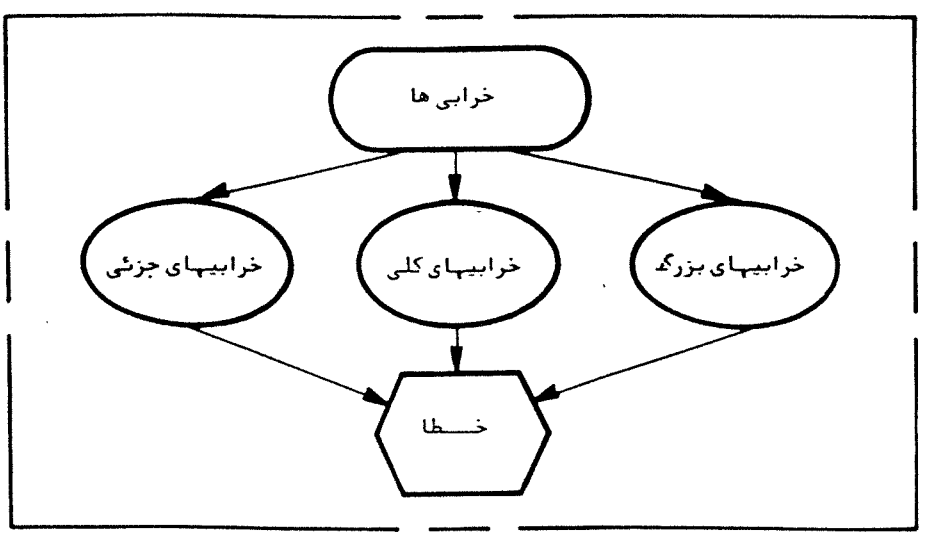
۸۲



شکل (۳ ـ ۲) : اشکال درطراحی



شکل (۴ ـ ۲) : اثرالقائی دوخط انتقال واقع برروی برد



چارت (۲ ـ ۲) : انواع خرابی

۸۳

خرابی های جزئی[1]

در این حالت با وجود بروز خرابی در قسمتی از سیستم ، سیستم همچنان قادر به ادامه کار خود می باشد مثال ساده‌ای در این زمینه حرکت یک ماشین با وجود لاستیک یدکی خراب می باشد که ماشین همچنان به حرکت خود ادامه می دهد . مثال دیگر وجود اشکال در چند برد از مدارات تطبیق دهنده[2] مشترکین یک مرکز تلفن می باشد . در این حالت نیز سیستم با وجود اشکال همچنان قادر است سرویس دهی خود را با ظرفیت کمتری ارائه دهد .

خرابی های کلی[3]

در این حالت اثر بروز خرابی در سیستم بمراتب بیشتر می باشد و اگرچه اشکال فیزیکی کوچک و کم اهمیت است ولی اثر خرابی آن زیاد است . برای مثال ، اثر بروز اشکال در مولد پالس ژنراتور بوق آزاد یک مرکز تلفن ، اگرچه ممکن است اشکال ساده‌ای جلوه نماید و اگرچه سیستم در حال انجام کار عادی خود می باشد ولی مشترکین با برداشتن گوشی و عدم دریافت بوق آزاد ، سیستم را خارج از سرویس تلقی می نمایند .

خرابی های بزرگ[4]

بعلت وجود این نوع اشکال در سیستم ، در این حالت سیستم قادر به ارائه هیچگونه خدمات و سرویس دهی نمی باشد . یک مثال از خرابی های بزرگ ، اختلال در قسمت کنترل یک مرکز تلفن که بصورت متمرکز کار می کند می باشد . در این صورت سیستم بطور کلی از کار می افتد .

۳-۱-۲) اشکالات نرم افزاری

در این حالت اشکال مربوط به فیزیکی نبوده و بعلت طراحی نا صحیح نیز نمی باشد بلکه اشکال در نرم افزار سیستم رخ می دهد . از این نوع اشکالات در یک مرکز تلفن ، می توان عدم اختصاص یافتن در یچه زمانی لازم برای هر مشترک را نام برد . جهت رفع این اشکالات از روتین های مختلف نرم افزاری استفاده می شود .

---

1) MINOR FAULT

2) INTERFACE

3) MAJOR OR SEVER FAULT

4) CATASTROPHIC FAU LT

۸۴

۲-۲) مدل سازی وطبقه‌بندی اشکالات

پس ازبررسی اشکالات ممکن دریک سیستم می توان این اشکالات رابنحوی بررسی ونهایتا "مدل سازی نمود ،بطوریکه‌تنها اثرآنهابرروی مداردبررسی قرارگیرد .به‌بیان دیگربرای مثال دریک مدار لوژیکی می توان برای هراشکال فیزیکی باتوجه‌به‌خطای بوجودآمده‌ویا اثرآن اشکال برروی عملکرد لوژیکی [1] مدار ،آن رادریک طبقه‌بندی خاص قرارداد .بنابراین می توان نتیجه‌گرفت که‌مدل درنظر گرفته‌شده‌برای اشکال فیزیکی فوق ،منعکس کننده‌حالت ونوع آن اشکال می باشدوبدین ترتیب بررسی وآنالیزاشکالات فیزیکی مدارمنجربه‌بررسی وآنالیزلوژیکی آن می گرددکه‌نهایتا "مرتبط باتغییرات تابع‌لوژیکی می باشد .

لذامی توان بااستفاده‌ازمدل سازی ،کلیه‌خطاهای فیزیکی وحتی خطاهای فیزیکی غیرمشخص را که‌علت آنهاناامعلوم بوده‌وباعث تغییرلول لوژیکی مدارمی گردند ،آشکاروتعیین محل نمود .

مسئله‌مهم دیگردراستفاده‌ازمدل سازی برای اشکالات فیزیکی ،قابلیت استفاده‌آن برای مدارات باتکنولوژی ساخت گوناگون می باشد .درهرصورت آنچه‌مسلم است بررسی های مختلف نشان می دهد که‌تعداداشکالات فیزیکی محتمل الوقوع دریک مدارالکترونیکی رابطه‌مستقیم باافزایش پیچیدگی مدارات آن دارد .دریک مدارترکیبی باداشتن n ورودی ،تابع سویچینگ [2] آن مدارقادراست $n(2^2)$ تابع‌ترکیبی رابوجودآورد .

علت این امرآن است که‌جملات حاصلضرب استاندارد(حاصلضرب کانونیک [3])برای یک مدارترکیبی باورودی های $X_1, X_2, \ldots, X_{n-1}, X_n$ بصورت زیرمی باشد :

$X_1 \quad X_2 \ldots \ldots \quad \ldots X_{n-1} \quad X_n$

$\overline{X}_1 \quad X_2 \ldots \ldots \quad \ldots X_{n-1} \quad X_n$

.
.
.
.
.

$X_1 \quad \overline{X}_2 \ldots \ldots \quad \ldots \overline{X}_{n-1} \quad \overline{X}_n$

$\overline{X}_1 \quad \overline{X}_2 \ldots \ldots \quad \ldots \overline{X}_{n-1} \quad \overline{X}_n$

---

1) LOGICAL FUNCTION

2) SWITCHING FUNCTION

3) STANDARD PRODUCTS,
CANONIC PRODUCTS

تعداد حاصلضربهای صفحه قبل $m = 2^n$ بوده و دیده می شود که توابع سویچینگ مختلفی که از ترکیب m جمله فوق حاصل می شود برابر با 2^m می باشد.

مثال - در یک تابع ترکیبی دو متغیره X_1 و X_2، جملات حاصلضرب کانونیک چهار جمله و بصورت $X_1 X_2$، $\overline{X}_1 X_2$، $X_1 \overline{X}_2$، $\overline{X}_1 \overline{X}_2$ میباشند ($m = 4$). توابع سویچینگ که از ترکیب جملات فوق بدست می آیند $2^m = 2^4$ یعنی شانزده تابع و بصورت چارت شماره (۱-۲-۲) با یکدیگر ترکیب می شوند.

0	0 0 0 0
1	1 0 0 0
2	0 1 0 0
.	
.	
.	
.	
.	
.	
14	0 1 1 1
15	1 1 1 1

چارت شماره ۱-۲-۲ : توابع سویچینگ برای تابع دو متغیره

بعنوان مثال سطر پنجم یعنی 0110 ترکیبی از جملات $X_1 \overline{X}_2$ و $\overline{X}_1 X_2$ می باشد.

این سطر تابع سویچینگ زیر را بوجود می آورد:

$$f(X_1, X_2) = \overline{X}_1 X_2 + X_1 \overline{X}_2 = X_1 \oplus X_2 \qquad EX - OR$$

با بررسی دقیق توابع سویچینگ دیده می شود که در یک مدار ترکیبی با تابع سویچینگ $f(X)$ بصورت زیر

$$f(X) = f(X_1, X_2, \ldots, X_n)$$

بروز هرگونه اشکال، تابع سویچینگ $f(X)$ را به یکی از $(2^m - 1)$ تابع سویچینگ دیگر یعنی $f_\alpha(X)$ تبدیل می نماید. برای مثال اگر $a = a_1 a_2 \ldots a_n$ یکی از 2^n الگوی آزمایش مدار باشد و توابع سویچینگ اشکال و حالت عاری از اشکال با یکدیگر مغایرت داشته باشند، داریم:

$$\begin{cases} f_\alpha(a) \neq f(a) \\ f_\alpha(a) \oplus f(a) = f_\alpha(a) \cdot \overline{f}(a) + \overline{f_\alpha}(a) \cdot f(a) = 1 \end{cases}$$

در آن صورت الگوی a قادر به آشکارسازی اشکال α می باشد.

دیده می شود افزایش تعداد ورودی‌های مدار، باعث افزایش تعداد توابع سویچینگ و در نهایت تعداد الگوهای آزمایش بصورت نمائی می شود. آزمایش بدین شیوه، آزمایش کامل[1] نامیده می شود که برای

---

1) EXHAUSTIVE TEST

مقادیر ۲۰ ≤ n مستلزم زمان زیادوعملا "غیرممکن است لذا لازم است کهدرزمان تولیدآزمایش[1] مدارات بابکارگیری روشهای مختلف ، ازتعدادالگوهای آزمایش تاحدامکان بهینه‌ای کاست بنابراین بهبررسی مدلهای مختلف جهت اشکالات فیزیکی می پردازیم ۰

۱-۲-۲) مدل ایستائی برای اشکالات فیزیکی

دیدیم درنظرگرفتن کلیه‌خطاهای محتمل الوقوع دریك مدار ،تابع سویچینگ آن رابه (۲^m -۱) تابع سویچینگ دیگرتبدیل می کندوتولیدآزمایش برای کلیه‌این خطاها مشکل وعملا "غیرممکن است بنابراین درعمل باعدم احتساب اشکالات غیرمحتمل ویااشکالات بااحتمال خیلی کم ،می توان جهت پوشش کامل اشکالات وآشکارسازی تمامی آنهاازتعدادالگوهای آزمایش بمیزان قابل توجهی کاست ۰

بطورتجربی وباابررسی های دقیق مشخص شده‌است کهدراثربروزیك اشکال فیزیکی ،تابع سویچینگ یك مدارترکیبی بهتابع سویچینگ مدارترکیبی دیگری تبدیل نمی شود(م۹)۰برای مثال بروزاشکالات فیزیکی مختلف برروی یك دروازه‌نقیض وباتابع سویچینگ $f(X_1, X_2, X_3) = \overline{X_1 X_2 X_3}$ هیچگاه‌تابع سویچینگ آن رابه‌تابع دیگری مثلا "نقیض یاانحصاری[2] تبدیل نمی کند ۰یعنی تابع سویچینگ یك دروازه‌نقیض وبصورت دروازه‌نقیض وباقی می ماند ۰ این دروازه‌دارای ۳ ورودی وبنابراین مجموعه‌جملات حاصلضرب کانونیك دارای هشت عضوبصورت زیربوده :

1	$\overline{X}_1$	$\overline{X}_2$	$\overline{X}_3$
2	X_1	$\overline{X}_2$	$\overline{X}_3$
.			
.			
.			
.			
.			
.			
7	$\overline{X}_1$	X_2	X_3
8	X_1	X_2	X_3

وبنابراین توابع سویچینگ ممکن آن دارای ۲^8 عضومی باشد ۰

---

1) TEST GENERATION

2) EXCLUSIVE OR

۸۷

با درنظرگرفتن اینکه تابع سویچینگ بدون اشکال پس از ایجاد اشکال بصورت تابع یک دروازه نقیض وباقی می ماند مشاهده می شود که تنها بکمک ۵ عدد از این توابع بصورت مجموعه زیر :

$$\{\ 0\ ,\ 1\ ,\ \overline{X_1 X_2}\ ,\ \overline{X_2 X_3}\ ,\ \overline{X_1 X_3}\ \}$$

می توان کلیه اشکالات وتاثیرات آنها را مدل سازی نمود.

متداول ترین شیوه جهت مدل سازی اشکالات فیزیکی درمدارات ترکیبی استفاده از مدل اشکالات تکی ایستائی[1] می باشد. این مدل عبارت است از ثابت ماندن یکی از اتصالات مدار در لول لوژیکی صفر یا یک کمترتیب اولی را حالت ایستاروی صفر[2] (s-a-0) ودومی را حالت ایستاروی یک[3] (s-a-1) می نامند.

درشکل (۲-۵) یک دروازه نقیض وباداشتن ۳ ورودی وازنوع "توتم پول" نشان داده شده است.

دراین مدار اشکالات فیزیکی زیر ممکن است رخ دهد :

الف) دراثر بروز اشکال α_1 کلکتور ترانزیستور T_4 به زمین اتصال کوتاه می شود. دراین حالت علی رغم تغییر ورودیهای X_1 , X_2 , X_3 خروجی Z درلوژیک صفر باقی می ماند (Z s-a-0) تابع سویچینگ اشکال دراثر بروز اشکال α_1 بصورت $f_{\alpha_1}(X_1,X_2,X_3) = 0$ درمی آید.

ب) دراثر وقوع اشکال α_2 امیتر ترانزیستور T_4 اززمین قطع شده واین امر باعث خاموش ماندن ترانزیستورهای T_2 و T_4 می گردد. نتیجتا "عبور جریان I_t از R_2 باعث روشن ماندن ترانزیستور T_3 وقرارگرفتن خروجی Z درلوژیک یک می باشد. (Z s-a-1)

تابع سویچینگ قطعه دراثر بروز اشکال α_2 بصورت $f_{\alpha_2}(X_1,X_2,X_3) = 1$ تبدیل میشود.

پ) بعلت اشکال α_3 ورودی X_3 ازخروجی طبقه قبل جدا شده ومانع عبور جریان چاهک I_s ازاین ورودی می شود. نتیجتا "ورودی X_3 درلوژیک یک ثابت مانده (X_3 s-a-1) وتابع سویچینگ قطعه بصورت $f_{\alpha_3}(X_1,X_2,X_3) = \overline{X_1 X_2}$ درمی آید.

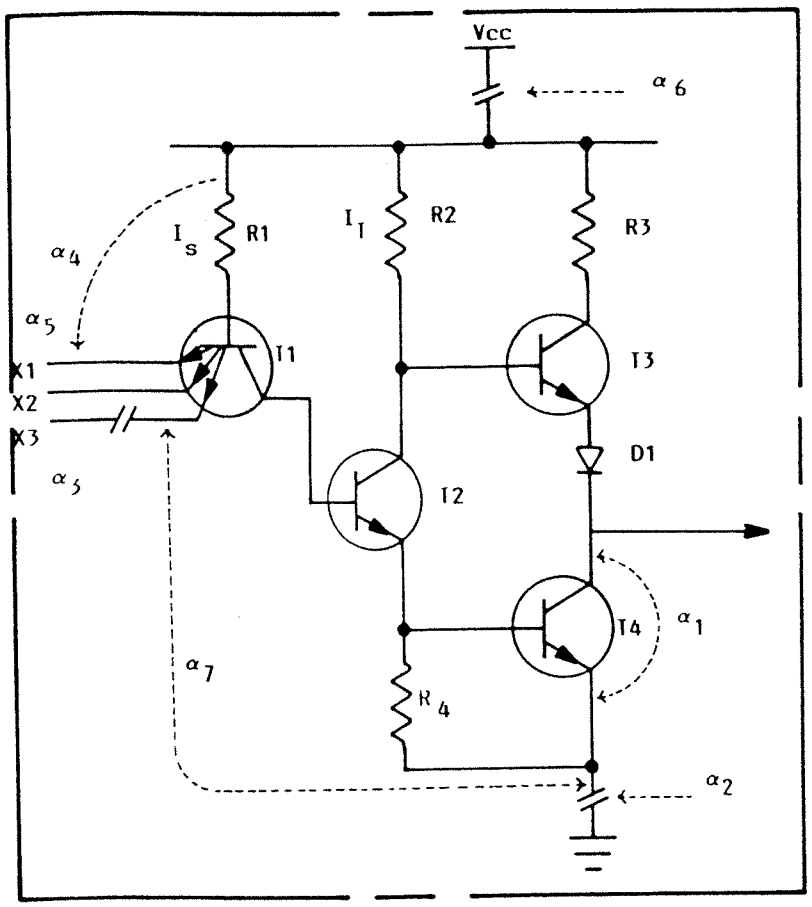
ج) دراثر اشکال α_4 حالت اتصال کوتاه بین ورودی X_1 وتغذیه بوجود آمده وورودی X_1 درلوژیک یک ثابت می ماند (X_1 s-a-1). دراین حالت تابع سویچینگ قطعه بشکل $f_{\alpha_4}(X_1,X_2,X_3) = \overline{X_2 X_3}$ تبدیل می شود.

---

1) SINGLE STUCK

2) STUCK AT ZERO

3) STUCK AT ONE



شکل (۵ ـ ۲) : دروازه نقیض " و " سه‌ورودی ازنوع خروجی توتم پل

۸۹

ج) دراثراشکال α_5 که‌حالت مشابه α_3 ، α_4 می باشد ،تابع سویچینگ قطعه‌بصورت $f_{\alpha_5}(X_1,X_2,X_3) = \overline{X_1 X_3}$ درمی آید.

ح) بعلت اشکال α_6 پین تغذیه‌ازکل مدارقطع شده‌ودراثرفقدان جریانهای I_s, I_t ترانزیستورها T_3 ، T_4 همواره‌خاموش مانده‌وخروجی Z بنظرمی رسدازورودی طبقه‌بعدبازشده‌وبحالت ایستا روی یك تبدیل می شود (Z s-a-1) . دراین حالت خروجی دارای وضعیت امپدانس بالا[1] گشته وتابع سویچینگ قطعه‌تبدیل به $f_{\alpha_6}(X_1,X_2,X_3) = 1$ می شود.

بنابراین همانگونه‌که‌درمواردشش گانه‌اخیرملاحظه‌گردید ،بادرنظرگرفتن مدل تك ایستائی برای اشکالات فیزیکی ،خوداشکال موردنظرنبوده ،بلکه‌اثراشکال موردنظرمی باشد.

مسئله‌دیگروجودخطاهای معادل دریك مدارمی باشدکه‌باعث می شودتابع سویچینگ اشکال یکسان داشته‌باشند،بعنوان مثال توابع سویچینگ اشکالات α_2 و α_6 یکسان وبشکل $f_\alpha(X_1,X_2,X_3) = 1$ می باشنددرحالیکه‌یکی ازاین دواشکال‌ناشی‌ازقطع امیترترانزیستور T_4 اززمین ودیگری بعلت قطع پین تغذیه‌ازکل مدارمی باشد.درهرصورت ،هردواشکال تنهابایك الگوی آزمایش آشکارمی شوند.

بکاربردن مدل ایستائی برای مدارهای مجتمع‌بامقیاس متوسط[2] یاکوچك[3] مفیدبوده‌درحالیکه برای مدارهای مجتمع‌بامقیاس زیادوخیلی زیادکه‌اغلب ازتکنولوژی MOS استفاده‌می کنند،کارآئی مناسب خودرا ازدست می دهد.

درشکل (۶-۲)مداری بااستفاده‌ازترانزیستورهای NMOS نشان داده‌شده‌است .تابع‌لوژیکی این مداربصورت $Z=\overline{(A+B)(C+D)+EF}$ می باشد.دراین مداراشکالات فیزیکی زیررابررسی می کنیم :

الف) دراثربروزاشکال α_1 دراین مدار، منفذ[4] ترانزیستور T_5 به‌منبع[5] آن متصل شده‌وورودی E در لوژیك یك ثابت می ماند.دراین حالت تابع سویچینگ اشکال بصورت $Z=\overline{(A+B)(C+D)+F}$ تبدیل می شود.

ب) بعلت اشکال α_3 دراثرقطع ولتاژتغذیه V_{ss} ازمنبع‌ترانزیستور T_6 ،هیچگونه‌جریانی ازترانزیستورهای T_5 ، T_6 عبورنکرده‌ونهایتا "ورودی F یا E یاهردودرلوژیك صفرقرار

---

1) HIGH IMPEDANCE

2) MEDIUM SCALE INTEGRATION = MSI

3) SMALL SCALE INTEGRATION = SSI

4) DRAIN

5) SOURCE

۹۰

می گیرندکه‌نتیجتا "تابع سویچینگ اشکال بصورت $Z = \overline{(A+B)\ (C+D)}$ درمی آید.

ج) دراثراشکال α_2 درمدار، منبع دوترانزیستور T_3 ، T_5 بیکدیگراتصال یافته‌وهیچگونه حالت ایستائی درمدارپیش نمی آید. یعنی این اشکال رانمیتوان با مدل ایستائی توجیه‌نمود. دراین حالت تابع سویچینگ به‌شکل $Z = \overline{(A+B+E)\ (C+D+F)}$ تبدیل می شود.

ج) بعلت اشکال α_4 ، دراثرجداشدن اتصال بین منبع دوترانزیستور T_1 و T_3 تابع سویچینگ اشکال بصورت $Z = \overline{AC + BD + EF}$ درمی آیدواین اشکال نیزبا استفاده‌ازمدل ایستائی قابل مدل سازی نمی باشد. بنابراین دیده‌می شودکه‌برای کلیه‌اشکا لات فیزیکی محتمل الوقوع دربرد قادربه‌استفاده‌ازمدل ایستائی نمی باشیم. مثال دیگری ازاین قبیل اشکا لات درشکل (۲ـ۷) نشان داده‌شده‌است. این مداربا استفاده‌ازدودروازمنقیض وباتکنولوژی NMOS تشکیل یافته‌وتابع لوژیکی آن بصورت $Z_1 = \overline{AB}$ و $Z_2 = \overline{CD}$ می باشد.

دراثربروزاشکال α_1 تابع سویچینگ اشکال بصورت $Z_1 = Z_2 = \overline{AB + CD}$ درمی آیدواین اشکال نیزبامدل ایستائی قابل توجیه‌نیست. نتیجتا "دیده‌می شودعلی رغم اینکه‌ممکن استمدل ایستائی دربرخی مواردکاربردی نداشته‌باشد، معهذالك هنوزازکارآئی خوبی بهره‌منداست. علت اصلی این امرناشی ازاین می باشدکه‌شبیه‌سازی اشکا لات فیزیکی [1] بصورت مدل ایستائی جهت ارزیابی الگوهای آزمایش ایجادشده‌برای مدارات سالم، آسان بوده‌وازطرف دیگرتجارب بدست آمده‌نشان می دهدکه‌مدل ایستائی قادربه‌آشکارسازی اغلب اشکا لات ممکن می باشد.

ازاین روجهت بررسی اشکا لاتی که‌مدل ایستائی برای آنها مفیدنمی باشدعلی الخصوص درمدارات مجتمع باتکنولوژی MOS ، مدلهای دیگری ارائه‌می شود.

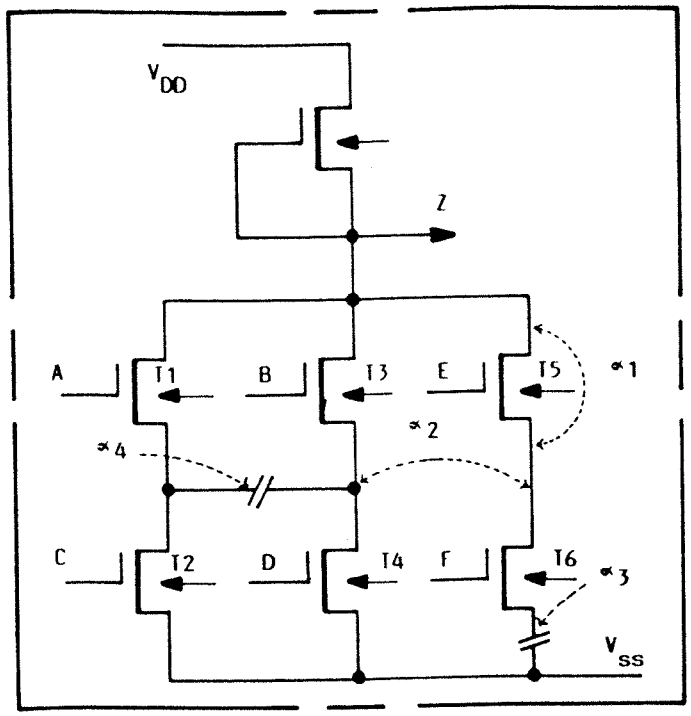
۲ـ۲ـ۲) مدل اشکا لات پل سازه [2]

یك نوع ازاشکا لاتی که‌اغلب بهنگام مونتاژبردهاپیش می آید، اشکالپل سازه‌می باشد. این نوع اشکال یکی ازمهم ترین اشکا لات دائمی است که‌بامدل ایستائی قابل توجیه‌نمی باشد. این نوع اشکال زمانی اتفاق می افتدکه‌دویاچندمسیربصورت اتفاقی بیکدیگرمتصل شوند. درشکل (۲ـ۸) یك اشکال پل سازه‌نشان داده‌شده‌است. دراین مداردراثرپاشیدگی لحیم، دوخط ورودی X_2 و X_3 بیکدیگرمتصل شده‌اند.

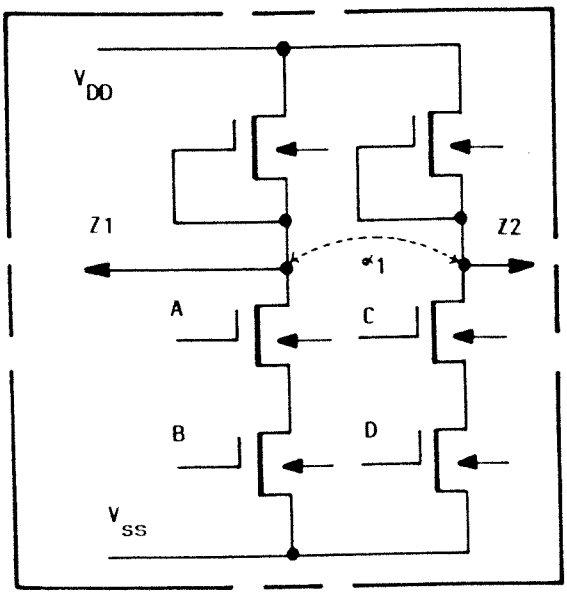
---

1) PHYSICAL FAULT SIMULATION

2) BRIDGING FAULT



شکل (۶ـ۲) : مدارلوژیکی مجتمع‌بااستفاده ازترانزیستورهای NMOS



شکل (۷ـ۲) : مدارمجتمع متشکل ازدودروازه نقیض " و " باتکنولوژی NMOS

۹۲

بسته به استفاده از لوژیك مثبت [1] یا منفی در مدار، این اشکال بصورت "یای اتصالی [2]" و یا "واتصالی [3]" رفتار می کند. مدار معادل برای اشکالات پل سازمدر دروازه های " و " ودروازه های "یا " برای لوژیك مثبت ومنفی، بترتیب درشکلهای (۹-۲ الف) و(۹-۲ ب) نشان داده شده است. مثال دیگر در این زمینه تبدیل یکی از مسیرها به یك تابع خاص می باشد مثلا "دریك مدار " و " دوورودی، یکی ازخطوط تبدیل به مدار "یا " می شود و تابع لوژیکی آن را از وضعیت $Z= X_1 X_2$ به $Z= (X_1+X_2) X_2$ تبدیل می نماید.

۳-۲-۲) مدل اشکالات اتصال کوتاه دیودی [4]

یکی دیگر از اشکالاتی که با مدل ایستائی قابل توجیه نیستند، اشکالات اتصال کوتاه دیودی میباشد درمدارهائی که از تکنولوژی دیود - ترانزیستور [5] استفاده شده است، این اشکال رخ می دهد. همانگونه که در شکل (۱۰-۲)نشان داده شده است زمانی که ورودی یك دیود به خروجی آن اتصال کوتاه شود وخروجی دیود نیز مقدار ورودی را بخود اختصاص دهد، ممکن است که خروجی دروازه مورد اشکال، تغییر لوژیکی نیافته و عاری از اشکال جلوه نماید در حالیکه خروجی دیگر دروازه ها که به ورودی اشکال دیده متصل هستند تغییر نماید. همانگونه که در شکل (۱۱-۲ - الف)نشان داده شده است تابع لوژیکی مدار تحت شرایط بدون اشکال بصورت $Z_1=X_1 X_2$ و $Z_2= X_2 X_3$ می باشد. اگر دیود ورودی Y_1 دارای اشکال اتصال کوتاه باشد، چنانچه ورودی X_1 درلوژیك یك قرارداشته باشد، خروجی های Z_1 و Z_2 همچنان بدون اشکال باقی مانده و در صورتیکه ورودی X_1 درلوژیك صفر قرارداشته باشد، خروجی Z_1 درلوژیك صفر قرارگرفته و بعلت اتصال کوتاه بودن دیود D_2، مقدار $Y_1=0$ می گردد و بنابراین در خروجی Z_2 اشکال رخ می دهد.

برای مثال با اعمال $X_1=0$ ، $X_2=1$ ، $X_3=1$ باید انتظار جواب $Z_1=0$ و $Z_2=1$ داشته باشیم در حالیکه در اثر بروز اشکال فوق، مدار معادل بصورت شکل (۱۱-۲ - ب)تبدیل شده و خروجی ها به $Z_1^* = Z_1= X_1 X_2$ و $Z_2^* = X_1 X_2 X_3$ تبدیل می شوند.

---

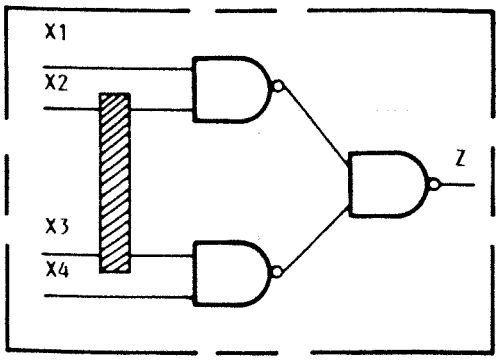
1) POSITIVE LOGIC

2) WIRED OR

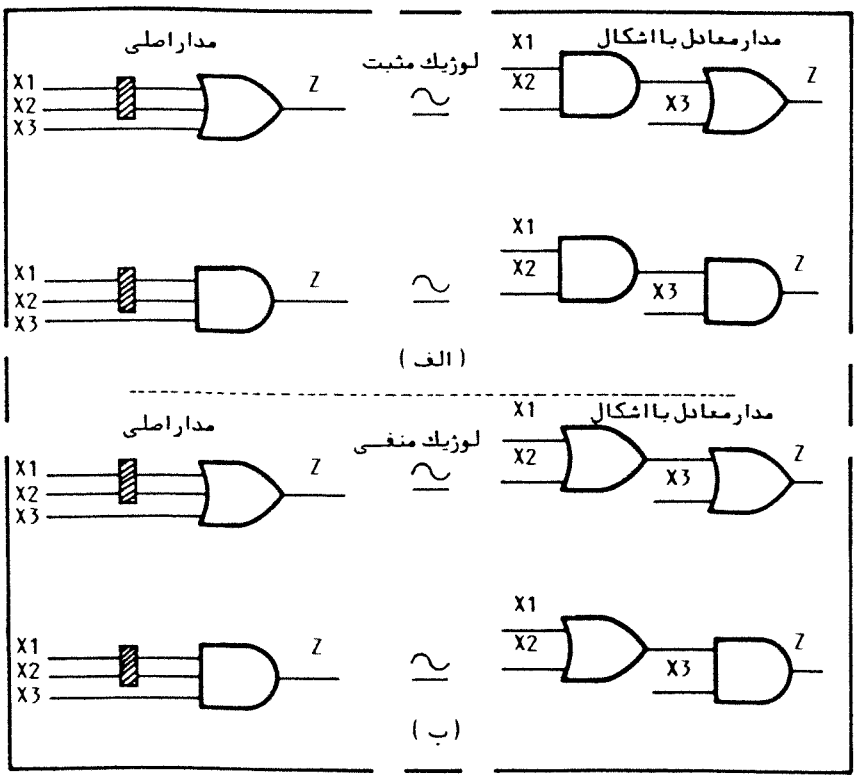
3) WIRED AND

4) SHORTED DIODE FAULT

5) DIODE TRANSISTOR LOGIC = DTL



شکل (۸ ـ ۲) : اشکال پل سازه



شکل (۹ـ۲) : اشکالات پل سازها لوژیك مثبت ولوژیك منفی ومدارات معادل

۴-۲-۲) اشکالات حساس به الگو[1]

این نوع اشکال اغلب درحافظه‌های دستیابی تصادفی[2] رخ می دهد. گاهی ازاوقات بهنگام خواندن ازیک سلول حافظه‌یانوشتن درآن، تاثیرناخواسته‌ای برسلول مجاورنیزممکن است انجام شودکه‌ناشی ازنفوذبارالکتریکی[3] ازسلول مربوطه‌به‌سلول مجاورمی باشد. یک نمونه‌ازاین اشکال درشکل (۲-۱۲) نشان داده‌شده‌است. اگرمحتوی سلول i ، یک باشدلوژیک Q_i برابریک و $\overline{Q}_i$ برابرصفر می باشد. چنانچه‌محتوی سلول i+1 ، صفرباشدلوژیک Q_{i+1} برابرصفرو $\overline{Q}_{i+1}$ برابریک می باشد. (مرجع ۵)

حال اگربخواهیم درسلول i ، صفربنویسیم نتیجتا " $\overline{Q}_i$ برابریک می شودکه‌دراثروجودکوپلاژ خازنی کمبین دوسلول i و i+1 وجودداردتاثیرناخواسته‌ای بر Q_{i+1} خواهدگذاشت. البته درحافظه‌ها علاومبرخطای فوق، خطاهای دیگری ازقبیل خطای اتصال کوتاه‌یاباز بودن سلول های حافظه، خطای DECODER کمباعث عدم آدرس دهی صحیح می شود، خطای نوشتن چندگانه‌کمباعث نوشتن ناخواسته‌درچندسلول می گرددوخطای نوشتن کندکمباعث طولانی شدن زمان نوشتن می شودنیزممکن است رخ دهد.

درهرصورت برای تولیدالگوهای آزمایش دریک بردپس ازبررسی کلیه‌اشکالات ممکن دربردوتعیین مدل لازم برای اشکالات موردنظر، الگوهای آزمایش مناسب‌برای آشکارسازی وردیابی این خطاها تعیین می شود.

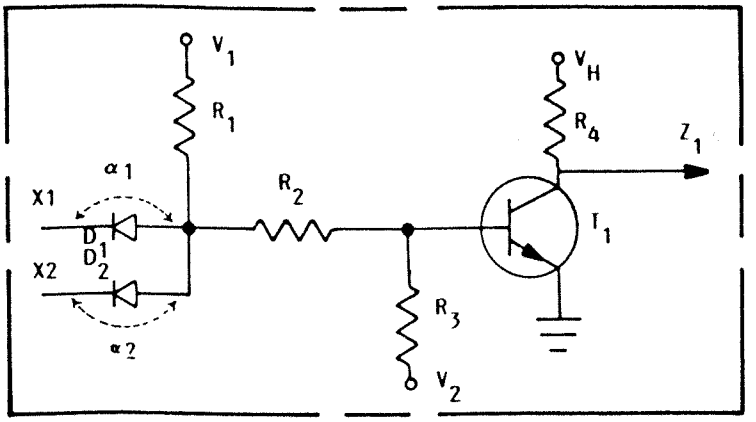
---

1) PATTERN SENSITIVE FAULTS

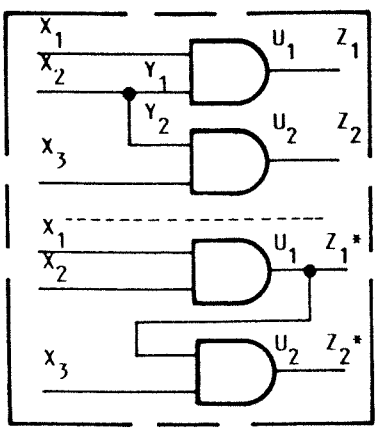
2) RANDOM ACCESS MEMORY = RAM

3) CHARGE LEAKAGE

۹۵



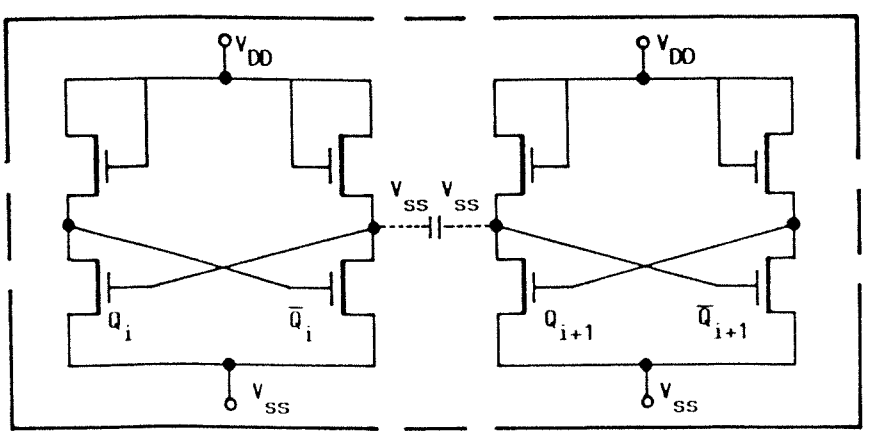
شکل (۱۰ ـ ۲) : اشکال اتصال کوتاه دیودی



(الف)

(ب)

شکل (۱۱ـ۲) : اشکال اتصال کوتاه دیودی در مدارات ترکیبی



شکل (۱۲ ـ ۲): اشکال حساس به الکتریسیته حافظه‌ها با تکنولوژی MOS

۲-۳) مفاهیم وروش های تولید آزمایش

هدف از آزمایش نمودن یك قطعه ویا یك بردویا یك سیستم ،عبارت ازتعیین سالم بودن ویا آشکار نمودن وجود اشکال در آنها بوده وهمچنین درصورت تشخیص وجود اشکال ودرصورت لزوم ،ردیابی وتعیین محل آن می باشد .

جهت آزمایش یك بردباید سیگنال ها ویا سطوح منطقی لازم را به ورودیهای واحدتحت آزمایش[1] اعمال نموده وبا بررسی سیگنال ها ویا سطوح منطقی بدست آمده ازخروجی واحدمربوطه به درستی ویا وجود اشکال در آن پی برد .

۲-۳-۱) سیاست های انجام آزمایش

براساس سیاست تولید می توان هدف از آزمایش یك واحدکه در اینجا بیشتر یك بردالکترونیکی می باشد را به دونوع تقسیم نمود :

الف) تعیین صحت ویا خرابی برد[2]

ب) ردیابی وتعیین وجود اشکال[3] (درصورت وجود خرابی)

درحالت (الف)سیگنال های ورودی که آن الگوهای آزمایش[4] اطلاق می شود ،تنها برای تعیین صحت ویا خرابی بردبکارگرفته شده است که درصورت تشخیص اشکال دربرد عمل آزمایش متوقف شده وبر اساس چارت شماره(۲-۳)بردیگری برای انجام آزمایش تعیین می شود .(مرجع ۶)

درحالت (ب) پس ازوجود اشکال دربرد ،با انجام برنامه های خاصی می توان محل ویا ناحیه وجود اشکال دربرد را تعیین نمود .

۲-۴) نیازهای مرتبط باطراحی برنامه آزمایش

بطورکلی رسیدن به یکی ازاهداف فوق ونتیجتا "طراحی تهیه برنامه آزمایش مستلزم :

- تعیین کارآئی سیستم آزماینده[5]

---

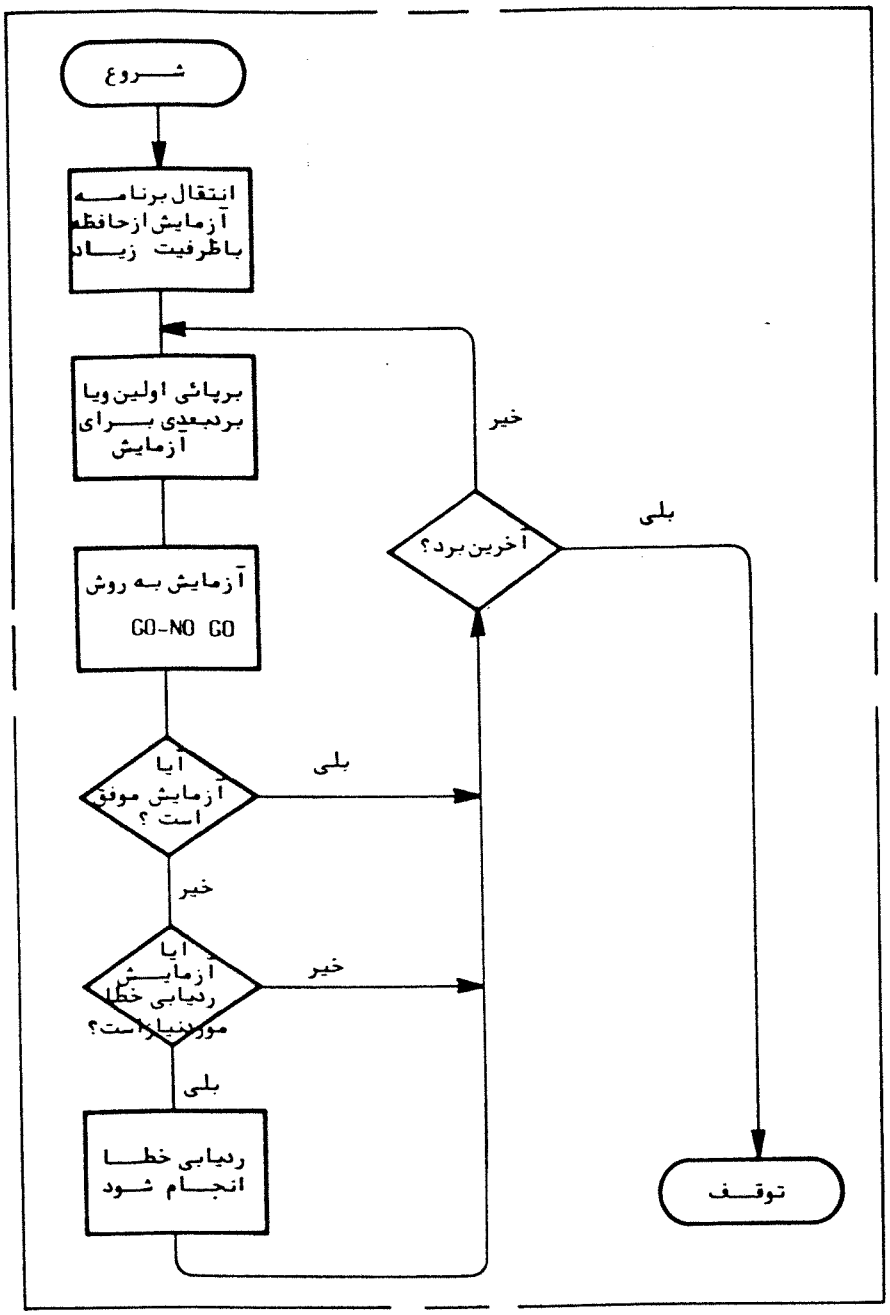
1) UNIT UNDER TEST =UUT

2) FAULT DETECTING (GO-NO GO TEST)

3) FAULT DIAGNOSIS

4) TEST PATTERNS (INPUT VECTORS)

5) TEST SYSTEM SPECIFICATION



چارت (۳-۲): روشهای آزمایش بردهای الکترونیکی

۹۸

- تهیه وتجزیه‌وتحلیل مدارك لازم درموردواحدموردآزمایش [1]
- تعیین اهداف آزمایش [2]
- تعیین قابلیت آزمایش واحدموردنظرمی باشد.

کارآئی سیستم آزماینده‌باتوجه‌بنوع آزماینده(به‌ضمیمه شماره ـــــــ مراجعه‌شود)ومطالعه امکانات آن ازنظروسائل ردیابی خطا [3] وتوانائی های دیگرآن همانندسرعت اعمال الگوهای آزمایش [4] توسط سیستم ،تعدادوروديها وخروجی های آن ،تعدادتغذیه‌ها وغیرمتعیین می گردد.

این امکانات می تواندبوجودآورنده‌محدودیت هائی درانجام عمل آزمایش ونتیجتا "تعیین اهداف آزمایش باشد.تجزیه‌وتحلیل مدارات ونوع عمل هریك ازقطعات ونتیجتا "عمل کلی واحدموردآزمایش نیازبه‌مدارکی براساس شکل (۱۳-۲)ارادارامی باشد.بررسی این مدارك قابلیت تطبیق واحدمربوطه رابه‌امکانات سیستم آزماینده‌وهمچنین طراحی برنامه‌آزمایش رامشخص می نماید.مدارك موردلزوم بترتیب عبارتنداز :

- بلوك دیاگرام کلی واحدموردآزمایش ،کمتوسط آن می توان ارتباطات عملی قسمتهای مختلف بردراکه‌بطورنسبی مستقل ازهم می باشندتشخیص داد.این اطلاعات درموردطراحی برنامه‌آزمایش بسیارمفیدمی باشد.
- ارتباطات ویاسیم کشی های واحدموردآزمایش کمنشان دهنده‌ارتباطات مستقیم بین اجزاء تشکیل دهنده‌آن می باشد.
- تعیین ارتباطات زمانی وتغییرات سیگنالهای مختلف نسبت به‌زمان درهنگام انجام کارواحد مربوطه‌درسیستم .
- لیست کامل قطعات تشکیل دهنده‌واحدموردآزمایش .
- تهیه مشخصات الکتریکی ومکانیکی اجزاء.
- تئوری عملیاتی واحدمربوطه .
- شماتیك دیاگرام واحدمربوطه‌که‌درآن کلیه‌اجزاء بصورت واحدهای عملیاتی مستقل همراه‌با ارتباطات فیزیکی بین آنها مشخص شده‌است .
- نقشه‌موقعیت مکانی اجزاء مختلف واحدموردآزمایش .

---

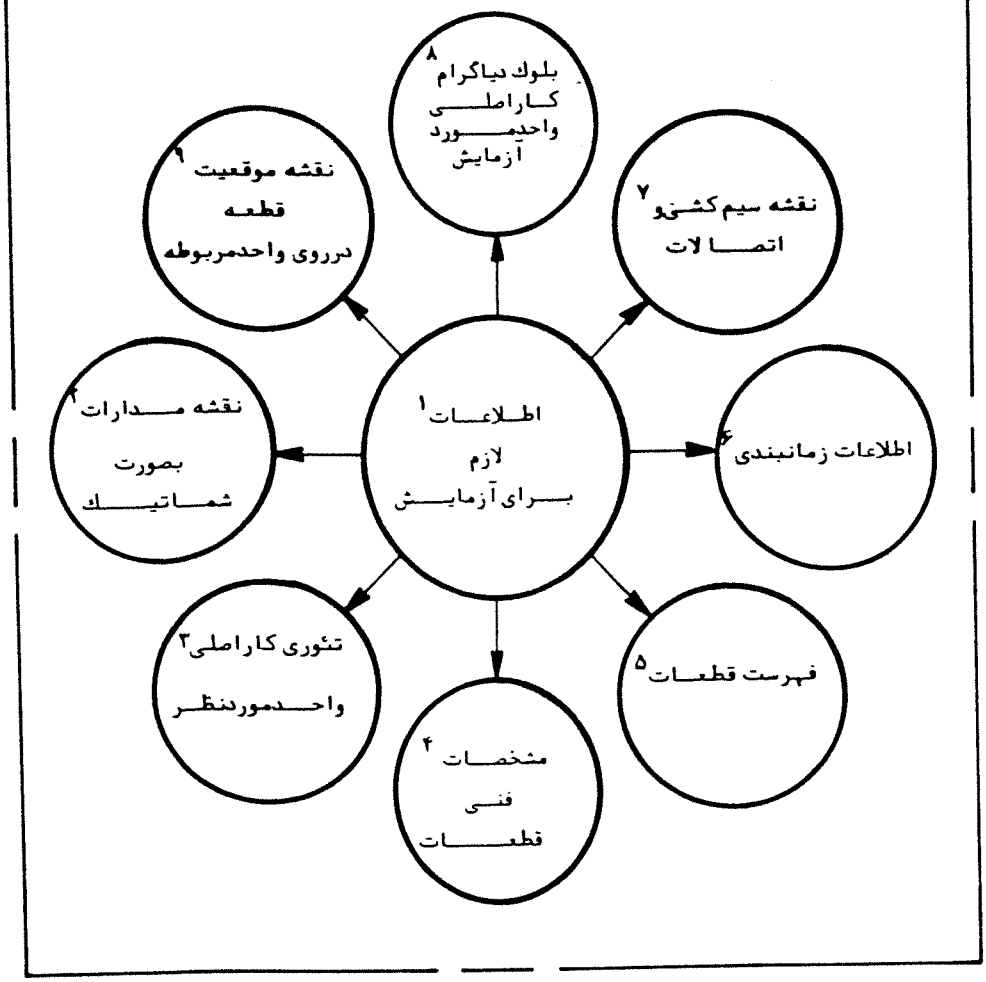
1) UUT TEST REQUIREMENTS

2) TEST OBJECTIVES

3) FAULT DIAGNOSIS TOOLS

4) TEST PATTERN RATE

99



(1) TEST REQUIRMENT SPECIFICATION
(2) SCHEMATIC OR LOGIC DIAGRAM
(3) THEORY OF OPERATION
(4) PARTS SPECIFICATION
(5) PART LIST
(6) TIMING INFORMATION
(7) WIRING DIAGRAM
(8) FUNCTIONAL BLOCK DIAGRAM
(9) ASSEMBLY DRAWING

شکل (۱۳ - ۲) : مدارک لازم جهت آزمایش

۱۰۸۰۰

پس ازبررسی وتجزیه‌وتحلیل مدارك مرتبط باواحدمربوطه‌می توان انواع اشکا لات قابل اتفـــاق درآن راطبقه‌بندی ومدل سازی راانجام داد.بادرنظرگرفتن توانائی های سیستم آزماینده‌واشکـــا لات ممکن ،اهداف آزمایش راکه‌تعیین کشف اشکا لاتی بامدل معین ودرصدکل اشکا لات قابل اتفاق میباشد رامی توان روشن نمود.

بعنوان مثال اگرچنانچه‌اشکا لات ممکن دریك واحدازنوع ایستائی تعیین شود،می توان حدپوشش ویاقابلیت کشف خطاهارابا کشف حداقل ۹۰٪ ازخطاهائی ازاین نوع قرارداد.

تعیین حدپوشش خطاوافزایش آن ازنظرتولیدوکاربردواحدموردنظربسیاربا اهمیت می باشدکه‌این مهم باقابلیت آزمایش دریك واحد(دربخش ۱۴-۲ قابلیت آزمایش شرح داده‌شده‌است)باعث سهولت طراحی برنامه‌آزمایش وهمچنین افزایش پوشش وردیابی خطامی گردد.

پس ازبررسی اطلاعات چهارگانه‌فوق ،دونتیجه‌درطراحی برنامه‌آزمایش حاصل می گردد.ایـــن دو نتیجه‌عبارتنداز:تعیین خط مشی مناسب برای طراحی برنامه‌آزمایش وهمچنین طراحی مدارات تطبیق دهنده[1] باسیستم ازنظرنیازهای سیستم وواحدموردآزمایش . (شکل ۱۴-۲)

درموردنتیجه‌دوم بعنوان مثال می توان یك واحددیجیتالی رانام بردکه‌جزئی ازآن ،یك مـــــدار آنالوگ راتشکیل می دهد.چنانچه‌این واحدتوسط یك آزماینده‌بردهای دیجیتالی آزمایش شود،لزوما" احتیاج به‌یك مدارتطبیق دهنده‌داردتا اطلاعات دیجیتالی سیستم راتبدیل به‌اطلاعات موردلزوم آنالوگ نموده‌وسپس جواب جزء آنالوگ رابصورت دیجیتالی به‌سیستم منتقل نماید.

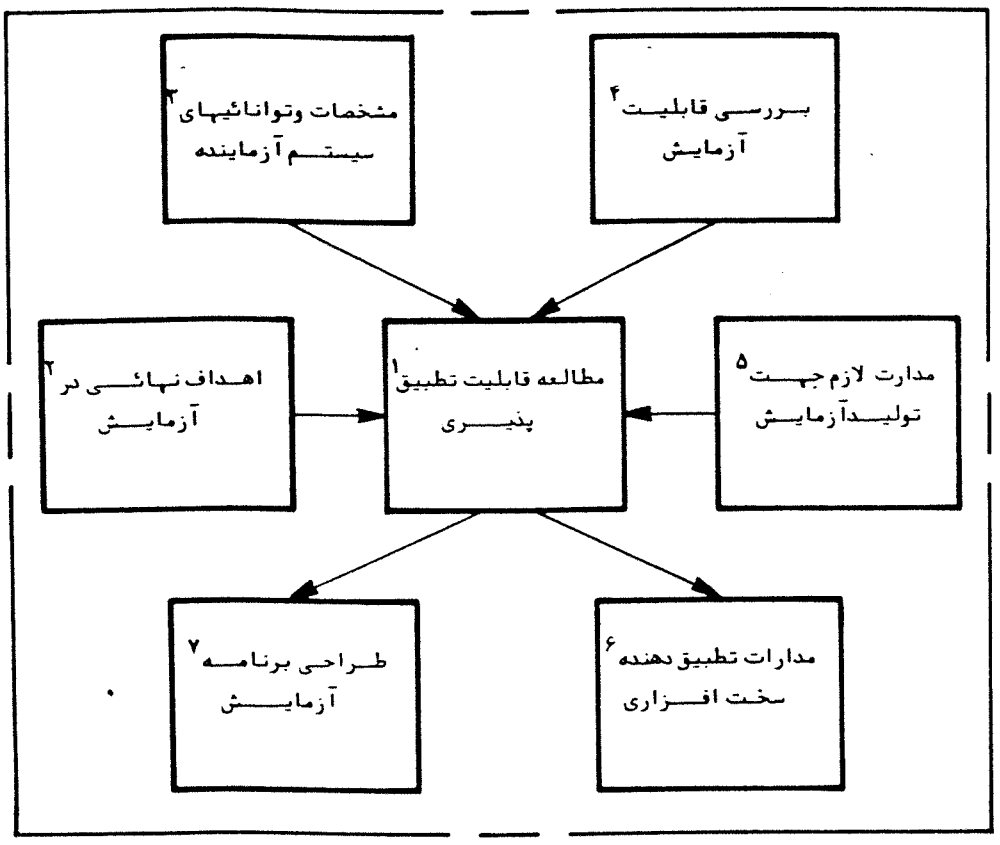
پس ازتعیین خط مشی مناسب جهت طراحی برنامه‌های آزمایش ،اطلاعات اساسی ومرتبـــط بـــا تهیه برنامه‌آزمایش عبارتنداز:

- لیست اشکا لات [2]
- فایل توپولوژی مدارات واحدموردآزمایش [3]
- اطلاعات مربوط به‌گره‌هادرهرقدم آزمایش [4]
- خروجی های منتظره [5]
- تعیین حدپوشش خطا [6]

روش های مختلفی جهت تولیداطلاعات موردنیازفوق وجوددارد‌که‌بترتیب دربخشهای مختلف مورد بررسی قرارمی گیرد.

---

1) INTERFACE TEST ADAPTER = ITA
2) FAULT LIST
3) CIRCUIT TOPOLOGY FILE
4) NODAL DATA
5) EXPECTED RESPONSE
6) COMPREHENSIVENESS LEVEL



(1) COMPATIBILITY STUDY
(2) TEST OBJECTIVES
(3) ATE PERFORMANCE SPECIFICATION
(4) TESTABILITY CONSIDERATION
(5) TEST REQUIREMENT SPECIFICATION
(6) ITA
(7) TEST PROGRAM DESIGN

شکل (۱۴-۲): بررسی اطلاعات چهارگانه ونتایج حاصل از آن

۱۰۲

۲-۵) روش های تولید آزمایش والگوهای موردنیاز

باتوجه‌به‌نتایج حاصل ازتجزیه‌وتحلیل مدارات واحدنظروتوانائی های سیستم آزماینده، تولید برنامه‌آزمایش والگوهای آزمایش رامی توان براساس چارت شماره (۲-۴) انجام داد.

بطورکلی تهیه برنامه‌آزمایش که‌مرتبط با اطلاعات اساسی می باشد.به‌سه‌طریق ممکن انجام می پذیرد.(مرجع ۲و۶)

الف) بصورت دستی [1]

با استفاده‌ازاین روش ابتداتوسط اشخاص مسئول ،باتجزیه‌وتحلیل اطلاعات موردنیازبرای آزمایش واحدموردنظر ،اطلاعات اساسی شامل :

- لیست اشکالات
- الگوهای آزمایش
- خروجی های منتظره
- اطلاعات مربوط به‌گره‌ها

تولیدوسپس برنامه‌آزمایش براساس این اطلاعات نوشته‌شده‌وبا اجرای این برنامه‌حدپوشش خطابصورت دستی تهیه می شود.

ب) روش محاوره‌ای [2]

با استفاده‌ازاین روش ابتداتوسط شخص مسئول وباتجزیه‌وتحلیل اطلاعات اساسی شامل :

- لیست اشکالات
- فایل توپولوژی مدارات (توجه‌شودکه‌درروش دستی ،این اطلاعات موردنیازنمی باشد).
- الگوهای آزمایش

تهیه وسپس برنامه‌آزمایش بصورت دستی تهیه می گردد.پس ازتهیه برنامه،اطلاعات فوق بصورت فایل درآمده‌وتوسط کامپیوتروشبیه‌ساز [3]،اطلاعات اساسی باقیمانده‌که‌شامل خروجی های منتظره، اطلاعات مربوط به‌گره‌هاوحدپوشش خطامی باشدتهیه وهمچنین برنامه‌نهائی آزمایش بوجودمی آید.

پ) روش اتوماتیکی [4]

با استفاده‌ازاین روش کلیه‌اطلاعات اساسی بجزفایل توپولوژی مدارات ولیست اشکالات که‌بوسیله

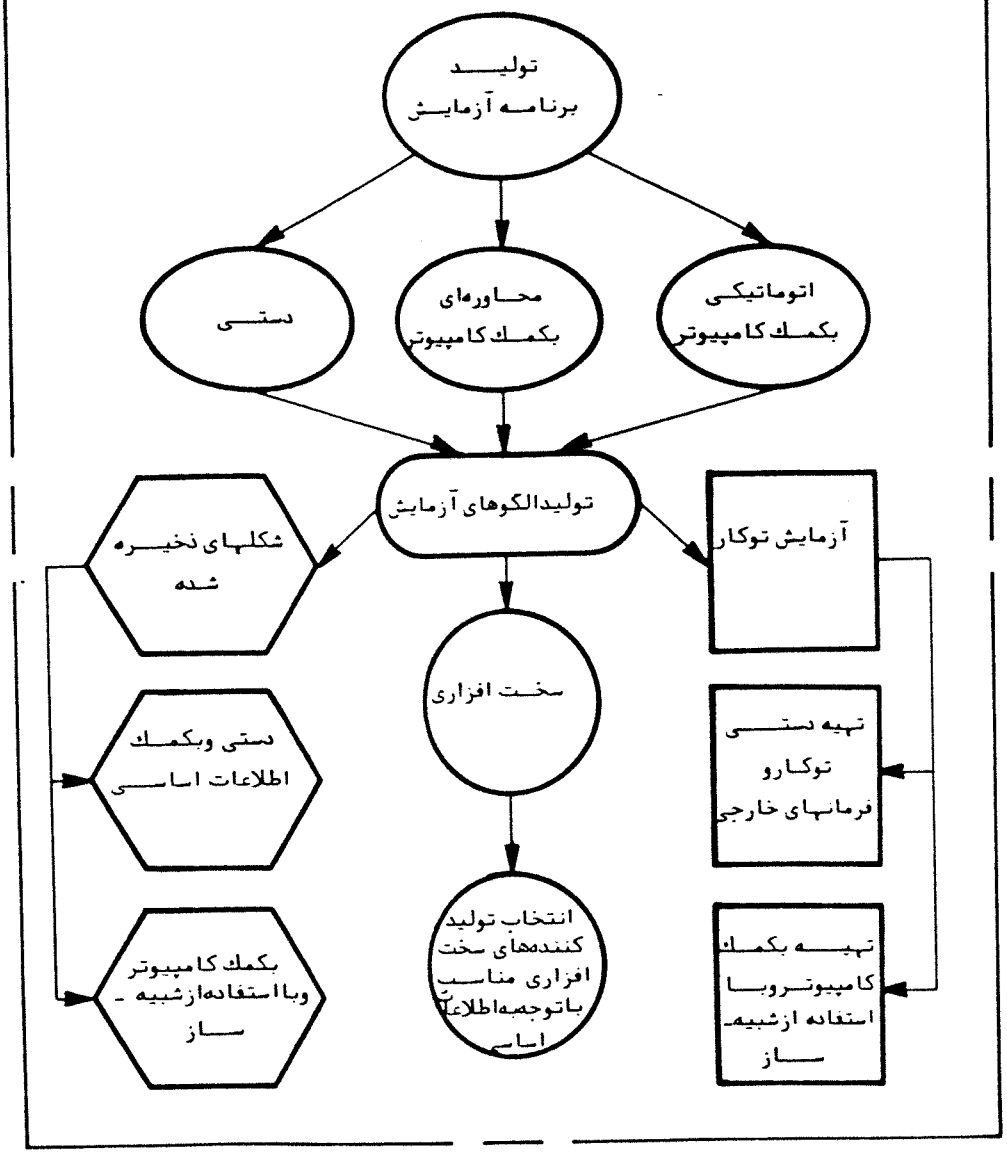
---

1) MANUAL TEST GENERATION

2) INTERACTIVE TEST PROGRAM GENERATION = ITPG

3) SIMULATOR

4) AUTOMATIC



چارت (۴-۲): روشهای تولیدبرنامه والگوهای آزمایش

اشخاص مسئول تولیدمی شود ،بکمك کامپیوترتولیدمی شود ،یکی ازاطلاعات اساسی موردنیازبـــرای ایجادبرنامه‌های آزمایش الگوهای آن می باشد ،الگوهای آزمایش ممکن است براساس‌چارت (۲ـ۴) به‌صورت دراختیارباشد .

۲ـ۶) مولدهای سخت افزاری الگوهای آزمایـــش

آزمایش مدارات الکترونیکی باپیچیدگی کم ومتوسط که‌اغلب اجزاء مدارات آن ترکیبی میباشد رامی توان بااستفاده‌ازسخت افزارهای خاص ومناسب انجام داد ،دراین حالت الگوهای آزمایش توسط مدارات سخت افزاری تولیدوتحت شرایط معینی به‌واحدموردآزمایش اعمال می شود .(به‌ضمیمه شماره۲ مراجعه‌شود) ،کاربرداین مولدهابیشتردرآزماینده‌های نوع وظیفه‌مندی پویامی باشد ،باتوجه‌به‌ترکیب مدارات ونوع اجزاء تشکیل دهنده‌آن ،متداولترین تولیدکننده‌های الگوهای سخت افزاری عبارتنداز :

الف) شمارنده‌های باینری

دراین نوع مولدازشمارنده‌های باینری استفاده‌شده‌وجهت ایجادیك مولد n بیتی ، لازم اســت $K = \frac{n}{C}$ شمارنده C بیتی رابکارگیریم ،بعنوان مثال برای بوجودآوردن یك مولد n=12 بیتی از عددشمارنده‌باینری C=4 بیتی می توان براساس شکل (۲ـ۱۵)استفاده‌نمود . K = 3

استفاده‌ازمولدهای سخت افزاری باوجوداقتصادی بودن آن نسبت به‌تهیه الگوهای آزمایش وذخیره آن ،دارای اشکالات خاصی می باشد ،باافزایش تعدادورودی‌های واحدموردآزمایش ،تعدادالگوهـــای آزمایش افزایش یافته‌وبنابراین تولید 2^n حالت ممکن مستلزم زمان بسیاروگاهی برای $n > 20$ غیر ممکن می باشد .

درمدارات بااجزاء ترتیبی لزوم بوجودآوردن حالت اولیه‌درمدارباعث می شودکه‌استفاده‌ازمولـــد سخت افزاری رادچارمشکلاتی نمایدبعلاوه‌وجودبعضی ازالگوهای تولیدشده ،ممکن است درواحدمـــورد آزمایش حالت های نامشخصی[1] رابوجودآوردکه‌برای آزماینده ،نامعین توصیف گردد .

راههای مختلفی جهت حل این مسائل موجوداست که‌راههای عملی آن برای اشکال اول ،ممکـــن است عمل بوجودآوردن مقادیراولیه‌بصورت دستی انجام پذیرد ،این عمل می تواندبسیاروقت گیـــرو گاهی غیرممکن باشد ،درمدارشکل (۲ـ۱۵)بااستفاده‌ازامکانات قطعه 74LS193 می تـــوان تحت کنترل آزماینده ،جهت بوجودآوردن مقادیراولیه‌مناسب ،ابتداتوسط آزماینده‌وتحت کنتـــرل سیگنال LOAD اطلاعاتی رادرشمارنده‌هابوجودآورده‌وسپس تولیدالگوهای آزمایش رابـــاارســـال

---

1) INDETERMINENT STATE

پالس های زمانی انجام داد.

مسئله دوم که حالت های نامشخص می باشد را می توان با پوشش [1] (عدم توجه) به خروجی های نامشخص حل نمود ولی این راه حل نیز ممکن است برای مدارات خاصی مشکل و گاهی غیرممکن گردد.

ب) شمارنده های دهدهی

شمارنده های نوع 74LS193 می توانند تحت کنترل آزماینده، خروجی های تولید شده را بصورت کد BCD تولید نماید.

پ) تولیدکننده های کدگری [2]

فرم خاص تولید الگوهای آزمایش در شکل (۲-۱۵) که با شمارش اعداد دوازده بیتی از صفر تا $۱-۲^{۱۲}$ انجام می پذیرد، مشکلات خاصی را برای آزماینده بوجود می آورد. بعنوان مثال تغییر شمارش از $۱-۲^{۱۲}$ به صفر باعث می شود کلیه خروجی های آزماینده، جریان زیادی را به زمین انتقال و نتیجتا "یك تنزل لحظه ای در خطوط تغذیه را بوجود آورند.

با استفاده از مولد کدگری می توان الگوهای آزمایش را طوری تولید نمود تا از هر قدم به قدم دیگر تنها یکی از خروجی ها تغییر نماید.

اگر چنانچه g_0 و g_1 و ... و g_i و ... و g_{n-1} یك الگوی آزمایش n بیتی کدگری و همچنین b_0 و b_1 و ... و b_i و ... و b_{n-1} یك الگوی آزمایش n بیتی شمارنده باینری باشد (توجه شود g_0 و b_0 کم ارزش ترین و g_{n-1} و b_{n-1} پرارزش ترین بیت می باشند) رابطه تبدیل کد شمارشی به کدگری عبارت است از رابطه زیر :

$$\begin{cases} g_i = b_i \oplus b_{i+1} \\ g_{n-1} = b_{n-1} \end{cases} \qquad 0 \leqslant i \leqslant n-1$$

با توجه به رابطه با لا مدار تبدیل کد شمارشی را به کدگری می توان با بکارگرفتن مدار شکل (۲-۱۵) بصورت شکل (۲-۱۶) انجام داد. در جدول شکل (۲-۱۶) اعداد باینری صفر تا هفت و معادل کدگری آن نشان داده شده است.

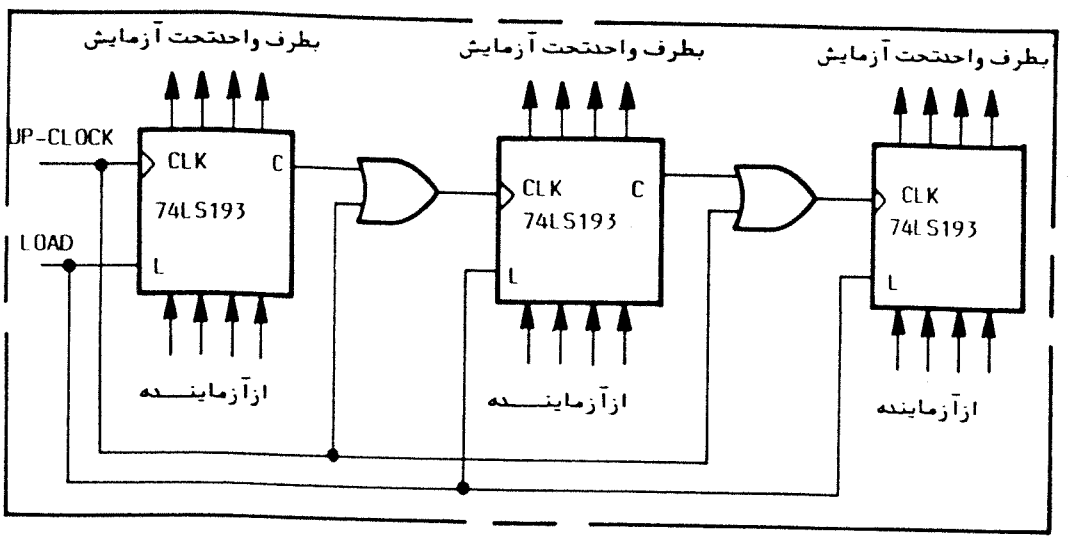
ج) تولیدکننده پالس های رشته ای

در این نوع مولد الگوهای آزمایش طوری بوجود می آید که تنها یکی از خروجی ها تغییر کرده و بقیه

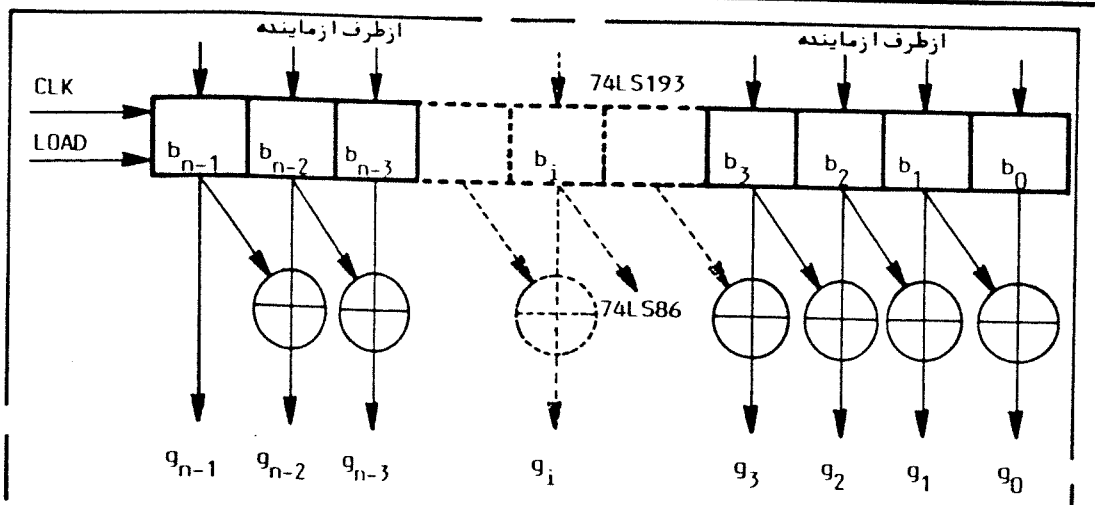
---

1) MASKING

2) GRAY CODE



شکل (۱۵ ـ ۲) : بوجودآوردن مقادیراولیه مناسب



اعداد دهدهی	کدگری g_2 g_1 g_0	اعدادباینری b_2 b_1 b_0
0	0 0 0	0 0 0
1	0 0 1	0 0 1
2	0 1 1	0 1 0
3	0 1 0	0 1 1
4	1 1 0	1 0 0
5	1 1 1	1 0 1
6	1 0 1	1 1 0
7	1 0 0	1 1 1

شکل (۱۶ـ۲) : مدارتبدیل کدشمارشی بهکدگری وجدول مربوطه

دارای لوژیک برابر می باشند. بعنوان مثال یک مولد ۳۲ بیتی که بر اساس مدار شکل (۲-۱۷) تولید می شود (توجه شود 74LS154 یک قطعه DECODER/DEMUX چهار به شانزده می باشد) برابر است با :

$$\begin{matrix} 1 & 0 & 0 & \cdots & 0 \\ 0 & 1 & 0 & 0 & \vdots \\ 0 & 0 & 1 & & \\ \vdots & & & & \\ & 0 & & & \\ & & & 1 & 0 \\ 0 & 0 & 0 & 0 & 1 \end{matrix}$$

کاربرد این نوع مولدها بیشتر در آزمایش اتصالات مدارهای یک واحد مورد آزمایش [1] در یک آزماینده میانمداری (ضمیمه شماره ۳) می باشد زیرا با قراردادن لوژیک یک در روی ارتباط موردنظر و قراردادن لوژیک صفر روی بقیه ارتباطات می توان در صورت بررسی کردن وجود لوژیک یک در روی ارتباط مربوطه، به عدم اتصال کوتاه به دیگر ارتباطات مطمئن شد.

ج) تولیدکننده‌های الگوهای شبه‌اتفاقی [2]

با استفاده از تئوری ماشین های رشته‌ای (مرجع ۸) می توان با انتخاب یک فیدبک مناسب برای یک رجیستر n بیتی $2^n - 1$ الگوی آزمایش را تولید نمود بطریقی که تغییرات هر بیت مشخص این الگوها در قدم های متوالی بصورت شبه‌اتفاقی تغییر نماید. اگر چنانچه یک رجیستر n بیتی و مدار فیدبک آن بطور عمومی بصورت شکل (۲-۱۸) باشد، می توان برای هر یک بیت خروجی رجیستر، توانی از X را در نظر گرفت بنابراین رابطه کلی مدار فیدبک بصورت :

$$\begin{cases} G(X) = X^n + a_{n-1} X^{n-1} + \cdots + a_i X^i + \cdots + a_1 X + a_0 \\ a_i = 0 \ , \ 1 \end{cases}$$

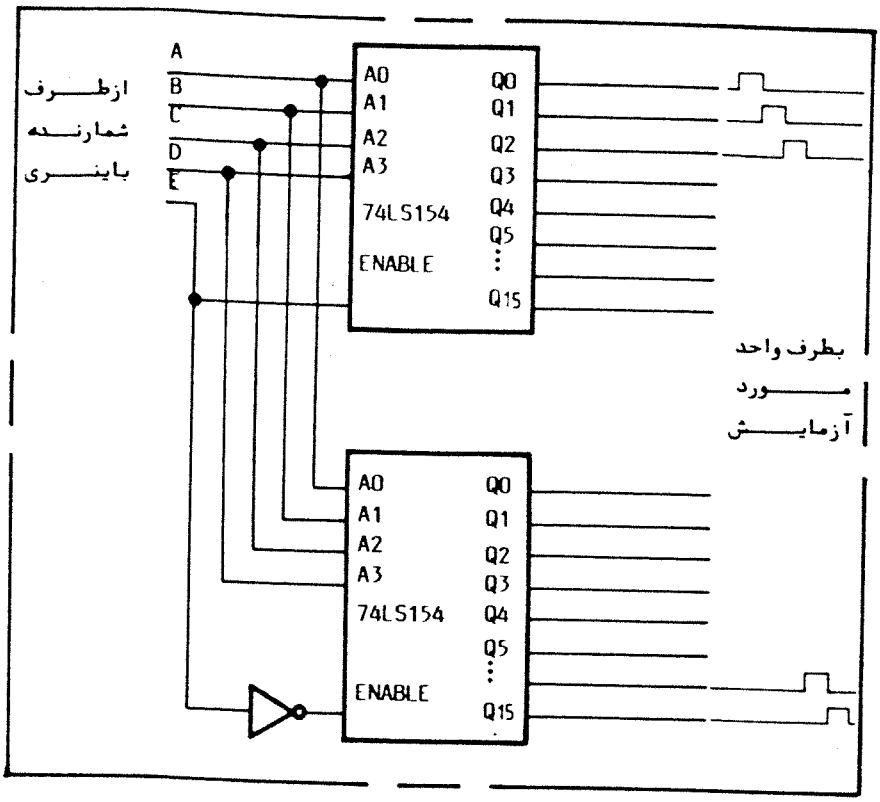
می باشد که در آن ضرائب a_i ضرب کننده‌های عددی [3] می باشد که در صورت $a_i=1$ دلیل وجود ارتباط و $a_i=0$ دلیل عدم وجود ارتباط می باشد (D_i عبارتست از یک سلول حافظه رجیستر)

---

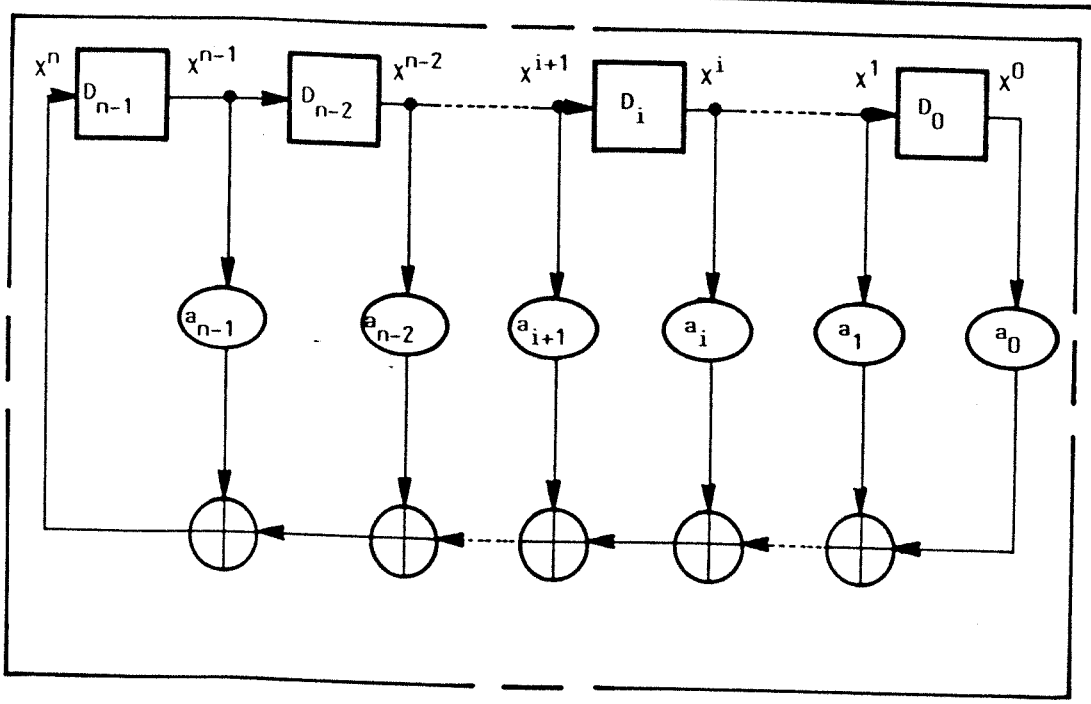
1) CONTINUITY

2) PSEUDO RANDOM

3) SCALAR MULTIPLIER



شکل (۱۷ـ۲): تولیدکننده پالس رشته‌ای



شکل (۱۸ـ۲): فرم عمومی تولیدکننده‌الگوهای رشته‌ای

۱۵۹

فیدبک مناسب برای ایجادیک مولدشبه‌اتفاقی عبارت است ازیک چندجمله‌ای اول[1] (مرجع ۱۵) که‌می توان برای انتخاب یک چندجمله‌ای ازدرجه n به‌جداول مربوط به‌این نوع چندجمله‌ای ها در کتاب های مربوط به‌کنترل خطا مراجعه‌نمود. بعنوان مثال جهت ایجادیک مولدچهاربیتی می توان مداری رابراساس شکل (۱۹-۲) بوجودآورد.

دراین مدارمعادله‌فیدبک خطی بصورت :

$$G(X) = X^4 + X + 1$$

می باشدکه‌الگوهای آزمایش بشکل زیرمی باشد:

0	0	0	1
1	0	0	0
0	1	0	0
0	0	1	0
1	0	0	1
1	1	0	0
0	1	1	0
1	0	1	1
0	1	0	1
1	0	1	0
1	1	0	1
1	1	1	0
1	1	1	1
0	1	1	1
0	0	1	1
0	0	0	1

تولیدمجددالگوها

تناوب تولیدالگوها

$P = 2^4 - 1 = 15$

بایدتوجه‌شودبرای یک ماشین رشته‌ای n بیتی بافیدبک خطی همواره‌تعدادالگوهای آزمایش برابربا $2^n - 1$ عددمی باشدکه‌الگوی آزمایش تمام صفردراین‌نوع ماشین هاتولیدنمی شود. اگر چنانچه‌بخواهیم الگوی تمام صفررانیزبوجودآوریم ، می توان با استفاده‌ازفیدبک غیرخطی این عمل راانجام داده‌ونتیجتا "تعدادالگوهای آزمایش رابه 2^n عددجهت آزمایش کامل افزایش داد.

---

1) PRIMITIVE POLYNOMIAL

۱۱۵

۲-۷) روش ذخیره‌ای درتعیین الگوهای آزمایش

درروش ذخیره‌ای ،الگوهای تعیین شده‌بصورت دستی ویابکمك کامپیوتردرداخل حافظه‌های مناسب قرارگرفته‌ودرزمان لازم به‌واحدتحت آزمایش اعمال می شود.تعیین الگوهای آزمایش چه‌بصورت دستی وچه‌بکمك کامپیوتربا استفاده‌ازروش های خاصی انجام می گردد.دراین بخش روش های متداول‌در تعیین الگوهای آزمایش موردبحث واقع‌می شود.

بطورکلی می توان وجودهرنوع اشکال رادریك مدارترکیبی غیرزائد[1] (مراجع ۲و۹)باتعداد n ورودی رابطورکامل بااعمال 2^n ترکیب ورودی های آن آشکارنمود.افزایش تعدادورودی ها ،باعث افزایش سریع‌درتعدادالگوها می باشدکه‌عملیات بکارگرفتن الگوهای آزمایش کامل مستلزم وقت بسیارزیادی می باشد.

یکی ازاهداف تولیدالگوهای آزمایش تقلیل تعدادالگوهای آزمایش بحدمناسب می باشد. خوشبختانه‌برای آزمایش کامل یك مدارترکیبی با n ورودی ،تعدادالگوهای آزمایش موردنیاز بسیارکمترازتعداد 2^n می باشد.روش تقلیل ویابعبارتی دیگرتعیین الگوهای آزمایش بهینه‌مبتنی برچهارروش کلی می باشد:

الف) روش ساختاریافته[2]

ب) روش عملیاتی (وظیفه‌مندی)

پ) روش هایبرید[3]

ج) روش تك کاره[4]

۱-۷-۲) روش ساختاریافته‌وتعریف مسیرحساس

دراستفاده‌ازاین روش ،هدف انتخاب یك به‌یك اشکالات ممکن درلیست اشکال وبدست آوردن یك الگوی آزمایش برای آشکارسازی هریك می باشد.برای نیل به‌این هدف لازم است دوعمل مختلف انجام پذیرد.

الف) فعال نمودن اشکال[5] موجوددرمدار. این بدان معنی می باشدکه‌بتوانیم یك سطح لوژیکی

---

1) NON REDUNDANT COMBINATIONAL CIRCUIT

2) STRUCTURAL OR FAULT ORIENTED

3) HYBRID

4) AD - HOC

5) FAULT ACTIVATION

مخالف با سطح لوژیکی بوجود آمده در محل اشکال بآن اعمال نمائیم . بعنوان مثال در شکل (۲۰-۲) اگر در روی ورودی شماره یک قطعه U1 (U1 PIN 1) اشکال ایستائی نوع یک وجود داشته باشد، برای فعال نمودن این نوع اشکال لازم است مقدار ورودی $X_1=0$ انتخاب گردد.

ب) انتشار اثر اشکال[1] به یک خروجی و یا خروجی های قابل رویت . این بدان معنی می باشد که اثر اشکال را که تبدیل مقدار حقیقی قطعه U1 بیک مقدار غلط (1⟵0) است ، به خروجی Z1 منتقل نمائیم .

برای این منظور مقادیر ثابت $C2=1$ و $C3=0$ در روی ورودی های قطعات U1 و U2 مقادیر مناسب می باشند . با توجه به مقادیر $X_3=0$ و $X_2=1$ ، $X_1=0$ مشاهده می شود که مقدار لوژیک گره C_1 از مقدار حقیقی خود به مقداریک (1⟵C_1/0) و مقدار لوژیک گره C_4 از مقدار حقیقی خود به مقداریک (1⟵C_4/0) و لوژیک گره C_5 نیز از مقدار حقیقی خود به مقداریک (1⟵C_5/0) تغییر پیدا می کند . باید توجه شود که مقادیر $X_2=1$ می تواند اثر وجود اشکال روی گره C_1 را به خروجی U_1 و همچنین مقدار $X_3=0$ اثر اشکال روی گره C_4 بر روی U_2 و نتیجتا "بر روی خروجی Z_1 منتقل نماید که منجر به وجود آمدن تضاد بر روی خروجی بازاء عملکرد صحیح و عملکرد مدار بازاء وجود اشکال یعنی $f(X) \Theta f_\alpha(X)=1$ گردد .

حال آنکه اگر یکی از مقادیر $X_2=0$ و یا $X_3=1$ انتخاب گردد ، مقدار خروجی بازاء عملکرد صحیح و غلط مدار برابر و نتیجتا "مقدار $f(X) \Theta f_\alpha(X)=0$ می گردد . لذا اثر اشکال موجود روی مسیر خروجی ها متوقف[2] و قابل کشف نمی باشد .

الگوی آزمایش $X_3=0$ و $X_2=1$ و $X_1=0$ الگوی آزمایش و یا آشکارکننده اشکال C_1 s-a-1 نامیده می شود .

با توجه به شکل (۲۰-۲) و مفهوم فعال نمودن و انتشار اشکال ، اکنون می توانیم مفهومی را که در بوجود آوردن این الگوی آزمایش وجود دارد بصورت یک فرمول بنام حساس کردن مسیر که اساس روش ساختار یافته می باشد ، بیان کنیم .

مسیری که در طول آن اثر اشکال انتشار می یابد یعنی $C_1 \longrightarrow C_4 \longrightarrow C_5$ را مسیر حساس و منشاء اشکال یعنی C_1 را مولد اشکال[3] و همچنین کلیه گره های تشکیل دهنده مسیر حساس بجز مولد اشکال یعنی C_4 و C_5 را ناقل اشکال[4] و بقیه گره ها را که جزو مسیر حساس نبوده و مسیر حساس را قادر به عبور

---

1) FAULT PROPAGATION
2) FAULT EFFECT BLOCKING
3) FAULT GENERATOR
4) FAULT TRANSMITTER

تغییرات ممکن براثراشکال می کنند ،گفته‌می شوددارای مقادیرثابت برروی خودمی باشند ·

باتوجه‌به‌مفاهیم شرح داده‌شده‌مشاهده‌می گرددا ستراتژی اساسی درروش ساختاریافته ،انتخاب یك بهیك اشکا لات ازلیست آن وتولیدیك الگوی آزمایش برای آن می باشد ·روش کلی برای تولیداین چنین الگوئی استفاده‌ازروش مسیرحساس که‌درپی بوجودآوردن مسیری است که‌بتواندبا انتخاب مقادیرثابت مناسب درروی ورودیهای قطعات واقع‌برمسیرحساس ،این اشکال رابهیك یاچندخروجی قابل مشاهده‌بوسیله‌آزماینده‌انتقال دهد ،می باشد ·

این مرحله‌را ،مرحله‌حرکت به‌جلو[1] می نامیم ·بایدتوجه‌گرددکه‌مقادیرثابت برای بوجودآوردن - مسیرحساس نهایتا "توسط مقادیرورودی های اصلی تعیین می شوندکه‌امکان بوجودآوردن این ورودیها یکی ازمسائل قابل اهمیت دراین روش می باشد ·مرحله‌تائیدامکان بوجودآوردن این مقادیررا مرحله تائیدپایداری مقادیرثابت[2] می نامیم ·

برای انجام این مرحله لازم است مقادیرثابت روی گره‌هابابرگشت قدم به‌قدم به‌طرف ورودیهای اصلی انجام گیردکه‌به‌آن حرکت به‌عقب[3] گفته‌می شود ·سعی شده‌است تابتوان انجام عمل فعال کردن وانتقال اشکال اطلاعات برای تسهیل دراستفاده‌ازآن ،بصورت فرمولی درآیدکه‌دارای خاصیت کاربرد عمومی باشد ·نتیجه‌این عمل بوجودآمدن روش ـ د وروش های منتج ازآن می باشدکه‌دربخش دیگر توضیح داده‌می شود ·

۱ـ۱ـ۷ـ۲) تقلیل تعدادالگوهای آزمایش درروش ساختاریافته

اشکا لات ممکن برای یك مدارنسبتا "پیچیده‌ممکن است تعدادبسیارزیادی راشامل شودکه‌دراین صورت تعیین الگوی آزمایش برای کلیه‌اشکا لات ممکن ،زمان بسیارزیادی راحتی برای کامپیوتربخود اختصاص می دهد ·

اگرچنانچه‌یك الگوی آزمایش تولیدشده‌برای یك اشکال معین بتواندا شکا لات دیگری رادرلیست اشکال آشکارنماید ،لزومی برای تولیدالگوی آزمایش برای آن دسته‌ازاشکا لات نبوده‌وبنابراین از لیست اشکا لات حذف می شوند ·

بعنوان مثال دروازه‌نقیض " و " نشان داده‌شده‌درشکل (۲ـ۲۱)رادرنظرگیرید ·

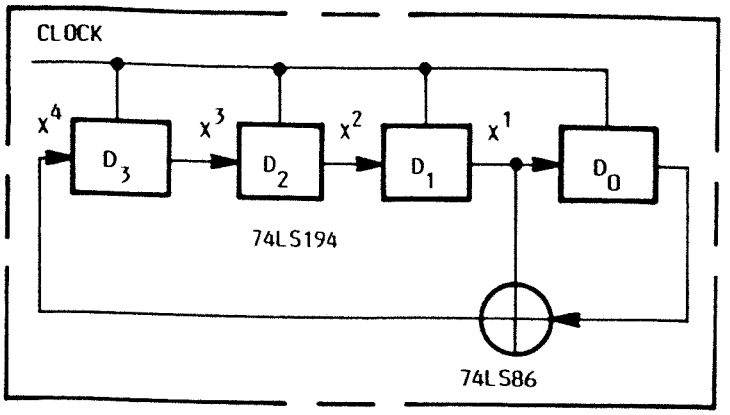
قدم اول : تعیین لیست اولیه‌اشکا لات که‌عبارتنداز $C_3/0$ و $C_3/1$ و $C_2/0$ و $C_2/1$ و $C_1/0$ و $C_1/1$ (a_1 =) (توجه‌شودکه $C_1/0$ خوانده‌می شود C_1 s-a-0)

---

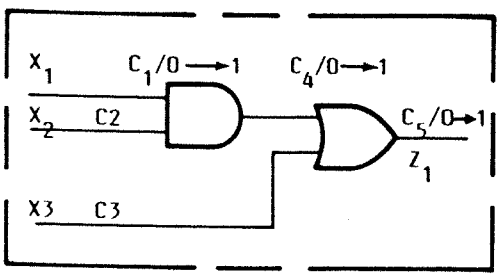
1) FORWARD TRACING

2) CONSISTENCY CHECKING

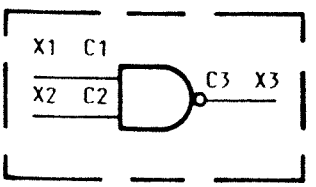
3) BACKWARD TRACING



شکل (۱۹ـ۲) : مدارمولدچهاربیتی شبه‌اتفاقی



شکل (۲۰ـ۲) : مدارترکیبی



شکل (۲۱ـ۲): دروازه نقیض " و "

قدم دوم : تولیدآزمایش برای $C_1/1$ کهنتیجه‌آن $Z_1=1$ و $X_2=1$ و $X_1=0$ می باشد.

قدم سوم: اشکال $C_3/0$ نیزبااین الگوی آزمایش آشکارمی شود.

قدم چهارم : تقلیل لیست اشکالات به $C_1/0,\ C_2/1,\ C_2/0,\ C_3/1$ $=\alpha_2$

قدم پنجم : تولیدالگوی آزمایش برای $C_1/0$ کهنتیجه‌آن $Z_1=0$ و $X_2=1$ و $X_1=1$ میباشد.

قدم ششم : اشکالات دیگری کهبااین الگوآشکارمی شوند $C_2/0$ و $C_3/1$ می باشدکهنتیجه‌آن تقلیل اشکالات به $C_2/1$ $=\alpha_3$ می باشد.

قدم هفتم : تولیدالگوی آزمایش برای $C_2/1$ کهنتیجه‌آن $Z_1=1$, $X_2=0$ و $X_1=1$ می باشد

بنابراین نتیجه‌تقلیل بصورت $\alpha_3=\emptyset$ می باشد(لیست اشکالات تهی است)

بنابراین الگوهای آزمایش از $2^2=4$ الگوبه ۳ الگویعنی :

X_1	X_2	Z_1
0	1	1
1	1	0
1	0	1

تقلیل می یابد.روش های دیگرتقلیل لیست اشکال ونتیجتا "الگوهای آزمایش درهمین بخش توضیح داده‌می شود.

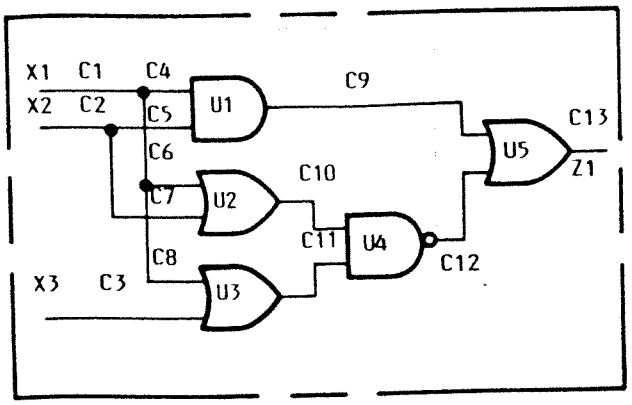
۲-۷-۲) تولیدآزمایش بهروش عملیاتی

استفاده‌ازروش عملیاتی مستلزم استفاده‌کامل ازجدول واقعیت هاویاتابع عملیاتی قطعه‌ویامدار می باشد.آزمایش بااستفاده‌ازجدول واقعیت هامستلزم انجام آزمایش کامل می باشد.بعنوان مثال مدارشکل (۲-۲۲) رادرنظرمی گیریم .

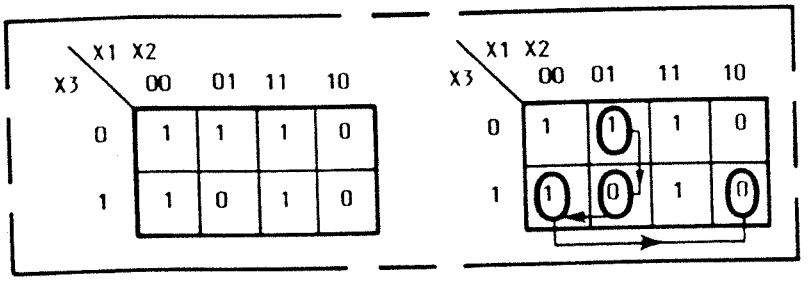
این مداربا‌توجه‌بهجدول واقعیت های آن کهتوسط جدول کارنودرشکل (۲-۲۳ - الف)نشان داده می شود،می توانبا [۳](۲)قدم آزمایش وباتوجه‌بهخروجیهای نشان داده‌شده‌توسط جدول ،آزمایش گردد.مجددا "می بینیم با افزایش تعدادورودی هاتعدادالگوهای آزمایش به‌سرعت افزایش می یابد.

۱-۲-۷-۲) تقلیل الگوهای آزمایش درروش عملیاتی

باتوجه‌بهجدول کارنو ،یك راه‌ممکن برای تقلیل الگوهای آزمایش عبارتست ازانتخاب الگوی آزمایش $X_3=0$ و $X_2=1$ و $X_1=0$. درروی سطراول وستون دوم جدول کارنونشان داده‌شده‌درشکل (۲-۲۳ - ب)بصورت دایره‌توپر ،تغییردایره‌بصورت نشان داده‌شده‌می تواندمکررا "خروجی Z_1 رااز مقداریك به‌صفرتغییردهدوهمچنین این انتقال می تواندکلیه‌ورودیهارا ازمقداریك به‌صفروبالعکس



شکل (۲۲ـ۲): تولیدآزمایش درمدارترکیبی بهروش عملیاتی



(الف) (ب)

شکل (۲۳ـ۲): جدول کارنووجدول تقلیل الگوهای آزمایش

تغییر دهد.

با استفاده از این روش چهار الگوی آزمایش تولید می شود که تقلیل ۴ الگوی آزمایش را بوجود می آورد. اگر چنانچه این الگوهای آزمایش در مورد کلیه اشکالات ممکن در لیست اشکالات مورد بررسی واقع گردد، نتیجه می شود کلیه اشکالات بجز اشکال $C_9/0$ توسط این الگوها کشف می گردد.

۲-۷-۲) روش های ترکیبی (تلفیقی)

با توجه به روش های ساختاریافته و روش عملیاتی می توان از روش سودمندتری که می تواند هر دو روش را بکار گیرد استفاده نمود. ترتیب استفاده از این روش بکارگرفتن روش ساختاریافته در شروع تولید الگوهای آزمایش و سپس بررسی پوشش اشکالات موجود در لیست اشکالات توسط این الگوها می باشد. در مرحله دوم با بکارگیری روش ساختاریافته می توان جهت باقیمانده اشکالات، الگوهای آزمایش مناسبی تعیین نمود.

با توجه به مدار شکل (۲-۲۲) و دو روش بکارگرفته شده مشاهده گردید که با بکارگیری روش عملیاتی کلیه اشکالات ممکن در لیست اشکالات بجز اشکال $C_9/0$ قابل کشف توسط چهار الگوی زیر می باشد:

X_1	X_2	X_3	Z_1
0	1	0	1
0	1	1	0
0	0	1	1
1	0	1	0

با استفاده از روش ساختاریافته جهت تولید الگوی آزمایش برای این اشکال $(C_9/0)$ بترتیب زیر عمل می نمائیم.

قدم اول : تشکیل مسیر حساس

الف) فعال نمودن اشکال بوسیله تعیین مقدار $C_9=1$ (مولد اشکال s-a-0).

ب) بوجود آوردن توانائی انتشار اثر اشکال از قطعه U_5 با قراردادن $C_{12}=0$ (مقدار ثابت).

پ) با انجام عمل (ب) اثر اشکال به خروجی Z_1 منتقل می شود (C_3 ناقل اثر اشکال می باشد).

قدم دوم : تائید پایداری

برای اطمینان از قراردادن مقدار $C_9=1$ و $C_{12}=0$

الف) مقدار $X_2=1$ و $X_1=1$ می تواند مقدار $C9=1$ را بوجود آورد.

ب) چون $X_1=1$ می باشدبنابراین $C_{10}=C_{11}=1$ ونتیجتا " $C_{12}=0$ می شود.

بنابراین الگوی آزمایش تائیدشدهبرابربا $X_3=X$ و $X_2=1$ و $X_1=1$ (X یعنی بی تفاوتی) می باشد.بایدتوجهشودمقداربی تفاوت X_3 بعلت آن است که‌مقادیرمختلف X_3 تاثیری دراثر الگوی آزمایش برای آشکارسازی اشکال $C_9/0$ بوجودنمی آورد.بنابراین الگوهای آزمایش بصورت :

X_1	X_2	X_3	Z_1
0	1	0	1
0	1	1	0
0	0	1	1
1	0	1	0
1	1	X	1

درمی آید.اگرچه‌مقدار $X_3=X$ تاثیری درآشکارسازی اشکال $C_9/0$ نداردامابانتخاب هریک ازمقادیر $X_3=0$ و $X_3=1$ می تواندتاثیربسزائی درقدرت آشکارسازی ویاردیابی اشکال دیگراز لیست اشکالات داشته‌باشد.اگرچنانچه $X_3=1$ انتخاب شود،این الگوی آزمایش قادرخواهدبود مجموعه‌چهاراشکال $C_{13}/0$ و $C_9/0$ و $C_2/0$ و $C_1/0$ راآشکارنماید.حال آنکه‌اگرمقدار $X_3=0$ باشدپوشش اشکال این الگوی آزمایش به‌سه‌عددیعنی $C_{13}/0$ و $C_9/0$ و $C_2/0$ تقلیل پیدامی کند($C_1/0$ حذف شده‌است).

دلیل این اختلاف بعلت مسیرهای حساس بوجودآمده‌توسط این دوالگوی آزمایش می باشد.بازاء الگوی $X_3=1$ و $X_2=1$ و $X_1=1$اثراشکال $C_1/0$ می تواندازدودروازه U_1 و U_5 عبورنموده ولی توسط دومقدار $C_2=C_6=1$ و $C_3=1$ روی U_2 و U_3 متوقف شده‌وقابل کشف می باشدیعنی $f(X)\ \Theta\ f_a(X)=1$ می گردد.

بعبارت دیگر $C_{13}/1 \rightarrow 0$ (مقدار C_{13} ازمقدارحقیقی یك به‌مقدارغلط صفرتغییرداده‌شده است [1]).اگرچنانچه $X_3=0$ انتخاب شود،اثراین اشکال نه‌تنهاپس ازعبوراز U_1 باعث تغییر $C_9/1 \rightarrow 0$ می شود،بلکه‌باعبوراز U_3 (بعلت وجود $X_3=0$)باعث تغییر $C_{11}/1 \rightarrow 0$ وسپس $C_{12}/0 \rightarrow 1$ گشته‌ونتیجتا "مقدارخروجی Z_1 بدون تغییرباقی می ماند[2] کهدراین حالت اثراشکال $C_1/0$ قابل کشف نمی باشدیعنی $f(X)\ \Theta\ f_a(X)=0$ می گردد.

۴-۷-۲) **روش های تك گاره** - جهت توضیح به‌ضمیمه شماره چهارمراجعه‌فرمائید.

۸-۲) **مسائل موجوددرتولیدالگوهای آزمایش بااستفاده‌ازروش های توضیح داده‌شده**

باتوجه‌به‌توضیحات داده‌شده‌نکات قابل توجه‌درتعیین الگوهای آزمایش می توانندبصورت مختلف باشدکه‌می توان راه‌حل های مناسبی جهت آن اتخاذنمود.

1) CHANGE
2) NO CHANGE

۲-۸-۱) اثر اشکالات وتقارب مجدد[1] مسیرهای حساس

همانطوریکه مشاهده نمودیم مسیر حساس درکشف اشکال $C_1/0$ درشکل (۲۲-۲)عبارت از U_1 و U_5 بود. مقدار $X_3=0$ درالگوی آزمایش $X_3=0$ و $X_2=1$ و $X_1=1$ باعث ایجادمسیر حساس دیگری از U_3 و U_4 و U_5 می گرددکه انتقال اثر اشکال ازاین مسیرمی تواند اثر اشکال منتقل شده ازمسیر اولیه راخنثی نمایددراین صورت گفته می شودتقارب دوباره منفی[2] بوجودآمده است .

راه حل ،انتخاب مقدارثابتی می باشدکه بتواندریک نقطه ازمسیرحساس غیراصلی ،انتقال اثر اشکال رامتوقف نمایدکه دراین مثال مقدارمربوطه $X_3=1$ می باشد. برای آشنائی بیشتربا اثر تقارب دوباره ،شکلهای(۲۴-۲)رادرنظرمی گیریم .اشکال $C_1/1$ درشکل (۲۴-۲ - الف)توسط الگوی آزمایش $X_3=1$ و $X_2=0$ و $X_1=1$ ازدومسیرحساس U_1 و U_3 وهمچنین U_2 و U_3 بخروجی Z_1 منتقل می گرددامابخاطرتقارب منفی ،مقدارخروجی درزمان حضوراین اشکال وعدم حضورآن برابربوده وقابل کشف نمی باشد .اگرچنانچه $X_3=0$ انتخاب شود،مسیرحساس U_2 و U_3 مسدود ومقدارخروجی باحضوراشکال متفاوت بامقدارخروجی بدون حضوراشکال می باشد .یعنی $C_6/0 \longrightarrow 1$ می گردد .

درشکل (۲۴-۲-ب)همانطوریکه دیده می شودعلی رغم اینکه دومسیرحساس U_1 و U_3 وهمچنین U_2 و U_3 وجوددارد ولی بعلت وجودتغییرات برابرهم جهت[3] (یازوج ویافرد) ،اشکال قابل کشف نمی باشد .به این نوع تقارب ،تقارب دوباره مثبت گفته می شود .

دربعضی ازمدارات ترکیبی ممکن است ترکیب مدارطوری باشدکه نتوان برای انتقال اثر اشکالات ازیک مسیرحساس استفاده نمودبلکه لازم است بیش ازیک مسیرراحساس نمود .برای اطلاعات بیشتربه مرجع (۵)مراجعه شود .

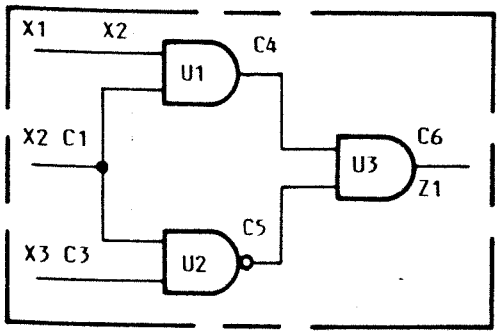
۲-۸-۲) بوجودآوردن مقادیراولیه درمدارات ترکیبی

درزمان تولیدالگوهای آزمایش درمدارات ترکیبی ،بعلت وجودمدارات فیدبک ممکن است نتوان بازاء یک ورودی معین ،مقدارخروجی راتعیین نمود .بعنوان مثال شکل (۲۵-۲الف)رادرنظرمی گیریم .

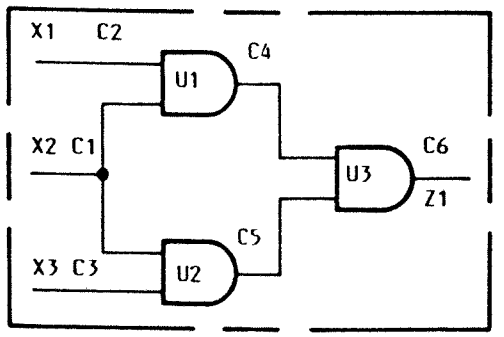
بازاء الگوی آزمایش $X_1= X_2= 1$ چون مقادیر C_2 و C_3 مشخص نمی باشندبنابراین برای ادامه آزمایش نه تنها مقادیرخروجی معین نمی باشندبلکه اطلاعات مربوط به ورودی وخروجی های اصلی قطعات نیزنامشخص می باشد .برای حل این مسئله با استفاده ازجدول واقعیت هادرشکل (۲۵-۲ب) برای چهارسطح لوژیکی یعنی $\bar{X}$ و X و 0 و 1 ومرتبط باهرقطعه می توان مقادیرموجودروی

---

1) FAULT EFFECT RECONVERGENCE
2) NEGATIVE RECONVERGENT
3) SAME NUMBER OF POLARITY



شکل (۲۴-۲ ـ الف): مدارترکیبی وتقارب منفی



شکل (۲۴-۲ـ ب): مدارترکیبی وتقارب مثبت

۱۲۵

هرگره را بدست آورد.

اگر چنانچه با زای الگوی $X_1=X_2=1$ مقدار خروجی Z_1 را که منشا، مدار فیدبک می باشد بصورت $Z_1=X$ بگیریم، مقدار $C_3=X$ و $C_1=C2=1$ مقدار $C_7=\bar{X}$ و مقدار $C_1=C_5=1$ مقدار $C_8=1$ را بوجود می آورد.

با زای $C_7=\bar{X}$ و $C_8=1$ مقدار $C_{11}=C_{12}=X$ و بعلت آنکه $C_6=1$ می باشد، $C_{13}=C_{16}=X$ و همچنین چون $C_9=X$ و $C_{11}=X$ می باشد، نتیجتا " $C_{14}=\bar{X}$ می باشد.

با توجه به اینکه $C_{14}=\bar{X}$ و $C_{16}=X$، مقدار $Z_1=C_{17}=1$ می شود. حال با داشتن مقدار $Z_1=1$ می توان خروجی Z_2 را نیز با زای الگوی $X_1=X_2=1$ تعیین نمود.

۲-۸-۳) مسائل مرتبط با تعیین مدل در روش ساختار یافته

با در نظر گرفتن اشکالات مدل ایستائی، کلیه اشکالات از این نوع در مدار شکل (۲-۲۶) توسط چهار الگوی آزمایش :

X_1	X_2	X_3	X_4	Z_1
0	1	1	0	0
1	0	0	1	0
0	1	1	1	1
1	1	1	0	1

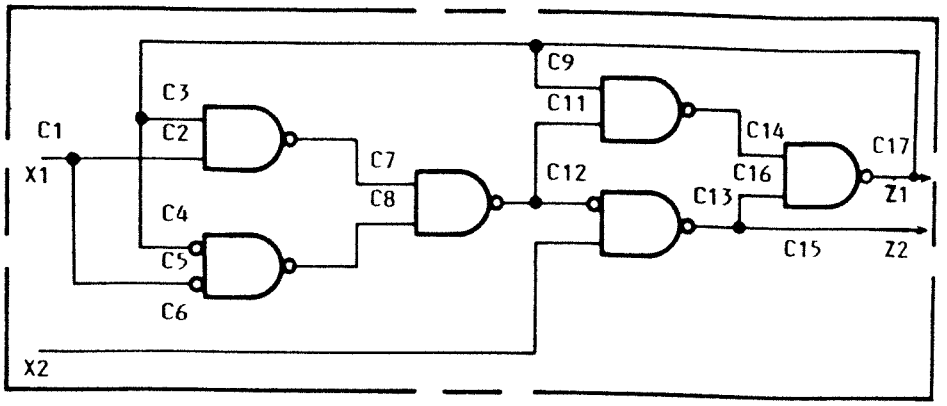
قابل پوشش می باشد. حال آنکه در صورت بروز اشکالی از نوع پل ساز و بعنوان مثال روی دوار تباط C_2 و C_3 این الگوها نمی توانند کار ساز باشند. علت این امر این است که مقادیر X_2 و X_3 در کلیه قدم های آزمایش یکسان بوده و نظر به اینکه برای آزمایش و آشکار سازی این نوع اشکال لزوما " باید لوزیک C_2 مخالف C_3 انتخاب شود، باید الگوهای آزمایش دیگری در نظر گرفته شود.

الگوهای آزمایش :

X_1	X_2	X_3	X_4	Z_1
0	1	0	1	0
1	0	1	0	0
0	1	1	1	1
1	1	1	0	0

می تواند راه حل این مسئله باشد. بنابراین جهت پوشش کامل اشکالات ممکن باید امکان اتفاق کلیه اشکالات ممکن و مدل سازی آنها را در نظر گرفت.

۱۳۱

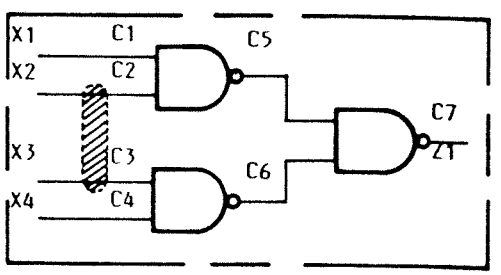


(الف)

	1	0	X	$\overline{X}$
1	0	1	$\overline{X}$	X
0	1	1	1	1
X	$\overline{X}$	1	$\overline{X}$	1
$\overline{X}$	X	1	1	X

(ب)

شکل (۲۵ـ۲) : بوجودآوردن مقادیراولیه‌وجدول واقعیت برای یک مدارترکیبی



شکل (۲۶ـ۲) : اشکال پل سازمدریک مدارترکیبی

مرکز تحقیقات مخابرات ایران

۲-۹) تعیین الگوهای آزمایش به‌روش - د

با توجه به تعاریف و مسائل موجود در تولید الگوهای آزمایش به‌روش ساختاریافته اکنون می توان استفاده از روش - د را که توسط شرکت IBM ارائه (مرجع ۲ و ۹) و سپس کاربرد وسیعی در امر تولید الگوها پیدا نموده، توضیح دهیم .

روش - د عبارت است از انجام حساب کردن و عبور مقادیر بوجوداً مده بصورت فرمول و یا به عبارت دیگر فرم ریاضی این روش . با انجام این عمل می توان با استفاده از کامپیوتر براحتی از این روش برای ایجاد آزمایش استفاده نمود .

روش - د بصورت اصلی دارای نقاط ضعف معینی می باشد و این نقاط ضعف در مورد مداراتی با داشتن حافظه [1] و فیدبک های اصلی [2] (پیچیده) می باشد و همچنین در مورد مدارات خیلی پیچیده شامل مدارات مجتمع بزرگ و خیلی بزرگ [3] دارای کارآئی خوبی نمی باشد . ولی با وجود این ضعف ها روش - د از کارآئی خوبی در مورد مداراتی که دارای همگرائی و یا انشعاب هستند، برخوردار می باشد .

بعنوان مثال می توان خطاهائی را که از یک نقطه منشعب و پس از عبور از مسیرهای متفاوت دوباره در یک نقطه جمع می شوند نام برد . بنابراین روش - د قادر خواهد بود تا کلیه مسائل موجود همانند تقاربهای مختلف را مورد بررسی قرارداده و مسیر حساس مناسبی بوجود آورد . هرچند می توان با وجود آوردن روشهای تکمیلی به‌روش - د ، قادر بود حتی برای مداراتی با فیدبک پیچیده نیز آزمایش بوجود آورد . همچنین روش - د قادر خواهد بود تا برای مدل های مختلف بکار گرفته شود .

برای شرح روش - د لازم است به بعضی تعاریف مفید زیر توجه شود .

۱-۹-۲) پوشش ویژه [4]

پوشش ویژه عبارتست از جدولی که می تواند عمل کامل یک قطعه و یا مدار در زمانی که هیچگونه اشکالی در مدار یا قطعه نمی باشد را نشان دهد . پوشش ویژه از جدول واقعیت های قطعه یا مدار استنتاج می شود و فرم فشرده ایست که عملکرد قطعه سالم را نشان می دهد . بعنوان مثال اگر چنانچه در وازه نقیض " و " در شکل (۲-۲۷ - الف) را در نظر بگیریم ، جدول واقعیت های آن در شکل (۲-۲۷ - ب) و یا جدول کارنو در شکل (۲-۲۷ - پ) نشان می دهد مقادیر خروجی (تابع) بازاء چه مقادیری از متغیرها (ورودی ها) دارای

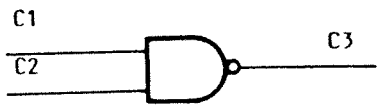
---

1) STORED STATE DEVICE

2) GLOBAL FEED-BACK

3) LSI & VLSI BASE

4) SINGULAR COVER



(الف)

	C1	C2	C3	
a	0	0	1	ON ARRAY
b	0	1	1	
c	1	0	1	
d	1	1	0	OFF ARRAY

(ب)

C2 \ C1	0	1
0	1	1
1	1	0

(پ)

شکل (۲۷-۲) : جدول واقعیت هاوجدول کارنوبرای دروازه نقیض " و "

مقدار (خروجی وباحالت) یك ویاصفربدین ترتیب :

$\overline{C_1} \longrightarrow C_3=1$

$\overline{C_2} \longrightarrow C_3=1$

C_1 AND $C_2 \longrightarrow C_3=0$

میباشد ۰بنابراین پوشش ویژه‌باتوجه‌به‌مقادیربالاعبارت است از :

	C_1	C_2	C_3	
ON ARRAY	0	X	1	مدلل عمده[1] C_3
	X	0	1	
OFF ARRAY	1	1	0	مدلل عمده $\overline{C_3}$

بنابراین درزمانیکه‌قطعه‌دارای خرابی نباشدخروجی C_3 بازاء مقادیربالامطابق جدول فوق خواهد بود ۰هریك ازسطورجدول فوق رایك مدلل عمده‌می نامند(مرجع ۹) ۰

هریك ازمدلل های عمده‌که‌دارای n بیت باشندبنام مکعب نامیده‌می شوند(توجه‌شودکه‌لغت مکعب بدلیل این واقعیت است که‌هرتابع n متغیری بولین می تواندبه‌یك فضای n بعدی نسبت داده‌شده وبریکی ازرئوس این مکعب واحدمنطبق شود) ۰بطورکلی هرمکعب عبارتست ازیك مجموعه‌بیت های مرتب شده‌که :

الف) موقعیت هربیت ،مشخصه‌موقعیتی مخصوص درداخل مدارمی باشد(یك ورودی ویایك خروجی مشخص ویایك ارتباط داخلی مداروغیره) ۰

ب) مقدارهربیت حالت آن موقعیت ازمدارراامشخص می کند ۰

بنابراین درمثال قبلی پوشش ویژه‌دارای سه‌مکعب ویژه[2] می باشدوموقعیت هریك بترتیب ازسمت چپ بامقادیر C_1 و C_2 و C_3 مشخص می شود ۰مقادیربیت های هرمکعب برابر 0 ، 1 یا X می باشد ۰

۲-۹-۲) مکعب - د[3]

بطورکلی اساس یك مکعب - د برای یك قطعه‌یامدارلوژیکی عبارتست ازیك مکعب بطوریکه‌قادر

---

1) PRIME IMPLICANT

2) SINGULAR CUBE

3) D - CUBE

۱۲۵

باشدنشان دهدکدام یك ویامجموعه‌ای ازورودی هاهستندکه‌مقادیرصفرویك آنها ،مقادیرخروجیهـــــا را کنترل می نمایند .

باتوجه‌به‌جدول واقعیت هامی توان بادرنظرگرفتن دوبدوی مکعب ها ،آن دومکعبی راکـــــه‌دارای خروجی متفاوت می باشندبررسی نمود(بایدتوجه‌شودکه‌تغییرخروجی به‌ازاء تغییرورودی انجـــــام می گردد) .

بعنوان مثال جدول واقعیت هادرشکل (۲۷-۲ - ب)رامی توان درنظرگرفت .همانطوریکه‌مشاهـــده می شوددرمکعب C و d تنهادرروی ورودی C_2 مقادیرمختلفی وجوددارددوبااین تغییر ،مقادیـــر خروجی روی C_3 نیزتغییرمی کند .بنابراین باثابت نگهداشتن C_1 درلوژیك یك می توان مقادیـــر خروجی C_3 راباتغییرمقادیر C_2 کنترل نمودویابعبارت دیگرباثابت نگهداشتن C_1 درلوژیـــك یك ،مسیرحساسی از C_2 به C_3 بوجودمی آیدکه‌قادرخواهدبوداثرهرنوع اشکال رسیده‌ازمدارقبلی‌را ازاین طریق عبوردهدواین تعریف منجربه‌تعریف مکعب - د می گردد .

باانتخاب یك سمبل کمنشانگرحالت حساسیت یك نقطه‌باشدکه‌دراینجاتغییرصفربه‌یك (1←0) بعنوان D وتغییریك به‌صفر (0←1)بعنوان $\bar{D}$ ازیك مکعب به‌مکعب دیگرمی باشد ،مکعـــب جدیدی بصورت $1_1 D_2 \bar{D}_3$ برای شکل (۲۷-۲ - ب)بدست می آید(توجه‌شودمی توان فرض رابرتغییـــر (0←1)معادل D وتغییر (1←0) معادل $\bar{D}$ قراردادودراین صورت مکعب - د بصورت $1_1 \bar{D}_2 D_3$ درمی آید) .

درنتیجه‌این عمل باادغام دومکعب ،یك مکعب بوجودآورده‌ایم که‌بنام مکعب - د انتشار[1] نامیـــده می شود . عمل ادغام می تواندبصورت زیردرقالب فرمول درآورده‌شود .

اگر α و β دومکعب n بیتی (دوبرداردرفضای n بعدی)باشندبترتیبی که :

$$\alpha = (\alpha_1 , \alpha_2 , \cdots , \alpha_i , \cdots , \alpha_n)$$

$$\beta = (\beta_1 , \beta_2 , \cdots , \beta_i , \cdots , \beta_n)$$

$$\alpha_i , \beta_i = 0,1 \qquad \forall i$$

تقاطع ویاوجه‌اشتراك[2] این دومکعب ،تشکیل مکعب - د انتشاررامی دهدبشرطی که :

الف) حداقل یکی ازخروجی هادر α بایکی ازخروجی های هم شماره‌اش تفاوت داشتمباشد .

ب) قواعدوجه‌اشتراك صفحه‌بعدبکارگرفته‌شدمباشند .

---

1) PROPAGATION D - CUBE

2) INTERSECTION

$$\alpha_i \cap \beta_i = \begin{cases} \alpha_i & \text{اگر } \alpha_i = \beta_i \\ D & \text{اگر } \alpha_i = 0 \text{ و } \beta_i = 1 \\ \overline{D} & \text{اگر } \alpha_i = 1 \text{ و } \beta_i = 0 \end{cases}$$

بعنوان مثال تقاطع مکعب های شکل (۲۷-۲ -ب) بترتیب زیر می باشد.

$$a \cap d = D_1 \quad D_2 \quad \overline{D}_3$$

$$b \cap d = D_1 \quad 1_2 \quad \overline{D}_3$$

$$c \cap d = 1_1 \quad D_2 \quad \overline{D}_3$$

$$d \cap a = \overline{D}_1 \quad \overline{D}_2 \quad D_3$$

$$d \cap b = \overline{D}_1 \quad 1_2 \quad D_3$$

$$d \cap c = 1_1 \quad \overline{D}_2 \quad D_3$$

مفهوم $a \cap d$ این است که اگر چنانچه ورودی C_1 مقدارش از صفر به یك و ورودی C_2 نیز مقدارش از صفر به یك تغییر نماید، خروجی مقدارش از یك به صفر تغییر می نماید و همچنین تقاطع $c \cap d$ نشان می دهد که اگر ورودی C_1 را در لوژیك یك ثابت نگهداریم، با تغییر ورودی C_2 از صفر به یك، خروجی از یك به صفر تغییر می یابد. همچنین تقاطع $D_1 D_2 \overline{D}_3$ نشانگر تغییر دو ورودی و همزمان تغییر خروجی می باشد که مرتبط با انتشار اثر اشکال از دو جهت و نتیجتا "تقارب مجدد مثبت می باشد.

۲-۹-۳) مکعب - د غیرقابل انتشار[1]

این مکعب شرایطی را نشان می دهد که تحت این شرایط علی رغم تغییرات روی یك یا چند ورودی، - تغییری در خروجی داده نمیشود و یا در این حالت می تواند یك مسیر حساس شده را بلوکه نماید. بنابراین با این تعریف، برای بدست آوردن مکعب های - د غیرقابل انتشار باید دو به دو مکعب هائی را در نظر گرفت که دارای خروجی یکسان می باشند. بعنوان مثال مکعب های - د غیرقابل انتشار شکل (۲۷-۲-ب) بصورت زیر تشکیل می شوند.

$$a \cap b = 0_1 \quad D_2 \quad 1_3$$

$$a \cap c = D_1 \quad 0_2 \quad 1_3$$

---

1) NON - PROPAGATING D - CUBE

$$b \cap c = D_1 \quad \bar{D}_2 \quad 1_3$$

$$c \cap b = \bar{D}_1 \quad D_2 \quad 1_3$$

$$c \cap a = \bar{D}_1 \quad 0_2 \quad 1_3$$

$$b \cap a = 0_1 \quad \bar{D}_2 \quad 1_3$$

مکعب $D_1\ \bar{D}_2\ 1_3$ نشان دهنده وجود تقارب مجدد منفی در مورد انتشار یک اشکال از دو مسیر و یا انتشار اشکال چندتائی ورسیدن در ورودی های قبلی به این نقطه می باشد (توجه شود مکعب های ـ د تاکنون از تقاطع دو مکعب مربوط به قطعه سالم بدست می آید و بنابراین مرتبط با خواص انتشار اثر اشکال می باشد.)

۴ـ۹ـ۲) مکعب ـ د اشکال [1]

این نوع مکعب نشان دهنده اختلاف عملکرد یک مدار و یا قطعه در زمان سالم بودن و خراب بودن میباشد و یا بعبارت دیگر این مکعب حاوی اطلاعات موجود در مورد اشکال در روی قطعه می باشد. بنابراین برای تشکیل مکعب ـ د اشکال از سطرهای جدول واقعیت ها (که عملکرد سالم و ناسالم مدار را نشان می دهد) استفاده می کنیم.

با بررسی جدول واقعیت های قطعه سالم و غیرسالم، دو سطر معادلی که خروجی آنها بازاء ورودی یکسان، متفاوت می باشد را در نظر گرفته و پس از تقاطع دو مکعب، مکعب اشکال بوجود می آید (توجه شود مکعب انتشار، عامل انتشار اشکال و مکعب اشکال، عامل بوجود آوردن اشکال می باشد).

مثالهای زیر می تواند بوجود آوردن مکعب های ـ د اشکال را در مورد مداراتی با مدل اشکالات متفاوت نشان دهد. جدول بعد نشان دهنده مقادیر ورودی برای یک دروازه نقیض " و " می باشد که در دو ستون C_3 و C_3^* بترتیب مقادیر صحیح خروجی و مقادیر مرتبط با اشکال نشان داده شده است.

با در نظر گرفتن اشکال s-a-1 در روی C_2، الگوی آزمایش برای پوشش این اشکال $C_2=0$ و $C_1=1$ بوده و مقدار خروجی بازاء این ورودی در مدار سالم برابر یک و برای مدار ناسالم یعنی s-a-1 و C_2 برابر صفر می باشد. بنابراین با توجه به این مطلب که در سطر سوم جدول نشان داده شده است، مکعب ـ د اشکال برابر $(1_1 0_2 D_3)$ می باشد.

باید توجه شود که تعریف سمبل D در مکعب ـ د اشکال بدین ترتیب است که اگر مقدار صحیح $D(\bar{D})=1(0)$ باشد، برای وخود اشکال برابر $D(\bar{D})=0(1)$ می باشد.

---

1) FAILURE D - CUBE

C_1	C_2	C_3 (FAULT FREE)	C_3^* (FAULTY)
0	0	1	1
0	1	1	1
1	0	1	0
1	1	0	0

اگرچنانچه‌نوع اشکال دارای مدل ایستائی نبوده‌ودارای مدل پل سازمباشد،تعریف مکعب ـ د بصورت قبلی می باشد.بعنوان مثال باتوجه‌به‌شکل (۲ـ۲۸ ـ ب)مشاهده‌می گرددکه‌دوارتباط شکل (۲ـ۲۸ ـ الف) بیکدیگراتصال نموده‌واشکال "واتصالی "بوجودآورده‌اند.

جداول زیر بترتیب مقادیرورودی وخروجی رابرای قطعه‌بدون اشکال وبا اشکال نشان می دهد باتوجه‌به‌سطوردوم وسوم مکعب های ـ د اشکال برای آن بصورت $(0_1\ 1_2\ 0_3\ D_4)$ و $(D_3\ 0_4\ 1_1\ 0_2)$ می باشد.

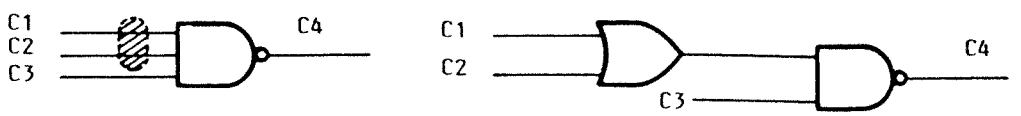
C_1	C_2	C_1^*	C_2^*
0	0	0	0
0	1	0	0
1	0	0	0
1	1	1	1

C_1	C_2	C_1^*	C_2^*
0	0	0	0
0	1	0	1
1	0	1	0
1	1	1	1

بهمین ترتیب برای یك اشکال "یای اتصالی "وبراساس شکلهای (۲ـ۲۹ ـ الف)و(۲ـ۲۹ ـ ب) وهمچنین جدول صفحه‌بعد،مکعب های ـ داشکال برابربا $(0_1\ 1_2\ 1_3\ D_4)$ و $(1_1\ 0_2\ 1_3\ D_4)$ می باشد.

۱۲۹

شکل (۲۸ـ۲): اشکال پل سازمازنوع " و " اتصالی



شکل (۲۹ـ۲): اشکال پل سازمازنوع " یا " اتصالی

۱۳۵

C_1	C_2	C_3	C_4 (FAULT FREE)	C_4^* (FAUL TY)
0	0	0	1	1
0	0	1	1	1
0	1	0	1	1
0	1	1	1	0
1	0	0	1	1
1	0	1	1	0
1	1	0	1	1
1	1	1	0	0

باتوجه‌به‌تعاریف ومثالهای فوق می توان یك استنتاج کامل برای کاربردروش ـ د بصورت فرمول بیان نمود. بنابراین روش ـ د را می توان دارای سه‌مرحله‌دانست :

مرحله اول

درنظرگرفتن یك اشکال ممکن درمداروتعریف مکعب ـ د اشکال برای این اشکال .

مرحله دوم

انتخاب یك مسیرمناسب وبرپانمودن امکان انتشارواثراین اشکال به‌خروجی قابل رویت . این مرحله‌رانش ـ د[1] نامیده‌می شود.

مرحله سوم

تائیدپایداری یاثبوت قطعیت مقادیرورودی .

برای انجام سه‌مرحله‌فوق ،مدارشکل (۲-۳۰)رادرنظربگیرید.اگراشکال بصورت s-a-0 و C_1 باشد ،ابتدابرای‌پوشاندن اشکال[2] ویابعبارتی فعال کردن آن ازمکعب ـ د اشکال برای دروازه U_1 بدون درنظرگرفتن دروازه U_2 استفاده‌می کنیم یعنی مکعب ـ د اشکال بصورت صفحه‌بعدمی باشد :

---

1) D - DRIVE

2) FAULT COVERING

۱۳۱

C_1	C_2	C_3	C_4	C_5
1	1	X	$\overline{D}$	X

حال برای انتشار این اشکال به نقطه قابل رویت در نقطه C_5 ، از مکعب انتشار مربوط به دروازه U_2 استفاده می کنیم . می دانیم مکعب های ـ د انتشار این قطعه بصورت :

C_1	C_2	C_3	C_4	C_5
X	X	D	1	$\overline{D}$
X	X	1	D	$\overline{D}$
X	X	$\overline{D}$	1	D
X	X	1	$\overline{D}$	D
X	X	D	D	$\overline{D}$
X	X	$\overline{D}$	$\overline{D}$	D

وچون مکعب اشکال $C_1/1$ باسطرچهارم قابل تقاطع بوده ، بنابراین مکعب ـ د حاصل بصورت (1_1 1_2 1_3 $\overline{D}_4$ D_5) بدست می آید که مقدار $C_3=1$ می تواند ثبوت آزمایش را تائید نماید .

باید توجه گردد برای بدست آوردن مکعب آزمایش فوق از تقاطع مکعب های ـ د استفاده گردید . بطور کلی تقاطع مکعب های ـ د براساس روش زیر بدست می آید .

اگرچنانچه α و β دومکعب ـ د بصورت زیر باشند :

$$\alpha = (\alpha_1 , \alpha_2 , \cdots , \alpha_i , \cdots , \alpha_n)$$

$$\beta = (\beta_1 , \beta_2 , \cdots , \beta_i , \cdots , \beta_n)$$

بطوریکه برای همه مقادیر i ، مقادیر $\alpha_i , \beta_i = 0, 1, X, D, \overline{D}$ درنظرگرفته شود ، تقاطع دو مکعب α و β برابراست با :

$$\alpha \cap \beta = (\alpha_1 \cap \beta_1) , (\alpha_2 \cap \beta_2) , \ldots , (\alpha_i \cap \beta_i) , \ldots , (\alpha_n \cap \beta_n)$$

ومقادیر هرپرانتز با شرایط زیر مشخص می شود :

$$\alpha_i \cap \beta_i = \begin{cases} \alpha_i & \text{اگر } \alpha_i = \beta_i \\ \alpha_i (\beta_i) \quad \beta_i (\alpha_i) = X & \text{اگر} \\ \emptyset & \text{درغیر این صورت} \end{cases}$$

کلیه نتایج می توان براساس جدول صفحه بعد نشان داده شود :

β_i \ α_i	0	1	X	D	$\overline{D}$
0	0	Ø	0	Ø	Ø
1	Ø	1	1	Ø	Ø
X	0	1	X	D	$\overline{D}$
D	Ø	Ø	D	D	Ø
$\overline{D}$	Ø	Ø	$\overline{D}$	Ø	$\overline{D}$

باتوجه‌به‌جدول فوق اکنون می توان با استفاده‌ازشکل (۲-۳۱)کاربردروش ـ د رابطورکامل آزمایش نمودوبنابراین نهایتا "مکعب هائی بدست می آوریم که‌اطلاعات لازم رابرای تولیدبرنامه آزمایش بوجودآورد ۰این مکعب ها مرتبط باهریك ازاشکالات ممکن درلیست اشکالات می باشد ۰

برای تعیین یکی ازمکعب های لازم وبادرنظرگرفتن اشکال s-a-1 و C_1 مراحل لازم رابترتیب زیرانجام می دهیم ۰

برای بدست آوردن مکعب ـ د اشکال برای اشکال مذکور ،مقدار $C_1=0$ منظورشده‌وباتوجه‌به‌اینکه این اشکال ازیك مداردارای انشعاب منتشرمی شود ،مکعب ـ د اشکال بصورت $(0_1 \ \overline{D}_4 \ \overline{D}_6 \ \overline{D}_8)$ $=tc_0$ می باشد۰ tc_0 رامکعب آزمایش[1] می نامیم ۰

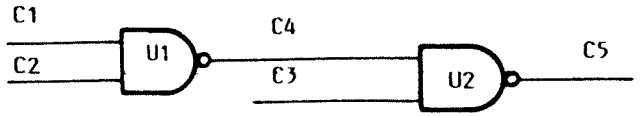
درارتباط بامکعب آزمایش ،تعدادی ازدروازه‌ها وجوددارندکه‌حداقل دارای یك ورودی می باشندکه با D ویا $\overline{D}$ تعریف شده‌ولی خروجی آنها هنوزمعین نگردیده‌واین بعلت این است که‌هنوزمکعب ـ د انتشاربرای آنان موردبررسی واقع‌نشده‌است ۰ لیست چنین دروازه‌هائی بنام د ـ مرزی[2] نامیده‌میشود ۰ د ـ مرزی دراین حالت بصورت $Df_0=(U_1 \ , U_2 \ , U_3)$ می باشد۰

حال برای انتشاراین خطادرارتباط بامکعب آزمایش tc_0 ،این مکعب راباهرکدام ازمکعبهای انتشاردروازه‌های موجوددر Df_0 متقاطع می سازیم ۰ اگرچنانچه‌عمل تقاطع درهرمرحله‌باموفقیت انجام شود ،مکعب آزمایش موردنظربدست می آیدودرغیراین صورت مجموعه‌بدست آمده‌بصورت مجموعه تهی Ø می باشدکه‌مشخصه‌آن بدین صورت است که‌درطول مسیرانتخاب شده‌هیچگونه‌آزمایش (ورودی مناسب)وجودندارد ۰

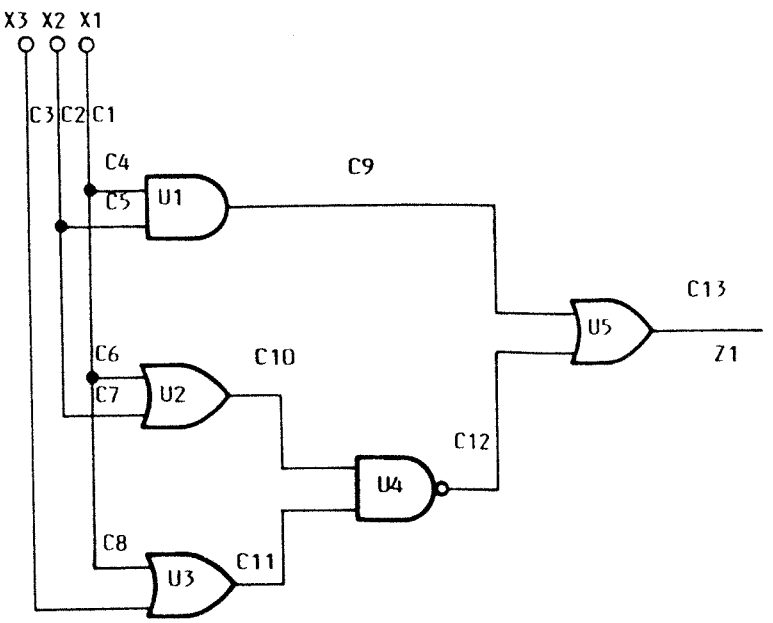
---

1) TEST CUBE

2) D - FRONTIER



شکل (۳۰-۲): مدار مربوط به کاربرد روش ـ د



شکل (۳۱-۲): مدار ترکیبی برای کاربرد روش ـ د

برای U_1 باتوجه‌به‌جدول مکعب های انتشاردروازه،مکعب $(\bar{D}_4 \ 1_5 \ \bar{D}_9)$ ،مکعب انتشار موردنظرمی باشد(انتخاب این مکعب بدلیل وجود $\bar{D}_4$ درمکعب tc_0 می باشد)،باتقاطع این مکعب و tc_0 وباتوجه‌به‌اینکه‌بقیه‌ورودیها X می باشندبترتیب :

GATE U_1 $\quad tc_1 = tc_0 \cap (\bar{D}_4 \ 1_5 \ \bar{D}_9)$

$tc_1 = (0_1 \ \bar{D}_4 \ 1_5 \ \bar{D}_6 \ \bar{D}_8 \ \bar{D}_9)$

$Df_1 = (U_2 , U_3 , U_5)$

وسپس

GATE U_2 $\quad tc_2 = tc_1 \cap (\bar{D}_6 \ 0_7 \ \bar{D}_{10})$

$tc_2 = (0_1 \ \bar{D}_4 \ 1_5 \ \bar{D}_6 \ 0_7 \ \bar{D}_8 \ \bar{D}_9 \ \bar{D}_{10})$

$Df_2 = (U_3 , U_4 , U_5)$

وسپس

GATE U_3 $\quad tc_3 = tc_2 \cap (0_3 \ \bar{D}_8 \ \bar{D}_{11})$

$tc_3 = (0_1 \ 0_3 \ \bar{D}_4 \ 1_5 \ \bar{D}_6 \ 0_7 \ \bar{D}_8 \ \bar{D}_9 \ \bar{D}_{10} \ \bar{D}_{11})$

$Df_3 = (U_4(2) , U_5)$

توجه‌شودمقدار U_4 (2) درد - مرزی باین مفهوم است که‌عمل انتشار- د بطرف U_4 ازدوورودی - مختلف آن انجام شده‌که‌اصطلاحا "د - متقارب [1] گفته‌می شودوبنابراین درمکعب های انتشارچند ورودی برای دروازه U_4 استفاده‌شده‌است .

GATE U_4 $\quad tc_4 = tc_3 \cap (\bar{D}_{10} \ \bar{D}_{11} \ D_{12})$

$tc_4 = (0_1 \ 0_3 \ \bar{D}_4 \ 1_5 \ \bar{D}_6 \ 0_7 \ \bar{D}_8 \ \bar{D}_9 \ \bar{D}_{10} \ \bar{D}_{11} \ D_{12})$

$Df_4 = (U_5 (2))$

بایدتوجه‌شودچون عمل تقاطع باموفقیت انجام شد،دراینجاتقارب دوباره‌مثبت وجودداشته‌است .

---

1) D - RECONVERGENT

GATE U_5 $\quad tc_5 = tc_4 \cap (\bar{D}_9 \; D_{12} \; ?)$

$tc_5 = tc_4 \cap (D_9 \; D_{12} \; D_{13}) = \emptyset$

$tc_5 = tc_4 \cap (\bar{D}_9 \; \bar{D}_{12} \; \bar{D}_{13}) = \emptyset$

توجه‌می شودکه‌عدم توانائی انتشار D بخروجی دروازه U_5 بعلت وجودتقارب منفی موجود می باشد.بعلت اینکه‌وجود D_9 و D_{12} درروی دوورودی هیچگونه‌تغییری رادرخروجی بوجودنمی آورد بنابراین انتشاراثرهمزمان درروی تمام مسیرها امکان پذیرنمی باشد.موردديگراین است که tc_4 قابلیت تقاطع با مکعب ـ د غیرانتشارراداراما می باشدکه‌این خوددلیل تقارب منفی می باشد.بنابراین:

$tc_5 = tc_4 \cap (\bar{D}_9 \; D_{12} \; 1_{13})$

$tc_5 = (0_1 \; 0_3 \; \bar{D}_4 \; 1_5 \; \bar{D}_6 \; 0_7 \; \bar{D}_8 \; \bar{D}_9 \; \bar{D}_{10} \; \bar{D}_{11} \; D_{12} \; 1_{13})$

عدم موفقیت درانتشاراشکال بصورت همزمان ازکلیه‌مسیرهای ممکن، سبب می شودکه‌انتشاراشکال رااز تعدادکمتری ازمسیرها ادامه‌دهیم وبرای این منظورکافی است که‌درزمان انتشار،دروازه‌هائیکه درمسیرنیستندمسدودشوند.

برای انجام این منظوردرزمان تقاطع مکعب آزمایش (برای گیت مسدودشونده)بایدازمکعب غیر قابل انتشاراستفاده‌نمائیم. دراین مورداگرانتشاراشکال بخواهدازطریق دروازه‌های U_2 و U_3 باشدو U_1 دروازه‌مسدودشونده‌درنظرگرفته‌شود،برای ایجادآزمایش ،مجددا" tc_0 رادرنظر می گیریم.

$tc_0 = (0_1 \; \bar{D}_4 \; \bar{D}_6 \; \bar{D}_8)$

$Df_0 = (\bar{U}_1 , U_2 , U_3)$

توجه‌شودمقدار $\bar{U}_1$ در د ـ مرزی نشان دهنده‌آن است که‌دروازه U_1 جز، مسیرحساس قرار نداشته‌وبنابراین برای این دروازه‌بایدمکعب ـ د غیرقابل انتشارانتخاب شود.

GATE U_1 $\quad tc_1 = tc_0 \cap (\bar{D}_4 \; 0_5 \; 0_9)$

$tc_1 = (0_1 \; \bar{D}_4 \; 0_5 \; \bar{D}_6 \; \bar{D}_8 \; 0_9)$

$Df_1 = (U_2 , U_3)$

توجه‌شودعلی رغم اینکه‌مقدار 0_9 روی U_5 بوجودآمده‌است ولی چون تغییری درآن حاصل نشده

GATE U_5 $\quad tc_5 = tc_4 \cap (\bar{D}_9 \; D_{12} \; ?)$

$$tc_5 = tc_4 \cap (D_9 \; D_{12} \; D_{13}) = \emptyset$$

$$tc_5 = tc_4 \cap (\bar{D}_9 \; \bar{D}_{12} \; \bar{D}_{13}) = \emptyset$$

توجه‌می شودکه‌عدم توانائی انتشار D بخروجی دروازه U_5 بعلت وجودتقارب منفی موجود می باشد.بعلت اینکه‌وجود D_9 و D_{12} درروی دوورودی هیچگونه‌تغییری رادرخروجی بوجودنمی آورد بنابراین انتشاراثرهمزمان درروی تمام مسیرهاامکان پذیرنمی باشد.موردیگراین است که tc_4 قابلیت تقاطع بامکعب ـ د غیرانتشارراداراما می باشدکه‌این خوددلیل تقارب منفی می باشد.بنابراین:

$$tc_5 = tc_4 \cap (\bar{D}_9 \; D_{12} \; 1_{13})$$

$$tc_5 = (0_1 \; 0_3 \; \bar{D}_4 \; 1_5 \; \bar{D}_6 \; 0_7 \; \bar{D}_8 \; \bar{D}_9 \; \bar{D}_{10} \; \bar{D}_{11} \; D_{12} \; 1_{13})$$

عدم موفقیت درانتشاراشکال بصورت همزمان ازکلیه‌مسیرهای ممکن، سبب می شودکه‌انتشاراشکال راازتعدادکمتری ازمسیرهاادامه‌دهیم وبرای این منظورکافی است که‌درزمان انتشار،دروازه‌هائیکه درمسیرنیستندمسدودشوند.

برای انجام این منظوردرزمان تقاطع مکعب آزمایش (برای گیت مسدودشونده)بایدازمکعب غیر قابل انتشاراستفاده‌نمائیم. دراین مورداگرانتشاراشکال بخواهدازطریق دروازه‌های U_2 و U_3 باشدو U_1 دروازه‌مسدودشونده‌درنظرگرفته‌شود،برای ایجادآزمایش ،مجددا" tc_0 رادرنظر می گیریم.

$$tc_0 = (0_1 \; \bar{D}_4 \; \bar{D}_6 \; \bar{D}_8)$$

$$Df_0 = (\bar{U}_1 \; , \; U_2 \; , \; U_3)$$

توجه‌شودمقدار $\bar{U}_1$ در د ـ مرزی نشان دهنده‌آن است که‌دروازه U_1 جزء مسیرحساس قرار نداشته‌وبنابراین برای این دروازه‌بایدمکعب ـ د غیرقابل انتشارانتخاب شود.

GATE U_1 $\quad tc_1 = tc_0 \cap (\bar{D}_4 \; 0_5 \; 0_9)$

$$tc_1 = (0_1 \; \bar{D}_4 \; 0_5 \; \bar{D}_6 \; \bar{D}_8 \; 0_9)$$

$$Df_1 = (U_2 \; , \; U_3)$$

توجه‌شودعلی رغم اینکه‌مقدار 0_9 روی U_5 بوجودآمده‌است ولی چون تغییری درآن حاصل نشده

(عدم وجود D ویا $\bar{D}$)،بنابراین در Df_1 موردنظرنمی باشد.

GATE U_2 $\quad tc_2 = tc_1 \sqcap (\bar{D}_6\ 0_7\ \bar{D}_{10})$

$tc_2 = (0_1\ \bar{D}_4\ 0_5\ \bar{D}_6\ 0_7\ \bar{D}_8\ 0_9\ \bar{D}_{10})$

$Df_2 = (U_3 , U_4)$

وسپس

GATE U_3 $\quad tc_3 = tc_2 \sqcap (0_3\ \bar{D}_8\ \bar{D}_{11})$

$tc_3 = (0_1\ 0_3\ \bar{D}_4\ 0_5\ \bar{D}_6\ 0_7\ \bar{D}_8\ 0_9\ \bar{D}_{10}\ \bar{D}_{11})$

$Df_3 = (U_4(2) , U_5)$

وسپس

GATE U_4 $\quad tc_4 = tc_3 \sqcap (\bar{D}_{10}\ \bar{D}_{11}\ D_{12})$

$tc_4 = (0_1\ 0_3\ \bar{D}_4\ 0_5\ \bar{D}_6 0_7\ \bar{D}_8\ 0_9\ \bar{D}_{10}\ \bar{D}_{11}\ D_{12})$

$Df_4 = (U_5)$

وسپس

GATE U_5 $\quad tc_5 = tc_4 \sqcap (0_9\ D_{12}\ D_{13})$

$tc_5 = (0_1\ 0_3\ \bar{D}_4\ 0_5\ \bar{D}_6\ 0_7\ \bar{D}_8\ 0_9\ \bar{D}_{10}\ \bar{D}_{11}\ D_{12}\ D_{13})$

$Df_5 = \emptyset$

تااینجاعمل انجام رانش ـ د باموفقیت انجام گردیده‌است . مرحلهنهائی عبارتست ازاثبات عدم تناقض درروی اتصالاتیکه‌دارای مقادیرثابت صفرویك می باشندویابعبارتی تائیدپایداری مقادیر ثابت در tc_5 .بنابراین باتوجه‌به‌مکعب آزمایش بدست آمده ،محورهائی که‌دارای مقادیرثابت می باشندعبارتنداز :

$fV = (9 , 7 , 5 , 3 , 1)$

که‌بنام مجموعه‌مقادیرثابت[1] نامیده‌می شود.

بادرنظرگرفتن مکعب آزمایش بدست آمده‌بصورت :

$tc_5 = (0_1\ 0_3\ \bar{D}_4\ 0_5\ \bar{D}_6\ 0_7\ \bar{D}_8\ 0_9\ \bar{D}_{10}\ \bar{D}_{11}\ D_{12}\ D_{13})$

---

1) FIXED VALUE

۱۳۷

ومجموعه‌مقادیرثابت بصورت :

$$fV_5 = (9 , 7 , 5 , 3 , 1)$$

ازاولین محوریعنی شماره ۹ شروع می کنیم ،چون محورشماره ۹ خروجی دروازه U_1 بوده‌ودارای مقدارصفرمی باشد (O_9) ،بنابراین جهت اثبات پایداری این مقدارثابت بایدقادرباشیم ، شرایط ورودی هائیکه‌در tc_5 برای این دروازه‌وجوددارندیعنی $(\overline{D}_4 \; O_5)$ رابایکی ازسطرهای پوشش ویژه‌متقاطع‌بنمائیم ،برای محورشماره۹ چون $(\overline{D}_4 \; O_5 \; O_9)$ ،بنابراین :

$$tc_6 = tc_5 \sqcap (X_4 \; O_5 \; O_9)$$

$$tc_6 = (O_1 \; O_3 \; \overline{D}_4 \; O_5 \; \overline{D}_6 \; O_7 \; \overline{D}_8 \; O_9 \; \overline{D}_{10} \; \overline{D}_{11} \; D_{12} \; D_{13})$$

$$fV_6 = (7 , 5 , 3 , 1)$$

برای محورشماره ۷ چون $(O_2 \; O_7)$ ،بنابراین :

$$tc_7 = tc_6 \sqcap (O_2 \; O_7)$$

$$tc_7 = (O_1 \; O_2 \; O_3 \; \overline{D}_4 \; O_5 \; \overline{D}_6 \; O_7 \; \overline{D}_8 \; O_9 \; \overline{D}_{10} \; \overline{D}_{11} \; D_{12} \; D_{13})$$

$$fV_7 = (5 , 3 , 2 , 1)$$

برای محورشماره ۵ چون $(O_2 \; O_5)$ ،بنابراین :

$$tc_8 = tc_7 \sqcap (O_2 \; O_5)$$

$$tc_8 = (O_1 \; O_2 \; O_3 \; \overline{D}_4 \; O_5 \; \overline{D}_6 \; O_7 \; \overline{D}_8 \; O_9 \; \overline{D}_{10} \; \overline{D}_{11} \; D_{12} \; D_{13})$$

$$fV_8 = (3 , 2 , 1)$$

دراین حالت چون مقادیرثابت عبارتندازشماره‌های ورودیهای اصلی مدار ،بنابراین قابل کنترل باآزماینده‌بوده‌ومی توان هرمقدار لازم که‌دراین الگوبرابر $X_1 = X_2 = X_3 = 0$ می باشدرابوجود آورد.

اطلاعات موجوددر tc_8 عبارت ازالگوهای آزمایش ،اطلاعات گره‌ها (برای وجوداشکال و همچنین عدم وجوداشکال)ومقادیرخروجیها (برای وجوداشکال وهمچنین عدم وجوداشکال)می باشد. این اطلاعات کاربردجهت استفاده‌ازکاوش بصورت کامپیوتری وهمچنین ردیابی خطابصورت اتوماتیک رادارامی باشد.

۱۳۸

۱۰-۲) تولید آزمایش به روش مسیر بحرانی [1]

یکی دیگر از روش های تولید آزمایش مدارات ترکیبی ، روش مسیر بحرانی می باشد . در این روش نیز شبیه روش LASAR [2] تولید آزمایش بصورت تصادفی [3] و مستقل از اشکال انجام می شود . به بیان دیگر آزمونی را می یابیم که مقادیر با شد بیشترین تعداد اشکال را آشکار نماید . روش تولید آزمایش بصورت زیر می باشد :

الف) برای تولید آزمایش از هر خروجی مدار بطرف ورودی آن حرکت می نمائیم . ابتدا یک خط خروجی را انتخاب و برای این خروجی لوژیک صفر و یا یک را در نظر می گیریم . باز ا یکی از این مقادیر ، یک ورودی - زمانی بحرانی می باشد که تغییر در مقدار آن ، منجر به تغییر لوژیک خروجی گردد . حال مقادیر ورودی دروازه های طبقه قبل را با توجه به مقدار بحرانی تعریف شده تعیین و این عمل را تا به ورودیهای اصلی مدار برسیم ادامه می دهیم . در این حال کلیه مقادیر ورودیهای اصلی بحرانی تعیین شده اند .

لازم بتذکر است که جهت هر انتخاب ممکن برای نقاط ورودیهای میانراهی در مدار ، باید تمامی استلزام ها [4] تا زمان تعیین کلیه مقادیر ورودیهای اصلی ادامه یابد . زمانی که استلزام برای خط بحرانی فوق انجام یافت ، برای خطوط غیربحرانی عمل توجیه خط [5] را انجام می دهیم بدین مفهوم که مقادیری به آنها اختصاص می دهیم که مغایر با لوژیک تعیین شده در مسیر خطوط بحرانی نباشد . چنانچه در حین تعیین مقادیر ورودیهای اصلی مدار جهت یک خروجی بحرانی به تناقض رسیده و نتوان مقادیر ورودی لازم را یافت ، عقبگرد نموده و انتخاب ممکن دیگری را در نظر می گیریم .

ب) مراحل فوق الذکر را برای خروجی بحرانی با لوژیک یک تکرار می کنیم .

پ) مراحل (الف) و (ب) را جهت دیگر خروجیهای مدار انجام می دهیم .

برای مثال تعیین مقادیر بحرانی در یک دروازه نقیض " و " با دو ورودی X_1 و X_2 بدین صورت انجام می شود که ابتدا برای خروجی لوژیک یک در نظر می گیریم . در این حالت ورودیهای آن بصورت $X_1=0$ و $X_2=1$ می توانند باشد . دیده می شود ورودی X_1 بحرانی محسوب می شود زیرا با تغییر آن از لوژیک صفر به لوژیک یک ، خروجی نیز تغییر وضعیت پیدا می کند .

با استدلال مشابه دیده میشود برای الگوی آزمایش $X_1=1$ و $X_2=0$ نیز X_2 مقدار بحرانی محسوب میشود حال آنکه برای الگوی $X_1=0$ و $X_2=0$ هیچکدام بحرانی نمی باشند زیرا با ازای تغییر

---

1) CRITICAL PATH TEST GENERATION
2) LOGIC AUTOMATED STIMULUS AND RESPONSE
3) RANDOM TEST GENERATION
4) IMPLICATION
5) LINE JUSTIFICATION

هریك ،خروجی همچنان درلوژیك یك قرارگرفته‌وتغییرنمی کند.

بابررسی الگوی آزمایش $X_1=1$ و $X_2=1$ نتیجه‌می شودهردوورودی بحرانی بوده‌وباتغییرهریك ازاین دو ،خروجی نیزتغییرمی یابد.

حال اگرورودیهای X_1 و X_2 خودازمدارات ترکیبی دیگرسرچشمه‌گیرند ،بایدمقادیرورودی‌دروازه‌های موجوددرآنهاراچنان انتخاب ومسیرهاراطی کنیم که‌حداکثرتعدادبحرانی راداشته‌باشیم.بعنوان مثال مدارشکل (۲-۳۲)راازنظرمی گیریم.

درابتدابرای سیگنال خروجی C_7 ،لوژیك صفررادرنظرمی گیریم.ورودیهای دروازه U_3 بدین شکل ،بصورت $C_6=1$ و $C_5=0$ ویا $C_6=0$ و $C_5=1$ بدست می آید.جهت انتخاب اول برای مقدار بحرانی $C_5=0$ ،ورودیهای دروازه U_1 بصورت $X_1=X_2=1$ بدست می آیدکه‌هردوورودی بحرانی محسوب می شوند.حال جهت داشتن مسیرحساس برای این مقادیربابررسی $C_6=1$ ،ورودیهای دروازه U_2 بصورت $X_3=X_4=0$ تعیین ونتیجتا "اولین الگوی آزمایش بصورت (1 1 0 0) بدست می آید.

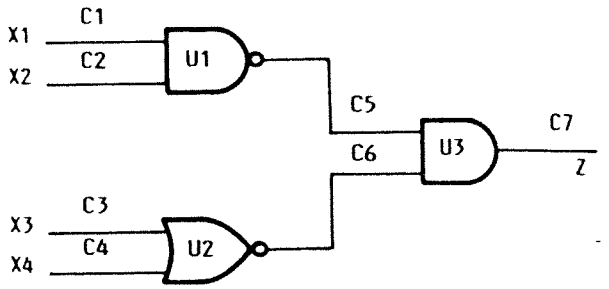
جهت انتخاب دوم برای مقداربحرانی $C_6=0$ ،ورودیهای دروازه U_2 بصورت $X_4=1$ و $X_3=0$ ویا $X_4=0$ و $X_3=1$ تعیین می شود.بطریق مشابه‌جهت یافتن مسیرحساس وتوجیه‌نمودن $C_5=1$ لازم است که $X_1=0$ یا $X_2=0$ باشد.توجه‌می شودکه‌دراین حالت مقدار $C_5=1$ مقداری بحرانی محسوب نمی شود.

حال مطابق الگوریتم ذکرشده ،برای سیگنال خروجی C_7 ،لوژیك یك رادرنظرمی گیریم بدین ترتیب ورودیهای دروازه U_3 بصورت $C_5=C_6=1$ بدست می آیدکه‌هردومقداری بحرانی هستند.

مقداربحرانی $C_5=1$ جهت دروازه U_1 مقادیر $X_2=1$ و $X_1=0$ویا $X_2=0$ و $X_1=1$ ومقدار بحرانی $C_6=1$ جهت دروازه U_2 مقادیر $X_3=X_4=0$ رانیازمنداست .نتیجتا "دومین وسومین الگوهای آزمایش بصورت (0 1 0 0) و(1 0 0 0) بدست می آید.بنابراین مدارشکل (۲-۳۲) باسه‌قدم $A\,B\,\bar{C}\,\bar{D}$ ، $\bar{A}\,B\,\bar{C}\,\bar{D}$ و $A\,\bar{B}\,\bar{C}\,\bar{D}$ تحت آزمایش قرارگرفته‌وکلیه‌تك اشکالات ایستائی درآن آشکاریذیراست .همانگونه‌که‌ملاحظه‌شددراین روش جهت ردیابی هرمقدار بحرانی وانجام عمل توجیه‌خط ،تنهاباییدیك مسیرحساس رادرنظرگیریم ازاین جهت ممکن است برای یافتن الگوهای آزمایش درمداراتی کهنیازبه‌حساس نمودن مسیرهای چندگانه‌دارند ،این الگوریتم از کارآئی یا لائی برخوردارنباشد.

گاهی ازاوقات نیزممکن است درحین اجرای این روش ،خطوط زیادی یافت شوندکه‌دارای مقادیر بحرانی باشند.سیگنالهای تمامی این خطوط بایدبنوبت پردازش شده‌ودرصورت لزوم عمل عقبگرد انجام شود.بعبارت دیگربایددرصورت لزوم به‌تك تك خروجی های مدار ،مقادیربحرانی اختصاص یابد.

۱۴۵



شکل (۲-۳۲): مدارترکیبی برای کاربردروش مسیربحرانی

۱۴۱

۲-۱۱) روشهای جبری برای تعیین الگوهای آزمایش درمدارات ترکیبی (الف)

تولیدالگوهای آزمایش بااستفاده‌ازاین روش ،براساس استفاده‌ازتابع بولین واحدترکیبی مورد آزمایش می باشد .بنابراین پایه‌اصل عبارت است ازبدست آوردن دوتابع بولین کهیکی نشانگرتابع درزمان صحیح بودن مداروديگری تابع مدارباز، وجوداشکال درآن می باشد .بابدست آوردن دوتابع مذبور ،نتیجه‌تفاضل بولین آن کهجمع‌دوتابع بصورت EX-OR می باشد ،می تواندالگوی آزمایشی برای اشکالات نوع ایستائی رابوجودآورد .

بنابراین اگرتابع یك مدارترکیبی رادرحالت بدون اشکال با f ودراثربروزاشکال α با f_α نشان بدهیم ،بایدبرای کشف این اشکال ،رفتارمدارداین دوحالت بایکدیگرتفاوت داشته‌باشد یعنی دراین حالت مقادیر f_α . f یا f_α . $\overline{f}$ قادربه‌آشکارسازی اشکال α می باشد .

ازاین مطلب میتوان چنین نتیجه‌گرفت که‌مجموعه‌الگوهای آزمایش T جهت آشکارسازی اشکال α بصورت زیربدست می آید :

$$T = f \cdot \overline{f_\alpha} + \overline{f} \cdot f_\alpha$$

$$T = f \oplus f_\alpha$$

بعنوان مثال مدارترکیبی شکل (۲-۳۳) رادرنظربگیرید .دراین مداراشکال α بصورت X/0 تعریف شده‌است .

تابع مدارشکل (۲-۳۳)بصورت $f=XY + ZW$ بوده‌ودراثربروزاشکال α ،تابع مداربه‌صورت $f_\alpha = ZW$ تبدیل می شود .الگوهای آزمایش T جهت آشکارسازی اشکال فوق بترتیب زیربدست می آید :

$$T = f \oplus f_\alpha$$

$$T = (XY + ZW) \oplus (ZW)$$

$$T = (\overline{XY + ZW}) \cdot (ZW) + (XY + ZW) \cdot (\overline{ZW})$$

$$T = \overline{XY} \cdot \overline{ZW} \cdot ZW + XY\overline{Z} + XY\overline{W} + ZW\overline{Z} + ZW\overline{W}$$

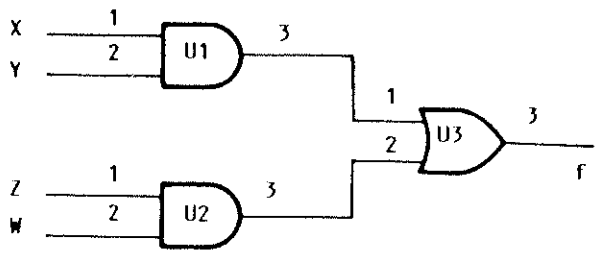
$$T = XY\overline{Z} + XY\overline{W}$$

یعنی مجموعه‌تست T عبارت است از :

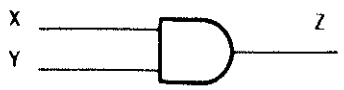
$$T = \{1101 \ , \ 1100 \ , \ 1110\}$$

مثال دیگربرای دروازه" و "درشکل (۲-۳۴ - الف)می باشد .دراثربروزاشکال ،این دروازه‌به دروازه" یا " درشکل (۲-۳۴ - ب) تبدیل شده‌است .

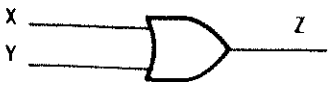
۱۴۲



شکل (۲ـ۳۳): مدارترکیبی برای کاربردروش تفاضلی بولین

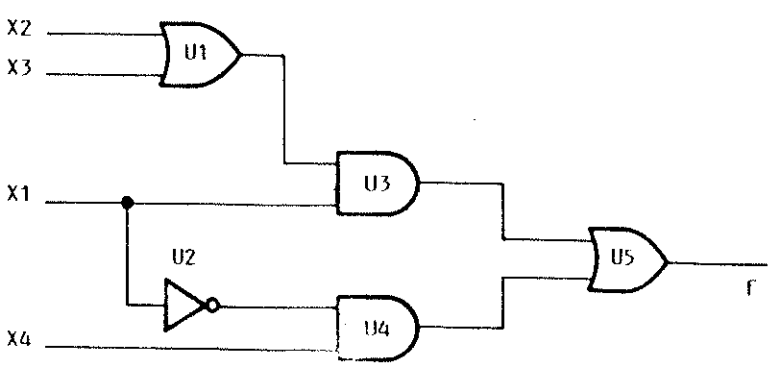


(الف)



(ب)

شکل (۲ـ۳۴): تبدیل دروازه " و " وبدروازه " یا " دراثراشکال



شکـل (۲ـ۳۵) : مدارتر کیبی

۱۴۳

تابع مداربدون اشکال $f=X.Y$ وتابع مداربااشکال $f_{\alpha}=X+Y$ می باشدبنابراین برای بدست آوردن الگوهای آزمایش T داریم :

$$T = f \oplus f_{\alpha}$$

$$T = (XY) \oplus (X+Y)$$

$$T = (\overline{XY}) \cdot (X+Y) + (XY) \cdot (\overline{X+Y})$$

$$T = (\overline{X} + \overline{Y}) \cdot (X + Y) + X Y \cdot \overline{X}\,\overline{Y}$$

$$T = X\overline{Y} + \overline{X}Y$$

یعنی مجموعه‌تست T عبارت است از :

$$T = \{ 0\,1 \ , \ 1\,0 \}$$

محاسبه‌روابط با لامعمولا "با استفاده‌ازقوانین جبربول انجام می گردد.یك مدارترکیبی که‌شامل n ورودی میباشدرادرنظرمی گیریم اگرتابع این مداربا $f(X_1$ و X_2 و...و $X_n)$ بیان شود، بازاء اشکال f_{α} بصورت $X_i/0$ ،تابع سویچینگ اشکال مداربصورت

$$f_{\alpha i}(X_1,X_2,\ldots,X_n)= f(X_1,X_2,\ldots,X_{i-1},0,X_{i+1},\ldots,X_n)$$

درمی آیدکه‌آن رابا $f_i(0)$ نیزنشان می دهند.بطریق مشابه‌دراثربروزاشکال $X_i/1$ داریم:

$$f_{\alpha i}(1)= f(X_1,X_2,\ldots,X_{i-1},1,X_{i+1},\ldots,X_n)$$

مجموعه‌الگوهای آزمایش که‌اشکال f_{α} راآشکارمی نمایند،بطریق زیربدست می آیند :

$$T = f(X) \ \Theta \ f_{\alpha}(X)$$

دررابطه‌فوق X مبین بردار(X_n و...و X_i و...و X_2 و X_1)بوده‌و X_i مقدارلوژیکی هریك ازمسیرهارانشان می دهد.باتوجه‌به‌بسط شانون بصورت زیر :

$$f(X_1,X_2,\ldots,X_i,\ldots,X_n)=X_i.f(X_1,X_2,\ldots,1,..,X_n)+\overline{X}_i.f(X_1,X_2,\ldots,0,..,X_n)$$

میتوان نوشت :

$$T = f(X).\overline{f}_{\alpha}(X) + \overline{f}(X).f_{\alpha}(X)$$

$$= f(X) \ \Theta \ f_{\alpha}(X)$$

$$= (X_i.f_i(1) + \overline{X}_i.f_i(0)) \ \Theta \ f_i(0)$$

$$= (\overline{X}_i + \overline{f}_i(1)(X_i + \overline{f}_i(0))\ f_i(0) + (X_i . f_i(1) + \overline{X}_i . f_i(0))\ \overline{f}_i(0)$$

$$= (X_i\ \overline{f}_i(1) + \overline{X}_i\ \overline{f}_i(0) + \overline{f}_i(0)\ \overline{f}_i(1))\ f_i(0) + X_i\ \overline{f}_i(0)\ f_i(1)$$

$$= X_i(\overline{f}_i(1)\ f_i(0) + \overline{f}_i(0)\ f_i(1)$$

$$= X_i(f_i(1) \oplus f_i(0))$$

عبارت داخل پرانتزیعنی $f_i(1) \oplus f_i(0)$ رابصورت $\frac{df}{dX_i}$ نمایش داده‌واصطلاحـــا "
آن رارابطه‌تفاضلی بولین[1] f نسبت به X_i می نامند.

بنابراین مجموعه‌الگوهای آزمایش برای اشکال $X_i/0$ بکمك رابطه‌زیر:

$$T = X_i \cdot \frac{df}{dX_i}$$

وبطریق مشابه‌مجموعه‌الگوهای آزمایش جهت اشکال $X_i/1$ ازرابطه‌زیربدست می آید:

$$T = \overline{X}_i \cdot \frac{df}{dX_i}$$

برای مثال ،جهت مدارشکل (۲-۳۳)مجددا "میتوان نوشت ($\alpha : X / 0$):

$$f = XY + ZW$$

$$f_X(0) = ZW \quad \& \quad f_X(1) = Y + ZW$$

$$\frac{df}{dX} = f_X(0) \oplus f_X(1)$$

$$= (ZW) \oplus (Y+ZW)$$

$$= (\overline{ZW}) \cdot (Y+ZW) + (ZW) \cdot (\overline{Y+ZW})$$

$$= Y \cdot \overline{ZW}$$

$$T = X \cdot \frac{df}{dX} = X \cdot Y \cdot \overline{ZW} = XY\ (\overline{Z} + \overline{W})$$

$$T = XY\overline{Z} + XY\overline{W}$$

بنابراین مجموعه‌الگوی آزمایش زیرکه‌درمثال قبلی بدست آمده‌بودنتیجه‌میشود:

$$T = \{1101\ ,\ 1110\ ,\ 1100\}$$

---

1) BOOLEAN DIFFERENCE

۱۴۵

برای فهم بیشتر مطلب به‌مثال زیردرشکل (۲-۳۵)توجه‌نمائید.

تابع مدارفوق با رابطه $f=(X_2+X_3)\,X_1+\overline{X}_1\,X_4$ نشان داده‌می شود.برای بدست آوردن مجموعه‌الگوهای آزمایش جهت اشکال $X_1/0$ می توان نوشت :

$$\frac{df}{dX_i} = f_{X1}(0) \;\Theta\; f_{X1}(1)$$

$$= f(0,X_2,X_3,X_4) \;\Theta\; f(1,X_2,X_3,X_4)$$

$$= X_4 \;\Theta\; (X_2 + X_3)$$

$$= X_2\,\overline{X}_3\,X_4 + X_2\,\overline{X}_4 + X_3\,\overline{X}_4$$

$$T = X_1 \cdot \frac{df}{dX_1} = X_1 \cdot (\overline{X}_2\,\overline{X}_3\,X_4 + X_2\,\overline{X}_4 + X_3\,\overline{X}_4)$$

$$T = X_1\,\overline{X}_2\,\overline{X}_3\,X_4 + X_1\,X_2\,\overline{X}_4 + X_1\,X_3\,\overline{X}_4$$

بنابراین یك مجموعه‌دلخواه‌الگوی آزمایش بصورت :

$$T = \{1001 \;,\; 11X0 \;,\; 1X10\}$$

می باشد.برای اشکال $X_4/1$ می توان نوشت :

$$\frac{df}{dX_4} = (X_1(X_2 + X_3)) \;\Theta\; (X_1(X_2 + X_3) + \overline{X}_1)$$

$$= (X_1\,X_2 + X_1\,X_3) \;\Theta\; ((X_1\,X_2 + X_1\,X_3) + \overline{X}_1)$$

$$= (\overline{X_1\,X_2 + X_1\,X_3})\,\overline{X}_1 = \overline{X}_1$$

$$T = X_4 \cdot \frac{df}{dX_4} = \overline{X}_4 \cdot \overline{X}_1 \qquad T = \overline{X_1 + X_4}$$

بنابراین مجموعه‌الگوی آزمایش برای $X_4/1$ بصورت $T=\{0XX0\}$ می باشد.

برای مدارات بزرگ ،استفاده‌ازروابط جبربولین جهت محاسبه $\frac{df}{dX_i}$ امری دشوارمیباشد. برای تسهیل درمحاسبات روابط زیربرای مجموع یاحاصلضرب دوتابع ،مکمل آنها ودیگرروابط ممکن بکارمی رود:

(1) $$\frac{\overline{df(X)}}{dX_i} = \frac{df(X)}{dX_i}$$

(2) $$\frac{d[f(X)\cdot g(X)]}{dX_i} = f(X)\cdot\frac{dg(X)}{dX_i} \;\Theta\; g(X)\cdot\frac{df(X)}{dX_i} \;\Theta\; \frac{df(X)}{dX_i}\cdot\frac{dg(X)}{dX_i}$$

۱۴۶

$$(3)\quad \frac{d[f(X)+g(X)]}{dX_i} = \bar{f}(X).\frac{dg(X)}{dX_i} \oplus \bar{g}(X).\frac{df(X)}{dX_i} \oplus \frac{df(X)}{dX_i}.\frac{dg(X)}{dX_i}$$

$$(4)\quad \frac{d[f(X) \oplus g(X)]}{dX_i} = \frac{df(X)}{dX_i} \oplus \frac{dg(X)}{dX_i}$$

اگریکی ازتوابع مثلا" $g(X)$ مستقل از X_i باشدآنگاه $\frac{dg(X)}{dX_i} = 0$ وروابط (2)و (3) بصورت زیرخلاصه‌می شوند :

$$(5)\quad \frac{d[f(X).g(X)]}{dX_i} = g(X).\frac{df(X)}{dX_i}$$

$$(6)\quad \frac{d[f(X)+g(X)]}{dX_i} = \bar{g}(X).\frac{df(X)}{dX_i}$$

روابط (5) و (6) بیانگرمجدداین مطلب می باشندکه‌جهت حساس نمودن مسیردریک دروازه "و"،ورودیهای دیگربایددارای لوژیك یك ودریك دروازه "یا" دارای لوژیك صفرباشند.

همچنین میتوان دریك مدارترکیبی باتابع $f(X)$ ،سیگنال میانراهی h راکه‌بصورت تابع $h(X)$ می باشددرنظرگرفت .دراین صورت تابع $f(X)$ بصورت $f'(X,h)$ نیزقابل بیان است مجموعه‌آزمایشاتی که‌برای آشکارسازی اشکال $h/0$ بکارمی رودتوسط $h(X).\frac{df'(X,h)}{dh}$ ومجموعه‌آزمایشاتی که‌برای آشکارسازی اشکال $h/1$ بکارمی رودبصورت $\bar{h}(X).\frac{df'(X,h)}{dh}$ بیان می گردد. (مرجع۹)

باتوجه‌به‌مدارترکیبی شکل (۲-۳۵)برای اشکال $h/0$ وبادرنظرگرفتن $h = X_2 + X_3$ داریم :

$$f = (X_2 + X_3)X_1 + \bar{X}_1 X_4 \quad \& \quad f' = hX_1 + \bar{X}_1 X_4$$

$$\frac{df'(X,h)}{dh} = \frac{df'(X_1,X_4,h)}{dh} = f'(X_1,X_4,0) \oplus f'(X_1,X_4,1)$$

$$= \bar{X}_1 X_4 \oplus (X_1 + \bar{X}_1 X_4) = X_1$$

$$T = h(X).\frac{df'(X,h)}{dh} = (X_2 + X_3)X_1$$

وبرای اشکال $h/1$ داریم :

$$T = \bar{h}(X).\frac{df'(X,h)}{dh} = (\overline{X_2 + X_3})X_1 = \bar{X}_2 \bar{X}_3 X_1$$

۱۴۷

وهمچنین درمدارشکل (۲ـ۳۶)کهدارای تابع $G = g(X,Y)$ می باشداگربتوان G رابصورت $G= g(f(X),Y)$ تعریف نمودبطوریکه X و Y دارای هیچ متغیرمشترکی نباشندآنگاهداریم :

$$\frac{dG}{dX_i} = \frac{dG}{df} \cdot \frac{df}{dX_i}$$ رابطه (۱)

مدارترکیبی شکل (۲ـ۳۷) رادرنظربگیرید.دراین مدارزنجیره‌ای داریم :

$$f = AB \;\&\; g=f + CD$$

$$\frac{dg}{df} = \overline{CD} = \overline{C} + \overline{D} \quad , \quad \frac{df}{dA} = B$$

$$\frac{dG}{dA} = \frac{dg}{df} \cdot \frac{df}{dA} = (\overline{C} + \overline{D}) \cdot B$$

مثال دیگری ازمدارات زنجیره‌ای درشکل (۲ـ۳۸)نشان دادهشده‌است .

برای این مدارمی توان نوشت :

$$f = \overline{X + Y}$$

$$g = f(\overline{Z + W})$$

$$\frac{dg}{df} = g_f(0) \oplus g_f(1) = 0 \oplus (\overline{Z+W}) = \overline{Z + W} = \overline{Z}\;\overline{W}$$

$$\frac{df}{dX} = f_X(0) \oplus f_X(1) = \overline{Y} \oplus 0 = \overline{Y}$$

$$\frac{dG}{dX} = \frac{dg}{df} \cdot \frac{df}{dX} = \overline{Z}\;\overline{W}\;\overline{Y} \qquad \frac{dG}{dX} = \overline{Y + Z + W}$$

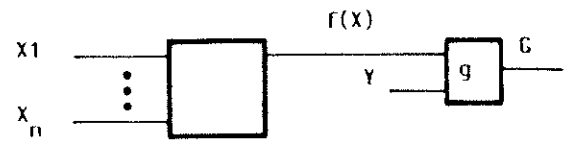
دیدهمی شودبابکارگیری قواعدفوق ،محاسبهروابط تفاضلی بولین بمراتب سادهترانجام میشود .

باتقسیم مدارات بهمدارات کوچکتروبکارگیری رابطه(۱)،الگوهای آزمایش مدارات پیچیدهترنیز قابل محاسبههستند .

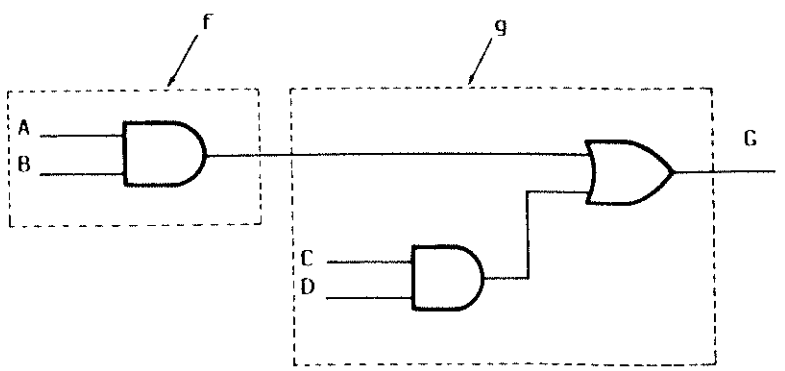
تعمیم بهتری ازرابطه(۱)بدین نحوقابل انجام است کهدریك مدارترکیبی پیچیدهکهدارای تابع $F = f(g_1, g_2, \cdots, g_m)$ بودهو($X_1, X_2, \cdots, X_n$) میتوان $g_i=g_i$ نوشت ($1 \leq i \leq m$):

$$\frac{dF}{dX_i} = \frac{dF}{dg_1} \cdot \frac{dg_1}{dX_i} \oplus \frac{dF}{dg_2} \cdot \frac{dg_2}{dX_i} \oplus \cdots \oplus \frac{dF}{dg_m} \cdot \frac{dg_m}{dX_i} \oplus$$

۱۴۸



شکل (۲ـ۳۶): مدارترکیبی باتابع G=g (X,Y)



شکل (۲ـ۳۷): یك مدارزنجیره‌ای ساده

۱۴۹

$$\oplus \frac{d^2F}{dg_1\, dg_2} \cdot \frac{dg_1}{dX_i} \cdot \frac{dg_2}{dX_i} \oplus \frac{d^2F}{dg_1\, dg_3} \cdot \frac{dg_1}{dX_i} \cdot \frac{dg_3}{dX_i} \oplus \dots$$

$$\oplus \frac{d^mF}{dg_1 dg_2 \dots dg_m} \cdot \frac{dg_1}{dX_i} \cdot \frac{dg_2}{dX_i} \cdot \dots \cdot \frac{dg_m}{dX_i}$$

رابطه (۲)

دررابطه با لاداریم :

$$\frac{d^2F}{dg_i\, dg_j} = \frac{d}{dg_i} \left[\frac{dF}{dg_j} \right]$$

$$\frac{d^iF}{dg_1\, dg_2 \dots dg_i} = \frac{d}{dg_1} \left[\frac{d^{i-1}F}{dg_2\, dg_3 \dots dg_i} \right]$$

بادرنظرگرفتن شکل (۲۹ـ۲) ، می خواهیم الگوهای آزمایش برای اشکال $G_2/0$ بیابیم ابتـــدا جهت محاسبه $\frac{df}{dG_2}$ ازرابطه (۲) استفادهنمودهومیتوان نوشت :

$$\frac{df}{dG_2} = \frac{df}{dG_5} \cdot \frac{dG_5}{dG_2} \oplus \frac{df}{dG_6} \cdot \frac{dG_6}{dG_2} \oplus \frac{d^2f}{dG_5\, dG_6} \cdot \frac{dG_5}{dG_2} \cdot \frac{dG_6}{dG_2}$$

رابطه (الف)

هریك ازترم های بولین با لابصورت زیرقابل محاسبهمی باشند.

$$G_5 = \overline{G_2 + A} \longrightarrow \frac{dG_5}{dG_2} = \overline{A} \oplus 0 = \overline{A}$$

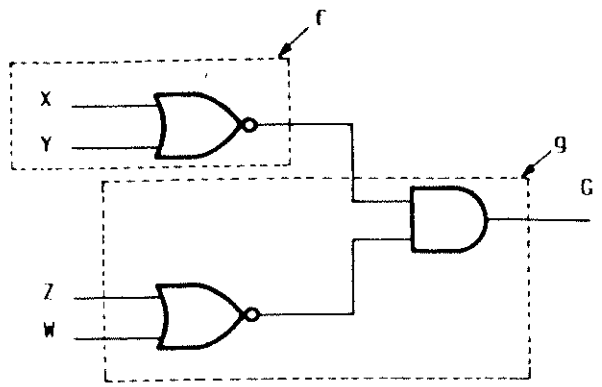
$$G_6 = \overline{G_2 + D} \longrightarrow \frac{dG_6}{dG_2} = \overline{D} \oplus 0 = \overline{D}$$

$$f = \overline{G_4 + G_5 + G_6 + G_7}$$

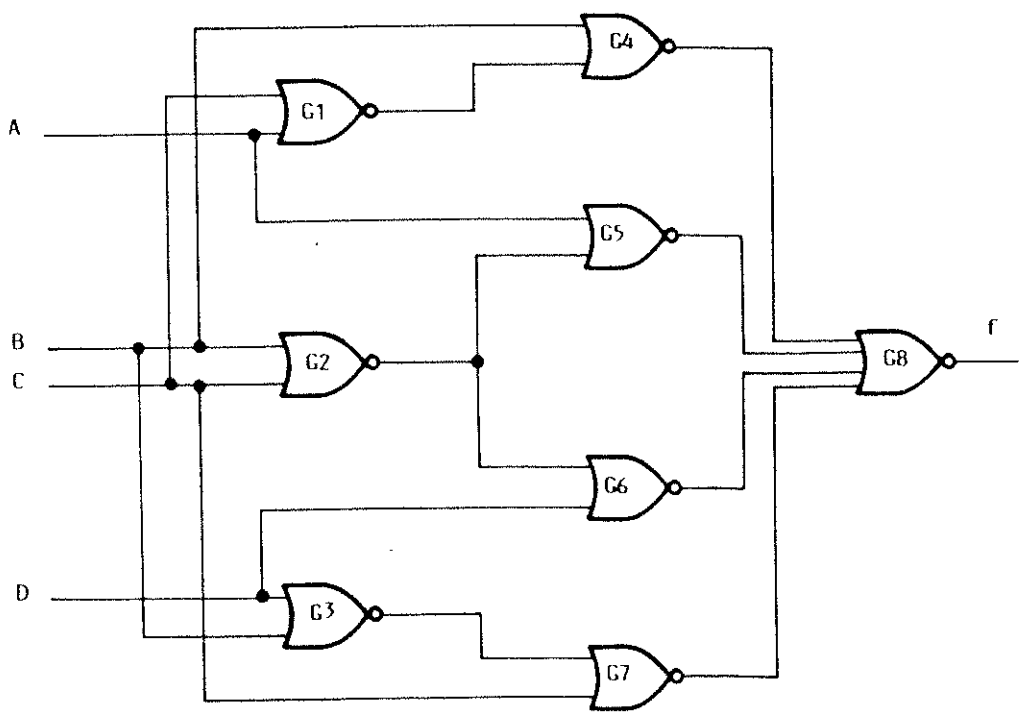
$$\frac{d^2f}{dG_5\, dG_6} = \frac{d}{dG_5} \left[\frac{df}{dG_6} \right] = \frac{d}{dG_5} \left[\overline{G_4+G_5+G_7} \oplus 0 \right] = \frac{d}{dG_5} \left[\overline{G_4+G_5+G_7} \right]$$

$$= \overline{G_4+G_7} \oplus 0 = \overline{G_4+G_7}$$

۱۵۰



شکل (۲ـ۳۸) : مدارزنجیره‌ای



شکل (۲ـ۳۹) : مدارترکیبی مربوط به‌کاربردتعمیم قضایای جبربولین

۱۵۱

$$= (B + \bar{A}\,\bar{C})\,(C + \bar{B}\,\bar{D}) = B\,C + \bar{A}\,\bar{B}\,\bar{C}\,\bar{D}$$

$$\frac{df}{dG_5} = \overline{G_4 + G_6 + G_7} \oplus 0 = \bar{G}_4 \cdot \bar{G}_6 \cdot \bar{G}_7$$

$$= (B + \bar{A}\,\bar{C})\,(D + \bar{B}\,\bar{C} \quad C + \bar{B}\,\bar{D}) = B\,C\,D + \bar{A}\,\bar{B}\,\bar{C}\,\bar{D}$$

$$\frac{df}{dG_6} = \overline{G_4 + G_5 + G_7} \oplus 0 = \bar{G}_4 \cdot \bar{G}_5 \cdot \bar{G}_7$$

$$= (B + \bar{A}\,\bar{C})\,(A + \bar{B}\,\bar{C}\;\; C + \bar{B}\,\bar{D}) = A\,B\,C + \bar{A}\,\bar{B}\,\bar{C}\,\bar{D}$$

باجایگزینی روابط بدست آمده در رابطه الف داریم :

$$\frac{df}{dG_2} = \bar{A}\,\bar{D} \longrightarrow I = G_2 \quad \frac{df}{dG_2} = \overline{B+C} \cdot \bar{A}\,\bar{D} \longrightarrow I = \bar{A}\,\bar{B}\,\bar{C}\,\bar{D}$$

همانگونه که ملاحظه میشود با استفاده از جبر بولین در تولید الگوهای آزمایش یک مدار میتوان کلیه آزمون هائی که قادر به آشکارسازی اشکال می باشند را بدست آورد اما از بزرگترین معایب این روش این است که تنها برای اشکالات نوع ایستائی قابل استفاده بوده و همچنین برای مدارات بزرگ و پیچیده ترکیبی ، نیاز به زمان و حافظه زیاد را دارا می باشد .

۱۵۲

روشهای جبری در تولید الگوهای آزمایش (تفاضل بولین)[1] (ب)

تفاضل بولین بر اساس تفاضل عملکرد صحیح و عملکرد دارای اشکال واحد و یا به عبارت دیگر بر اساس تفاضل عبارت بول دو واحد می باشد. اگر عملکرد صحیح واحد با تابع

$$F(x) = F(x_1, x_2, ..., x_i, ...x_n)$$

و تابع عملکرد غیر صحیح واحد به ازاء اشکال α_i

$$F_{\alpha i}(x) = F(x_1, x_2, ..., \bar{x}_i, ...x_n)$$

باشد تفاضل بول نسبت به x_i بنا به تعریف عبارت است از :

$$\frac{dF(x)}{dx_i} = F(x) \oplus F_{\alpha i}(x) = F(x_1, x_2, ...\bar{x}_i, ...x_n)$$

بنابراین اگر $F(x) \neq F_{\alpha i}(x)$ باشد $\frac{dF(x)}{dx_i} = 1$ خواهد بود.

و اگر چنانچه $F(x) = F_{\alpha i}(x)$ باشد $\frac{dF(x)}{dx_i} = 0$ میباشد

بنابراین برای آشکار کردن اشکال α_i نه تنها مقادیر $x_1, x_2, ...x_n$ را باید طوری انتخاب کنیم که مقدار $\frac{dF(x)}{dx_i} = 1$ گردد (x_i فعال کننده اشکال می باشد) بلکه اگر x_i را s-a-1 در نظر بگیریم بایستی $\frac{dF(x)}{dx_i} = 1$ بوده و مقادیر بدست آمده الگوی آزمایش اشکال x_i ایستا در یک می باشد و اگر x_i ایستا در صفر فرض شود بایستی $\frac{dF(x)}{dx_i} = 1$ x_i گردد .

برای کاربرد بهتر روش تفاضل بولین در تولید الگوهای آزمایش به بعضی از خواص آن توجه می نمائیم . ثابت می شود.

1) $$\frac{dF(x)}{dx_i} = \frac{d\overline{F(x)}}{dx_i}$$

2) $$\frac{dF(x)}{dx_i} = \frac{dF(x)}{d\bar{x}_i}$$

3) $$\frac{d}{dx_i}\frac{dF(x)}{dx_j} = \frac{d}{dx_j}\frac{dF(x)}{dx_i}$$

4) $$\frac{d[F(x)G(x)]}{dx_i} = F(x)\frac{dG(x)}{dx_i} \oplus G(x)\frac{dF(x)}{dx_i} \oplus \frac{dF(x)}{dx_i}\frac{dG(x)}{dx_i}$$

5) $$\frac{d[F(x)+G(x)]}{dx_i} = \overline{F(x)}\frac{dG(x)}{dx_i} \oplus \overline{G(x)}\frac{dF(x)}{dx_i} \oplus \frac{dF(x)}{dx_i}\cdot\frac{dG(x)}{dx_i}$$

1- Boolien Diffrerence

گفته می شود تابع F(x) مستقل از x_i می باشد اگر و فقط اگر در اثر تغییر لوژیکی x_i مقدار آن ثابت بماند.

در رابطه (٦)، F(x) مستقل از x_i می باشد

$$6)\quad \frac{dF(x)}{dx_i}=0$$

در رابطه (٧) ، F(x) فقط بستگی به x_i دارد

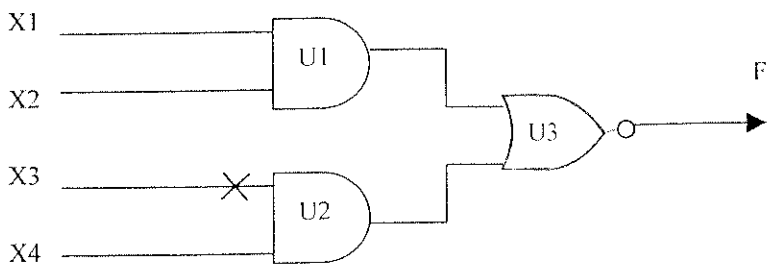
$$7)\quad \frac{dF(x)}{dx_i}=1$$

در رابطه (٨) ، تابع F(x) مستقل از x_i می باشد.

$$8)\quad \frac{d[F(x)G(x)]}{dx_i}=F(x)\frac{dG(x)}{dx_i}$$

$$9)\quad \frac{d[F(x)\oplus G(x)]}{dx_i}=\overline{F(x)}\frac{dG(x)}{dx_i}$$

مثال ١- با توجه به مدار شکل زیر الگوهای آزمایش لازم برای آشکار سازی اشکال بر روی x_3 را بدست می آوریم



تفاضل بولین مدار در شکل بالا بازاء اشکال بر روی x3 عبارت است از

$$\frac{dF(x)}{dx_3}=\frac{d(x_1x_2+x_3x_4)}{dx_3}$$

با توجه به رابطه (٥)

$$=\overline{x_1x_2}\frac{dx_3x_4}{dx_3}\oplus\overline{x_3x_4}\frac{dx_1x_2}{dx_3}\oplus\frac{dx_1x_2}{dx_3}\frac{dx_3x_4}{dx_4}$$

با توجه به رابطه (٦)

$$=\overline{x_1x_2}\frac{dx_3x_4}{dx_3}\oplus 0\oplus 0$$

با استفاده از رابطه (٤)

$$=\overline{x_1x_2}[x_3\frac{dx_4}{dx_3}\oplus x_4\frac{dx_3}{dx_3}\oplus\frac{dx_3}{dx_3}\frac{dx_4}{dx_3}=\overline{x_1x_2x_4}$$

با استفاده از رابطه (٦) و (٧) برای $x_3/0$

اگر $x_3/0$ باشد پس بایستی در تفاضل بولین مقدار $x_3=1$ باشد.

$$\overline{x_1x_2}\ x_3x_4=(\overline{x}_1+\overline{x}_2)x_3x_4=\overline{x}_1x_3x_4+\overline{x}_2x_3x_4=1$$

$$S=\{0x11,x011\}$$

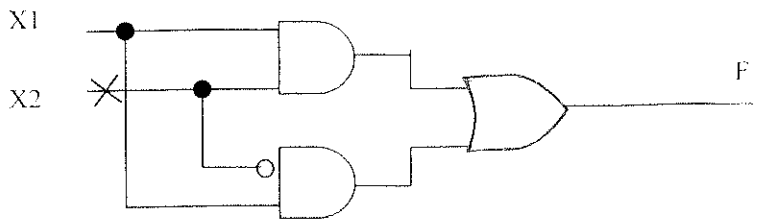
برای $x_3/1$ بایستی $x_3=0$ باشد. بنابراین

$$\overline{x}_1\overline{x}_3x_4+\overline{x}_2\overline{x}_3x_4=1$$

$$S=\{0_1x\ 0_31_4,x_10_20_31_4$$

مثال ۲-

مدار شکل زیر را در نظر بگیرید، اگر اشکال را بر روی ارتباط x_2 در نظر بگیریم،



تقاضای بول نسبت به x_2 برابر است

$$\frac{dF(x)}{dx_2} = \frac{d(x_1x_2 + x_1\bar{x}_2)}{dx_2}$$

$$= \overline{x_1x_2}\ \frac{dx_1\bar{x}_2}{dx_2} \oplus \overline{x_1\bar{x}_2}\ \frac{dx_1x_2}{dx_2} \oplus \frac{dx_1x_2}{dx_2}\frac{dx_1\bar{x}_2}{dx_2}$$

$$= \overline{x_1x_2}\ x_1 \oplus \overline{x_1\bar{x}_2}\ x_1 \oplus x_1$$

$$= x_1(\overline{x_1x_2} \oplus \overline{x_1\bar{x}_2}) \oplus x_1$$

$$= x_1(\overline{x_1x_2}x_1\bar{x}_2 + x_1x_2\overline{x_1\bar{x}_2}) \oplus x_1$$

$$= x_1[(\bar{x}_1 + \bar{x}_2)x_1\bar{x}_2 + x_1x_2(\bar{x}_1 + x_2)] \oplus x_1$$

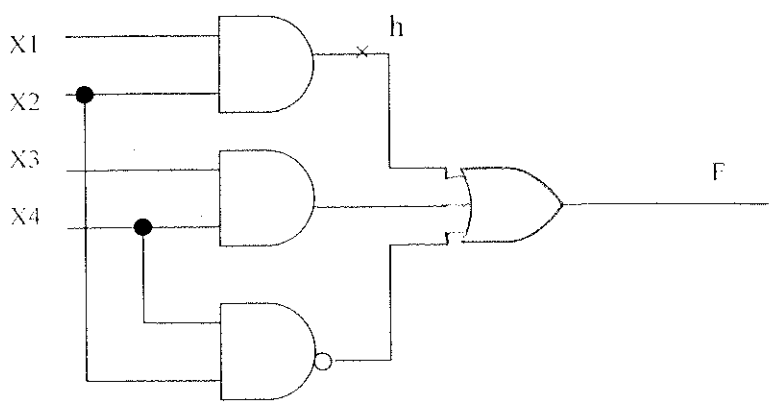
$$= x_1[x_1\bar{x}_2 + x_1x_2] \oplus x_1 \quad x_1\bar{x}_2 + x_1x_2 \oplus x_1 \quad = x_1[x_2 + \bar{x}_2] \oplus x_1$$

$$= x_1 \oplus x_1 = 0$$

و این نشان دهنده این است که اشکال در x_2 هیچگونه تغییری در خروجی بوجود نخواهد آورد و یا بعبارت دیگر مدار مستقل از تغییرات x_2 می باشد زیرا

$$F(x) = x_1x_2 + x_1\bar{x}_2 = x_1(x_2 + \bar{x}_2) = x_1$$

تا کنون روش جبری تفاضل بولین برای ورودیها در نظر گرفته می شود. اگر چنانچه اشکال داخل مدار باشد می توان با مثال زیر کاربرد آنرا در نظر گرفت.چنانچه اشکال را در داخل مدار در نقطه h در نظر بگیریم با توجه به مدار شکل زیر :



بردارهای آزمایش برای کلیه اشکالات ممکن بر روی نقطه h مورد بررسی قرار می دهیم. مـی تـوان تـابع بولین مدار را بصورت زیر در نظر گرفت

$$F(x_1,x_2,x_3,x_4) = F(x,h)$$

بنابراین

$$F = x_1x_2 + (x_3x_4 + \overline{x_2x_4})$$

$$F = h + (x_3x_4 + \overline{x_2x_4}) \qquad h = x_1x_2$$

$$\frac{dF}{dh} = \bar{h}\,\frac{d(x_3x_4 + \overline{x_2x_4})}{dh} \oplus \overline{(x_3x_4 + \overline{x_2x_4})}\,\frac{dh}{dh} \oplus \frac{dh}{dh}\,\frac{d(x_3x_4 + \overline{x_2x_4})}{dh}$$

با توجه به اینکه تابع h یعنی x_1,x_2 و لزوماً هر دو نمی باشد پس

$$\frac{dF}{dh} = \overline{x_3x_4 + \overline{x_2x_4}}$$

$$= \overline{x_3x_4}\;\; x_2x_4 = (\bar{x}_3 + \bar{x}_4)x_2x_4$$

$$= x_2\bar{x}_3x_4$$

برای h/0 داریم

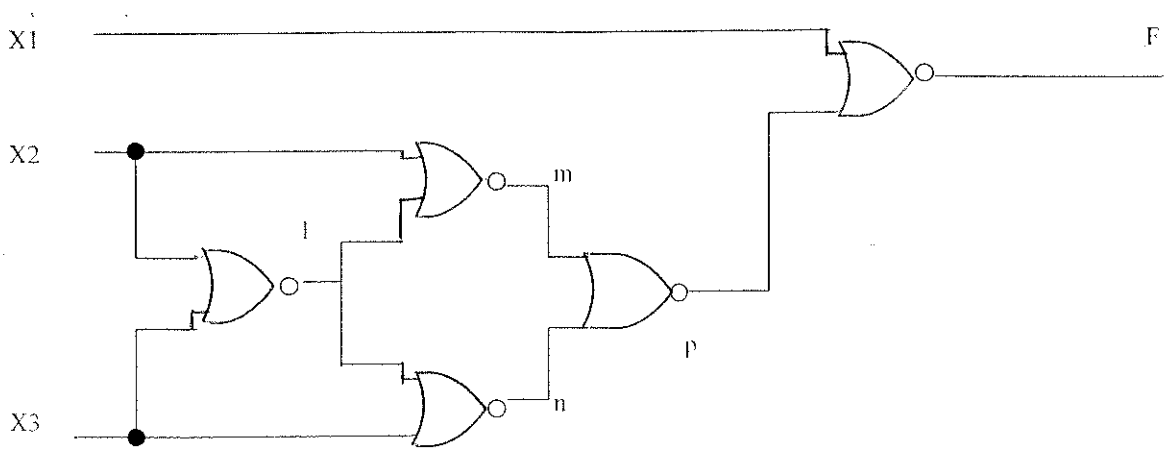
$$h/0 \qquad hx_2\bar{x}_3x_4 = x_1x_2x_3x_4 \Rightarrow 1101$$

برای h/1 داریم

$$h/1 \qquad \overline{x_1x_2}x_2\bar{x}_3x_4 = (\bar{x}_1 + \bar{x}_2)x_2\bar{x}_3x_4 = \bar{x}_1x_2\bar{x}_3x_4 \Rightarrow 0101$$

تفاضل بولین جزئی

برای نوشتن الگوی آزمایش که بتواند کلیه اشکالات ممکن برروی یک مسیر را آشکار نماید از تفاضل بولین جزئی[1] استفاده می نمائیم . بعنوان مثال در شکل زیر



1-Partial Bollien Difference

چنانچه $y=f(x)$ ، $\Im=f(y)$ ، $z=f(\Im)$

$$\frac{dz}{dx}=\frac{dz}{d\Im}\frac{d\Im}{dy}\frac{dy}{dx}$$

بنابراین برای مسیر $x_2-l-n-P-F$ داریم

$$\frac{dF}{dx_2}=\frac{dF}{dp}.\frac{dp}{dn}.\frac{dn}{dl}.\frac{dl}{dx_2}$$

$$\frac{dF}{dp}=\frac{d(\bar{x}_1\,.\,\bar{p})}{dp}=\bar{x}_1$$

$$\frac{dp}{dn}=\frac{d(\bar{m}.\bar{n})}{dn}=\bar{m}=x_2+l=x_2+\bar{x}_2\bar{x}_3$$

$$\frac{dn}{dl}=\frac{d(\bar{l}.\bar{x}_3)}{dl}=\bar{x}_3$$

$$\frac{dl}{dx_2}=\frac{d\bar{x}_2\bar{x}_3}{dx_2}=\bar{x}_3$$

$$\frac{dF}{dx_2}=\bar{x}_1(x_2+\bar{x}_2\bar{x}_3)\bar{x}_3\bar{x}_3=\bar{x}_1x_2\bar{x}_3+\bar{x}_1\bar{x}_2\bar{x}_3$$

$$=\bar{x}_1\bar{x}_3(\bar{x}_3+\bar{x}_2)=\bar{x}_1x_3$$

$tc=\{0\ 0\ 1\ ,\ 0\ 1\ 1\}$

۲-۱۲) لیست اشکالات وتقلیل آن درروشهای تولیدالگوی آزمایش

با افزایش پیچیدگی مدارات وگسترش آن درواحدموردآزمایش ،تعدادا شکالات ممکن درمدار و نتیجتا "محتویات لیست اشکالات بسرعت افزایش یافته‌ودرزمان تولیدالگوهای آزمایش موجب پیچیدگی عمل وزمان بسیارزیادی رامی گردد .می توان بانعریف اشکالات معادل ودرنظرگرفتن آن لیست اشکالات راطوری تهیه‌نمودکه‌محتویات آن ،تعدادمی نیمم باشد .باتوجه‌به‌مطالب گفته‌شده‌در بخش (۲-۷)ودرارتباط باتقلیل لیست اشکالات روش کلی زیرموردبررسی واقع می شود .

۲-۱۲-۱) خطاهای معادل[1]

همانگونه‌که‌درتولیدآزمایش به‌روش بولین دیدیم درمدارترکیبی C باتابع سوئیچینگ f ، مجموعه‌آزمایشاتی که اشکال α راآشکارمی نمایدازرابطه $T_\alpha = f \oplus f_\alpha = 1$ بدست می آیدکه درآن f_α تابع سوئیچینگ مدارباازاء اشکال α می باشد .

بطریق مشابه‌برای اشکال β می توان نوشت $T_\beta = f \oplus f_\beta = 1$ ،مجموعه‌آزمایشاتی که‌دو اشکال α و β راازهم تمیزداده‌وتفکیک می کندازرابطه $f_\alpha \oplus f_\beta = 1$ قابل محاسبه‌است .

اگر $f_\alpha = f_\beta$ باشد،داریم :

$$f_\alpha = f_\beta \longrightarrow f_\alpha \oplus f_\beta = f_\alpha \oplus f_\alpha = 0$$

یعنی هیچگونه‌الگوی آزمایشی نمی توان برای آن یافت که‌بتواندابن دواشکال راازهم تمیزدهد .درابن صورت اشکالات α و β بایکدیگرمعادل می باشند . (مرجع ۲)

اگرمجموعه‌ای ازاشکالات بایکدیگرمعادل باشند ،هرآزمایشی که‌یکی ازآنهاراآشکارکند ،قادربه آشکارسازی کلیه‌آنهانیزخواهدبودوهیچگونه‌آزمایشی جهت تشخیص آنهاازیکدیگروجودندارد .درشکل (۲-۴۰)یك دروازه " و "بادوورودی نشان داده‌شده‌است .همانگونه‌که‌دیدیم الگوی آزمایش $T=\{1,1\}$ قادربه‌آشکارسازی اشکال s-a-0 و a می باشد .بهمین صورت برای اشکالات s-a-0 و b و s-a-0 و C نیزهمین‌الگوقادربه‌آشکارسازی آنهاخواهدبود .چون این سه‌اشکال دارای یك آزمایش می باشند ،بنابراین بایکدیگرمعادل بوده‌وبه‌هنگام تولیدالگوهای آزمایش بایدتنهایکی ازآنهارادر نظرگیریم .

درشکل (۲-۴۱) دروازه‌دیگری که‌دارای n ورودی می باشدنشان داده‌شده‌است .درابن دروازه (n+1) 2 اشکال مدل ایستائی تعریف می شود .

---

1) EQUIVALENT FAULTS

کلیه اشکالات s-a-0 ، دارای آزمایش T= 11...1 می باشندلذا بایکدیگر معادل بوده وتنها یکی از آنها را موردنظر بوده وبنابراین از n+1 اشکال جهت خطاهای s-a-0 تنها یکی رادرنظر می گیریم واین تعدادبه یک اشکال کاهش می یابد .بنابراین تعداد اشکالات به n+2 اشکال کاهش می یابد .این فرآیندرا اضمحلال (فروریختگی) اشکالات معادل[1] می نامندکه باعث کاهش تعداد اشکالات به میزان قابل توجهی می شود .

۲-۱۲-۲) خطاهای غالب[2]

درشکل (۲-۴۰) الگوهای آزمایش T={10 و 01} اشکال s-a-1 و C راآشکارمی کنددر حالیکه خطای s-a-1 و a تنهابکمک T= 01 آشکارمی شودکه زیرمجموعه‌ای ازالگوی T={01,10} می باشد .بنابراین گفته می شودکه اشکال s-a-1 و C براشکال s-a-1 و a ونیز s-a-1 و b غالب است .

بطورکلی اگرمجموعه آزمایشات T_α اشکال α ومجموعه آزمایشات T_β اشکال β را تشخیص دهدبطوریکه $T_\alpha \subset T_\beta$ باشد ،گوئیم اشکال β غالب است وبه‌هنگام تولیدآزمایش آنرا درنظرنگرفته وفقط اشکال α رادرنظرمی گیریم .

بنابراین درشکل (۲-۴۰)اشکال s-a-1 و C راحذف می کنیم وبطریق مشابه درشکل(۲-۴۱) نیزبهمین ترتیب عمل می نمائیم .لذااز n+2 اشکال باقیمانده که درشکل (۲-۴۱)تعریف شده اشکال s-a-1 و C حذف شده وتعداد اشکالات یک دروازه وبا n ورودی برابربا n+1 می باشد .

به‌همین طریق دریک دروازه " یا " با n ورودی ،تمامی اشکالات s-a-1 بایکدیگر معادل بوده وتنهایکی رادرنظرمی گیریم .ازمیان اشکالات s-a-0 نیزدیده می شودخطای s-a-0 خروجی بر s-a-0 ورودیها غالب بوده وحذف می شود .بنابراین دریک دروازه " یا " با n ورودی نیزتعداد اشکالات ممکن برابر n+1 می باشد .

فرآیندکاهش تعداد اشکالات به‌شیوه اخیر ،اضمحلال اشکالات غالب[3] نامیده می شود .

بطورکلی دریک مدارترکیبی عاری ازانشعاب (که درآن خروجی یک المان حداکثربه‌یک ورودی ازالمان دیگراتصال یافته است) ،مجموعه آزمایشاتی که اشکالات ورودی راآشکارنماید ،تمام اشکالات مدار راآشکارخواهدنمود .اگرمدارعاری ازانشعاب نباشد ،کلیه آزمایشاتی که اشکالات ورودی ونقاط انشعاب

---

1) EQUIVALENCE FAULT COLLAPSING

2) DOMINANT FAULTS

3) DOMINANCE FAULT COLLAPSING

را آشکارنماید ،تمام اشکالات مدار را آشکارخواهدنمود ·جهت روشن شدن مطلب به‌مثال زیرتوجه می کنیم·

مدارشکل (۲-۴۲)رادرنظرمی گیریم ·

مشاهده‌می شودباداشتن د وازه‌گره C1 - C12 .این مداردارای ۲۴ خطای ایستامی باشد·چون مداردارای انشعاب می باشد ،همانگونه‌که‌گفتیم کافی است که درآزمون این مدار برای نقاط ورودی ونقاط انشعاب ،تولیدآزمایش نمائیم · برای نقاط ورودی تعدادده‌اشکال زیر تعریف می شود :

C1/0 , C1/1 , C2/0 , C2/1 , C4/0 , C4/1 , C5/0 , C5/1 , C6/0 , C6/1

درنقاط انشعاب نیزچهاراشکال زیرتعریف می شود:

C7/0 , C7/1 , C8/0 , C8/1

زیراهمانگونه‌که‌گفتیم دردروازه " و "تمام اشکالات s-a-0 ودردروازه‌یاکلیه‌اشکالات s-a-1 بایکدیگرمعادل هستند ·بنابراین تااینجاتعداد۱۴ خطاتعریف می شود ·اماگفتیم که‌دردروازه‌و ،اشکال s-a-1 خروجی برخطاهای s-a-1 ورودیها غالب بوده‌وقابل حذف است لذا C3/1 بر C1/1 و C10/1 بر C8/1 غلبه‌نموده‌وحذف می شوند·ازطرفی C7/1 با C3/1 ونیز C10/1 با C6/1 بایکدیگرمعادل بوده‌وازهرکدام تنهایکی راانتخاب می کنیم ·بنابراین چهاراشکال از مجموع چهارده‌اشکال کاسته‌شده‌وکل اشکالات این مداردر ·اموردبصورت زیرکاهش می یابد :

C1/1 ,C2/0 ,C2/1 ,C4/0 ,C4/1 ,C5/0 ,C5/1 ,C6/0 ,C7/0 ,C8/1

بنابراین میزان اضمحلال خطابرابربا $\frac{24-10}{24}$ یا 58% می باشد·

۲-۱۲-۳) روابط دوطرفه وروابط یك طرفه [1]

خطاهای معادل وخطاهای غالب رابصورت روابط دوطرفه‌ویك طرفه‌نیزبیان می کنند ·بدین ترتیب که‌درشکل (۲-۴۰)می توان نوشت C/0 ⟷ a/0 و C/0 ⟷ b/0 ویا :

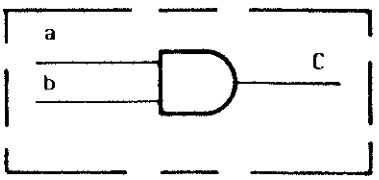
a/0 ⟷ b/0 ⟷ C/0

زیراهمانگونه‌که‌گفتیم این خطاهابایکدیگرمعادل بوده‌واین رابطه‌دوطرفه(⟷) می باشد یعنی آزمونی که‌برای آشکارسازی خطای C/0 بکاررود ،مسلما "قادربه‌آشکارسازی خطاهای b/0 و a/0 نیزمی باشد·

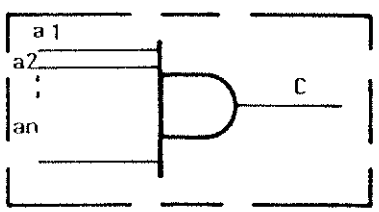
---

1) 2- WAY & 1-WAY RELATIONSHIPS

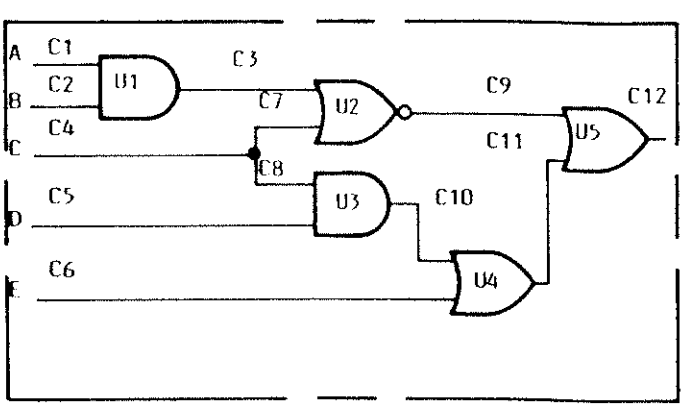
۱۵۵



شکل (۴۰-۲): دروازه " و " بادوورودی



شکل (۴۱-۲): دروازه " و " با n ورودی



شکل (۴۲-۲): مدارترکیبی وبررسی اضمحلال اشکال

درشکل (۲۰۴)رابطه‌دیگری بصورت C/1 ⟵ a/1 و C/1 ⟵ b/1 نیزوجوددارد زیرا خطای C/1 برخطاهای a/1 و b/1 غالب می باشدورابطه‌فوق یك طرفه(⟵)می باشد بدین مفهوم که‌اگرچه‌یك آزمون کمبرای آشکارسازی a/1 بکاررود،قادراست C/1 رانیزآشکار کندولی عکس آن حتما "درست نیست ۰

درمدارات ترکیبی ،انشعاب بدوصورت همگرا[1] و واگرا[2] تعریف می شودواین بدان بستگی داردکه یك یاتمامی اشکالات مجددا "دریك دروازه‌دیگربایکدیگرتقارب داشته‌باشند ۰مدارشکل(۲۰۲۳) یك نمونه‌انشعاب واگرارانشان می دهد ۰دراین مداریك آزمون جهت C4/0 یا C4/1 ،آزمونی برای C2/0 یا C2/1 نیزمی باشدیعنی می توان نوشت :

C4/0 ⟵ C2/0

رابطه (۱)

C4/1 ⟵ C2/1

رابطه(۱)دوطرفه‌نمی باشدیعنی اگرچه‌یك الگوی آزمایش می تواندبرای کشف C2/0 بکار رود ،اما این آزمون ممکن است قادربه‌آشکارسازی C4/0 نباشدبرای مثال الگوی آزمایش $\bar{A}BC=011$ قادربه‌آشکارسازی C2/0 بوده‌اماقادربه‌آشکارسازی C4/0 نمی باشد ۰علت این امردرآن است که‌اثراشکال درمدارممکن است بعلت وجودمقادیرثابت خاص (دراینجا C1=0)نتواند بخروجی منتقل شود ۰درهرصورت می توان چنین نتیجه‌گرفت که‌نحوه‌ممکن‌جهت ارتباطات درمدارات باانشعاب واگرا ،یك رابطه‌یك طرفه‌ازیك شاخه‌به‌دیگرقسمت های مدارمی باشد ۰

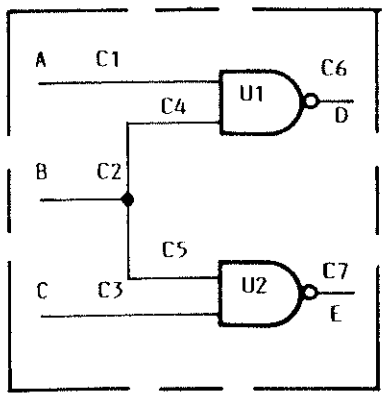
مدارشکل (۲۰۲۴)،نمونه‌ای ازمدارات باانشعاب همگرامی باشد ۰دراین مدارآزمونی برای اشکال s-a-0 یا s-a-1 دریك مسیرانشعاب ،آزمونی برای اشکال مشابه‌درقسمت دیگرمدارنیز خواهدبود ۰برای مثال الگوی آزمایش $A\bar{B}C$ ،خطای C4/1 راازطریق دروازه U1 منتشرنموده وباعث تغییرمقدارلوژیکی درگره C9 می شود ۰لازم بتوضیح است که‌فرض براین است که C5 تحت تاثیراشکال C4/1 قرارنگرفته‌باشدوبمقدارحالت عاری ازخطای خودیعنی لوژیك صفرباقی مانده است (توجه‌شودکه‌این اشکال ممکن است دراثرقطع C4 بوجودآید)۰

بنابراین الگوی آزمایش فوق قابلیت آشکارسازی C4/1 رادارااست اماآزمون مناسبی برای اشکال C2/1 نمی باشد ۰این مسئله‌بعلت وجودتقارب منفی است که‌باعث تغییرسطوح لوژیکی شاخه‌هابصورت موازی وتغییر C6 ، C7 و C8 میشود ۰نتیجتا "تغییرتوام C6 و C8 یکدیگر راحذف نموده‌واشکال C2/1 مقدارخروجی D راتغییرنمی دهد ۰

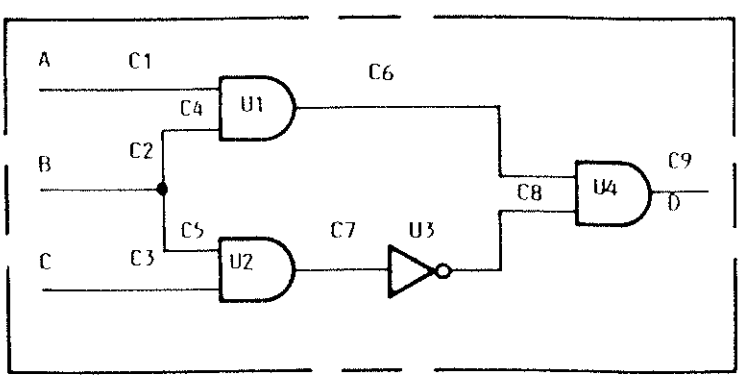
---

1) RECONVERGENCE FAN OUT

2) NON-RECONVERGENCE FAN OUT



شکل (۲-۴۳) : انشعاب واگرادریك مدارترکیبی



شکل (۲-۴۴): انشعاب همگرادریك مدارترکیبی

۱۵۸

برای مدارات با انشعاب واگرا ، عکس این مطلب نیزدرست نمی باشدبدین مفهوم که یك آزمون برای یك اشکال ایستائی ، الزاما "آزمونی" برای اشکال ایستائی درهرمسیردیگرنمی باشد. برای مثال اگرمعکوس کننده U3 ازشکل(۲-۴۴)برداشته‌شده‌ومسیرهای C7 و C8 بیکدیگررامیابند. نتیجتا "تقارب مثبت درمداربوجودآمده‌وملاحظه‌می شودکه‌الگوی آزمایش فوق قابلیت آشکارسازی C2/1 رانیزدارامی شود ، اماآزمون مناسبی جهت دیگراشکالات مشابه‌ازجمله C4/1 یا C5 1 نمی باشد.

درهرصورت میتوان نتیجه‌گرفت که‌قانون ساده‌ای برای بیان ارتباطات یك طرفه‌ودوطرفه‌درمداراتی باانشعاب همگراوجودندارد. شکل (۲-۴۵)روابط بین دروازه‌های مختلف ونقاط باانشعاب واگرا رانشان می دهد.

جهت درك بهتر روابط دوطرفه‌ویك طرفه‌درمدارات برای تقلیل تعداداشکالات دریك لیست اشکال. مداری که درشکل (۲-۴۶) نشان داده‌شده‌است رادرنظرگیرید.

همانگونه‌که‌ملاحظه‌می شوداین مدارداری ده‌گره C1 تا C10 می باشدبنابراین امکان وقوع ۱۰× ۲یعنی ۲۰ اشکال ایستائی وجوددارد. روابط دوطرفه‌ویك طرفه‌به‌شرح زیرمی باشد :

روابط یك طرفه

C1/1 → C8/0
C6/1 → C8/0
C5/1 → C9/0
C7/1 → C9/0
C8/1 → C10/0
C9/1 → C10/0

روابط دوطرفه

C1/0 ↔ C6/0 ↔ C8/1
C5/0 ↔ C7/0 ↔ C9/1
C8/0 ↔ C9/0 ↔ C10/1
C4/0 ↔ C6/1
C4/1 ↔ C6/0
C3/0 ↔ C7/1
C3/1 ↔ C7/0

خطای C6/0 معادل با C1/0 و C8/1 ونیزمعادل با C4/1 نیزمی باشدلذامی توان نوشت :

$$\{C1/0 , C4/1 , C6/0 , C8/1\}$$

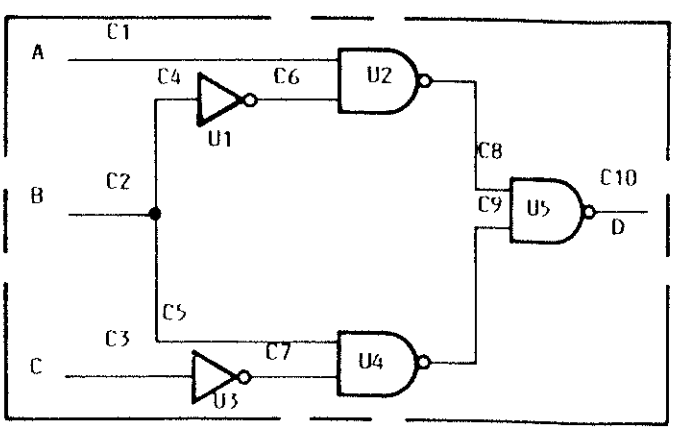
باابررسی مواردمشابه‌درروابط دوطرفه ، پنج موردخطابصورت زیرخلاصه می شود :

S1 : { C3/1 , C5/0 , C7/0 , C9/1 }
S2 : { C4/1 , C6/0 , C1/0 , C8/1 }
S3 : { C8/0 , C9/0 , C10/1 }
S4 : { C3/0 , C7/1 }
S5 : { C4/0 , C6/1 }

۱۵۹

روابط یك طرفه	روابط دوطرفه	نوع دروازه
1/ خروجی ⟵ 1/ هرورودی	0/ خروجی ⟷ 0/ هرورودی	و
0/خروجی ⟵ 0/ هرورودی	1/ خروجی ⟷ 1/ هرورودی	یا
0/ خروجی ⟵ 1/ هرورودی	1/ خروجی ⟷ 0/ هرورودی	نقیض و
1/ خروجی ⟵ 0/ هرورودی	0/ خروجی ⟷ 1/ هرورودی	نقیض یا
ـــــ	1/ خروجی ⟷ 0/ ورودی 0/ خروجی ⟷ 1/ ورودی	معکوس کننده
0/ شاخه ⟵ 0/ هرمسیر 1/ شاخه ⟵ 1/ هرمسیر	ـــــ	نقاط باانشعاب واگرا

شکل (۲ـ۴۵): جدول روابط دوطرفه وروابط یك طرفه در دروازه‌های مختلف



شکل (۲ـ۴۶): مدارترکیبی وبررسی روابط دوطرفه‌ویك طرفه

مجموعه‌پنج تائی صفحه‌قبل ،کلیه‌تك اشکالات ایستائی رابجزپنج اشکال C1 1 ، C2/1 C2/0 ، C9/1 و C10/0 آشکارمی نمایند ·بنابراین تااینجاتعداداشکالات به ۱۰ موردکاهش می یابـــد ·

بابکارگیری روابط یك طرفه‌دیده‌می شودالگوی آزمایش برای آشکارسازی C1 1 قادربه‌آشکار- سازی C8/0 ونیزبقیه‌اشکالات مجموعه S3 می باشد ·همچنین الگوی آزمایش برای آشکارسازی C8/1 یا C9/1 قادربه‌آشکارسازی C10/0 می باشد ·بنابراین مجموعه‌اشکالات S3 ونیزاشکال C10/0 نیزازلیست اشکالات حذف شده‌وتعداداشکالات به۸ موردکاهش می یابد ·لذامیزان اضمحـلال خطابرابربا $\frac{20 - 8}{20}$ یا 60% می باشد ·

همانگونه‌که‌ملاحظه‌شد ،مسئله‌اضمحلال خطایکی ازمهم ترین مسائلی است کمباتوجه‌به‌آن وبکـار گرفتن روشهای گفته‌شده‌می توان تعدادالگوهای آزمایش رابه حـــد بسیارزیادی تقلیل داد ·بنابراین درهنگام تولیدآزمایش بایدموردتوجه‌قرارگیرد ·

۱۶۱

۴-۱۲-۲) مدارهای زائد[1]

برای یک مدار با تابع عملی f ، چنانچه تحت تاثیر اشکال ∝ تابع مدار بصورت f=f∝ گردد، آزمونی که قادر به آشکارسازی این اشکال است از رابطه زیر بدست می آید:

$$T = f \oplus f_{\alpha} = f + f = 0$$

یعنی هیچگونه آزمونی برای آشکارسازی اشکال ∝ نمی توان یافت. در این حالت اشکال ∝ آشکار ناشدنی بوده و مدار نسبت به آن زائد است. مدارانی که نسبت به اشکالات ایستائی زائد می باشند، می توان برحسب لزوم با برداشتن یک دروازه یا حذف یکی از ورودی ها آن را ساده نمود.

برای مثال فرض کنید یک دروازه " و " نسبت به اشکال s-a-1 در یکی از ورودی ها زائد باشد و نتوان آن را آشکار نمود. در چنین وضعیتی نمی توان آن ورودی را دائما "در لوژیک یک قرارداد، بلکه راه حل صحیح آن است که آن ورودی را بهنگام تولید آزمایش حذف نموده و از مدار برداریم. برای دیگر دروازه ها نیز می توان استدلال مشابه ای انجام داد. نتایج استدلالات فوق جهت ساده سازی مدارات زائد بصورت :

خطای آشکارناشدنی	قانون ساده کردن
0/ ورودی دروازه و (نقیض و)	المان را حذف نموده و بجای آن 0(1) قرار دهید
1/ ورودی دروازه و (نقیض و)	ورودی را حذف نمائید
0/ ورودی دروازه یا (نقیض یا)	ورودی را حذف نمائید
1/ ورودی دروازه یا (نقیض یا)	المان را حذف نموده و بجای آن 1(0) قرار دهید

میباشد. بنابراین چنانچه برای اشکالی در یک مدار هیچگونه آزمونی قابلیت آشکارسازی را نداشته باشد، مدار زائد بوده ولذا با بکارگیری قوانین ساده سازی برای دروازه "و " با n ورودی که اشکال s-a-1 در یکی از ورودی های آن آشکارناشدنی است، آن ورودی را حذف نموده و بجای آن المان یک دروازه " و " با n-1 ورودی قرار می دهیم. تعیین زائد بودن همواره به سادگی فوق نبوده و معمولا" امر دشواری می باشد علاوه بر این ممکن است در یک مدار ترکیبی زائد، مجموعه آزمایشات T کلیه ...

---

1) REDUNDANT CIRCUITS

اشکالات ایستائی راآشکارنمایدولی دراثربروزاشکال آشکارناشدنی α واشکال آشکارشدنی β اشکال چندگانه[1] (α و β) توسط الگوهای آزمایش T آشکارنشود .بعبارت دیگراگرچه‌وجود یك اشکال کمباعث می شودمدار رائدباشددرعملکردمدارتاثیرنگذارد ،ولی تعیین وحذف آن بهنگام تولیدآزمایش مهم می باشد .برای چنین مدارهائی ،تولیدآزمایش تنهابرای کلیه‌اشکالات آشکار شدنی کافی نبوده‌ومی بایست برای کلیه‌اشکالات چندگانه‌کمبعلت چنداشکال آشکارناشدنی درمدار پدیدمی آیندنیزآزمون ایجادنمود .برای روشن شدن مسئلهبه‌مدارنشان داده‌شده‌درشکل (۲-۲۷)توجه نمائید .دراین مداراشکال a:s-a-1 α رادرنظرمی گیریم .

برای انتشاراین اشکال باید A=1 ، B=1 و C=0 باشد .دراین صورت خروجی دروازه G_1 دارای لوژیك یك می گردد .تحت این شرایط خروجیهای G_2 و G_3 دارای لوژیك یك وخروجی G_5 صفرمی شودنتیجتا "وجودلوژیك صفردرورودی دروازه G_6 باعث عدم حساس بودن مسیردر G_6 شده واشکال α درخروجی F ظاهرنمی شودبنابراین مدارنسبت به‌این اشکال زائداست .

حال فرض کنیدبدون درنظرگرفتن اشکال α ، اشکال دیگری مانند β داریم .برای عبوراثر آن باید B=1 و C=0 باشد .لذادرخروجی G_3 لوژیك یك ودرخروجی G_1 نیزهموارمیك داشته‌واین اشکال درخروجی F آشکارپذیراست بنابراین الگوی آزمایش $AB\bar{C}$ یکی ازالگوهائی است که‌قادربه‌آشکارسازی اشکال β می باشد .دیده‌میشوداگردواشکال α و β رابطورمجزااز یکدیگردرنظربگیریم ،اشکال α آشکارناپذیرواشکال β آشکارپذیرمی باشدولی اگرهردو اشکال بایکدیگردرمداررخ دهند ،دیگربا الگوی $AB\bar{C}$ نمی توان حتی β راآشکارنمود .لذاوجود اشکال α که‌مدارنسبت به‌آن زائداست ،اثرات جنبی داشته‌واگرچه‌می توان برای β آزمونی یافت ولی زمانی که β با α همراه‌شود، β نیزغیرقابل آشکارمی شود .

بطورکلی هنگام تولیدآزمایش درمدارهای زائد ،مسائل موجودبه‌شرح زیرمی باشد :

الف) اگر α یك اشکال آشکارپذیرو β یك اشکال آشکارناپذیرباشد ،دراثربروزاشکال β ممکن است α نیزآشکارناپذیرگردد .

ب) اشکال آشکارناپذیر α ممکن است دراثربروزاشکال آشکارناپذیر β ،آشکارشود .بنابر- این دریك مدارزائدمی توان الگوهای آزمایشی یافت که‌اگرچه‌تك اشکالهای ایستائی α و β را آشکارننمایدولی قادربه‌آشکارسازی اشکالات چندگانه‌ایستائی (β و α)باشد .

ج) اگر α و β دواشکال قابل تفکیك ازیکدیگروγ یك اشکال غیرقابل آشکارشدنی باشد ،ممکن است دراثربروزاشکال γ ،دواشکال α و β ازیکدیگرغیرقابل تفکیك گردند .

---

1) MULTIPLE FAULT

۱۶۳

درهرصورت بایددرهنگام تولیدآزمایش به اشکالاتی که‌مدارنسبت به‌آنهازائدمی باشددقت نمود.

۲-۱۲-۵) مدارهای بدون انشعاب [1]

دریك مدارعاری ازانشعاب ،هرورودی وهرخروجی یك دروازه‌حداکثرورودی تنهایك دروازه‌دیگر می باشد.این نوع مدارات غیرزائدبوده‌وبرای کلیه‌اشکالات ممکن موجوددرآن ،می توان تولید آزمایش نمود.تعدادالگوهای آزمایش برای آشکارسازی کلیه‌اشکالات ایستائی محدودبه $n+1$ و $2\sqrt{n}$ می باشدکه‌درآن n مبین تعدادورودی های مدارمی باشد.درضمن برای اینگونه‌مدارات مجموعه‌آزمایشات بهینه‌ای وجوددارد‌که‌کلیه‌تك اشکالات ایستائی واشکالات چندگانه‌ایستائی را آشکارنماید (مرجع ۹).

۲-۱۲-۶) مدارهای ترکیبی خطی [2]

مداری خطی است که‌اگرتعدادورودیهای یك آن فرد باشد،خروجی یك واگرتعدادورودیهای یك آن زوج باشد،خروجی صفرگردد.نمونه‌ساده‌ای ازمدارات خطی ،یك EX-OR می باشدکه‌می دانیم اگر تعدادورودی های یك آن فردباشد، خروجی آن یك است.

دریك مدارترکیبی که‌دارای n ورودی است ،آزمایش کامل آن $T(2^n)$الگوی آزمایش دارددر - حالیکه‌دریك مدارترکیبی خطی تعدادآزمایشات لازم بمیزان $T(2^p)$می باشدکه‌درآن p ماکزیمم تعدادورودی دروازه‌ها می باشد.

بعبارت دیگراگربتوان مداررابه k قسمت باورودیهای $(n_1, n_2, \ldots, n_k)$ تقسیم نمودو p ماکزیمم این‌تعدادباشد،تعدادآزمایشات برای آشکارسازی کلیه‌تك اشکالات ایستائی برابربا $T(2^p)$می باشد.

برای مثال اگریك مداررا‌تنهابادروازه‌های دوورودی طرح کنیم ،تعدادآزمایشات آن بمیزان $T(2^2)=4$ آزمایش خواهدبودبنابراین اگرحتی مدارارای n ورودی نیزباشد،باطراحی توسط دروازه‌های دوورودی تعدادآزمایش از $T(2^n)$به‌چهارتقلیل می یابد.

مثالی دراین زمینه‌استفاده‌از EX-OR دوورودی درطرح یك مداربا n ورودی می باشداین مدار خطی که‌تنهاچهارقدم آزمایش نیازداردرشکل (۲-۴۸)نشان داده‌شده‌است.

---

1) FAN OUT FREE CIRCUITS

2) LINEAR COMBINATIONAL CIRCUITS

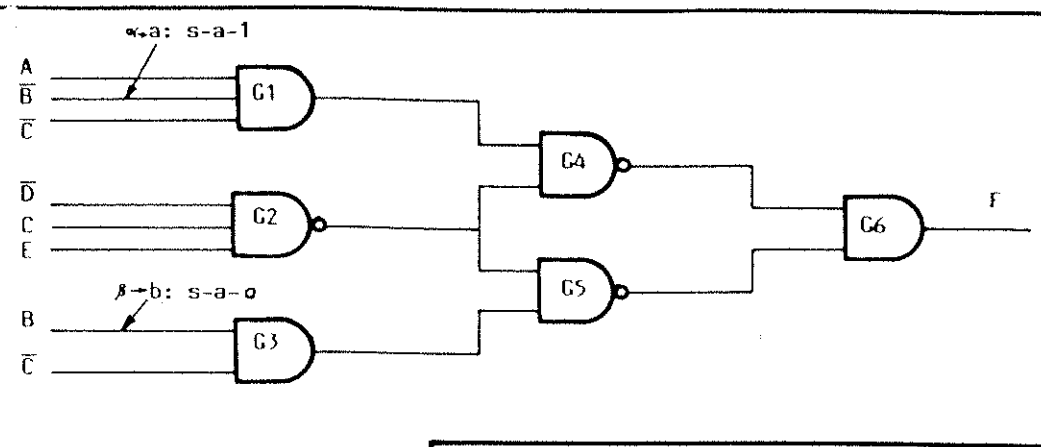
۲-۱۲-۷) مدارهای مرکب ازقسمتهای تکراری [1]

این قبیل مدارها ازپشت سرهم قراردادن مدارات ترکیبی یکسان بدست می آید .دراین مدارها تماسی ورودی ها ازیکدیگر مستقل وتعدادخروجیها زیاد اما محدوداست .یك نمونه ازمدارات مرکب از قسمتهای تکراری ،درشکل (۲-۲۹) نشان داده شده است .

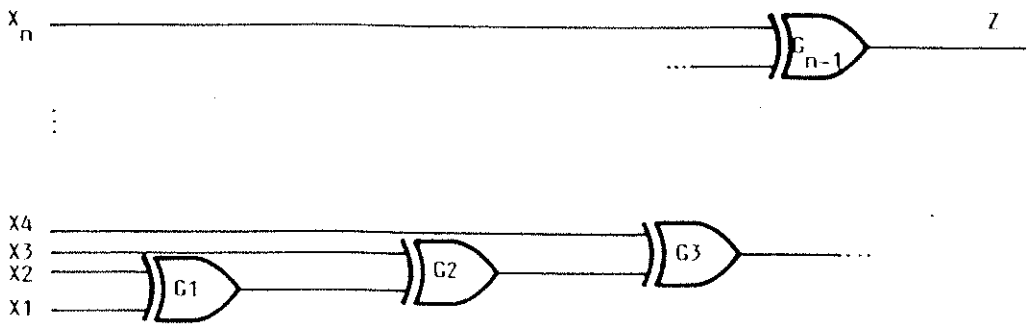
جهت آشکارسازی اشکال دراین قبیل مدارات فرض می شودکه درابتدا حداکثر یك سلول دارای اشکال بوده وسپس آن رابرای سلول های دیگرتا سلول شماره n ام درنظرمی گیرند .دراین صورت اثبات میشود که تعدادالگوهای آزمایش مستقل ازتعدادسلول ها (یعنی n) می باشد .

---

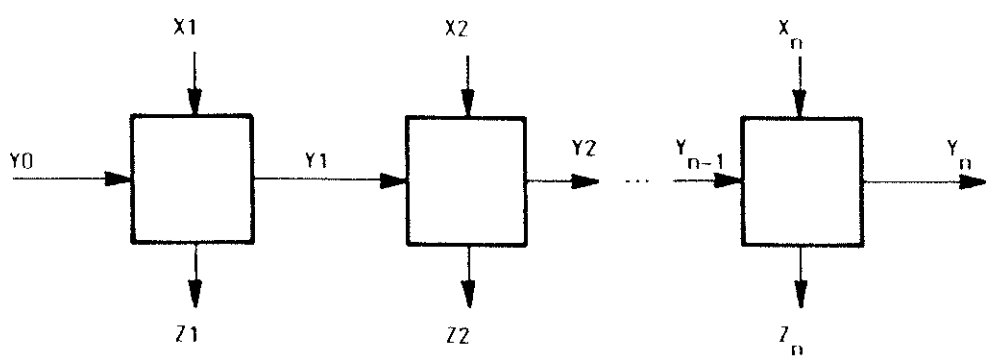
1) ITERATIVE ARRAYS



شکل (۲ـ۴۷): نمونه‌ای ازمدارات زائد



شکل (۲ـ۴۸): مدارخطی با استفاده‌از EX-OR



شکل (۲ـ۴۹): مدارمرکب ازقسمتهای تکراری

۲-۱۳) تعیین الگوهای آزمایش برای مدارات ترتیبی [1]

اگرچه برای تعیین الگوهای آزمایش جهت مدارات ترکیبی روش - د دارای کارآئی مناسبی می باشدولیکن دربکارگرفتن آن برای مدارات ترتیبی دارای نقائصی می باشدکه‌بدلیل وجودخواص این نوع مدارات می باشدوآنرا متمایزازمدارات ترکیبی نموده‌است ۰بطورکلی یك مدارترتیبی سنکرون [2] که‌مرکب ازاجزاء حافظه [3] ومدارات ترکیبی می باشدرابصورت شکل (۲-۵۰ - الف)نمایش می دهیم این مدارترتیبی رامی توان بشکل گسترده‌تر(۲-۵۰ - ب)نیزنشان داد ۰باتوجه‌بشکل مدار مشاهده‌می شودتوابع خروجی وتوابع حالتهای کنونی مداربترتیب زیرمی باشند :

$$\begin{cases} Z(t) = f_1(I(t) , Q(t)) \\ Q(t+1) = f_2(I(t) , Q(t)) \end{cases}$$

بادرنظرگرفتن توابع مشخصه‌مدارات ترتیبی ،ملاحظه‌می گرددکه‌خروجیهای مدارات ترتیبی یعنی $Z(t)$ درلحظه t نه‌تنها مانندمدارات ترکیبی بستگی به‌مقادیرورودی درهمان زمان یعنی $I(t)$ رادارد‌بلکه‌بستگی به‌ورودیهای قبلی ونتیجتا "مقادیرموجوددرحافظه‌هایعنی $Q(t)$ رانیزدارا می باشند ۰همچنین ملاحظه‌می شودحالتهای بعدی ماشین [4] یعنی $Q(t+1)$ تابعی ازحالت حاضر ماشین وورودیهای آن درلحظه t می باشند ۰بنابراین باتوجه‌به‌وجودحالتهای مختلف ماشین در زمانهای مختلف برای اینگونه‌مدارات یکی ازروشهای تولیدآزمایش می تواندمبتنی بربررسی تغییر حالتهای داخلی ماشین [5] بازاء مقادیرخاص ورودی باشد(البته‌بایدتوجه‌شودکه‌این روش درمورد مدارات ترتیبی بادارابودن حالتهای معین [6] می باشد) ۰

بااستفاده‌ازاین روش که‌درا غلب مدارات مرتبط باجدول واقعیتهای قطعات می باشدمی توان روش عملیاتی بعلاوه‌روش ساختاریافته(روش هایپرید)رابکاربرد ۰بنابراین بایدتوجه‌شودباتوجه‌به‌مطالب با لامهم ترین مسئله‌برای شروع آزمایش این نوع مدارات اطلاع ازحالت کنونی داخل ماشین است که مستلزم بوجودآوردن مقادیراولیه‌درحافظه‌ها می باشد ۰دربکارگیری روش هایپریدقدم اول برای تعیین

---

1) Sequential Circuit

2) Synchronous Sequential Circuit

3) Memory Element

4) Next State

5) Present State

6) State Transition Table

الگوهای آزمایش ،تعیین قطعات پیچیده ،وسپس شروع آزمایش بروش عملیاتی برای این قطعات می باشد .بایدتوجه‌شودکه‌اگرچنانچه‌بتوانیم قطعات فوق راآزمایش نمائیم وبدون اشکال باشندمی توانیم بطورکلی مطمئن باشیم که‌کلیه‌مدارات آزمایش می شوند .زیرا لازم است برای تولید الگوهای آزمایش برای هرقطعه‌پیچیده‌درداخل مدار ،مدارات ورودی کنترل وسپس عکس العمل مدارات درخروجی مشاهده‌شوند .که‌این عمل اجبارا "ازطریق مدارات میانی A و B درشکل (۲-۵۱)انجام می شود .باتوجه‌به‌این شکل مشاهده‌می شود ،جهت آزمایش قطعه U_i مدارات میانی A و B در گذرگاه‌واقع ونتیجتا "اشکالات ممکن درآنهاتحت پوشش واقع می شود .درعمل درصدبسیارخوبی از اشکالات قابل آشکارسازی بااین عمل می باشندکه‌نتیجتا "تقلیل قابل توجهی درلیست اشکالات ممکن درواحدتحت آزمایش بوجودمی آید .

اکنون می توان باتغییروبهبودبخشیدن به‌الگوهای آزمایش درصدقابلیت کشف اشکال راافزایش دادویابا استفاده‌ازروش ساختاریافته‌الگوهای جدیدی برای باقیمانده‌اشکالات بوجودآورد .درعمل مشاهده‌می گرددکه‌پس ازتعیین الگوهای اولیه‌بروش عملیاتی باپوشش 70 تا 80 درصد ،باقیمانده اشکالات بطوری بهم مربوط می شوندکه‌یك الگوی آزمایش می تواندمقداربیشتری ازیك اشکال را بپوشاند .باتوجه‌به‌مطالب گفته‌شده‌مثال زیرمی تواندروش هایبریدرادرموردمدارات ترتیبی مشخص نماید .شکل (۲-۵۲) یك مدارترتیبی راکه‌مرکب ازمدارات ترکیبی وحافظه‌می باشدرانشان می دهد .اجزاء این مدارعبارتنداز یك رجیستردوبیتی [1] ساخته‌شده‌ازدوفلیپ فلاپ [2] نوع ج - ك (با علامت U_1)وهمچنین یك شمارنده ۲ بیتی (U_2) باقابلیت بوجودآوردن عدداولیه [3] می باشد . خروجیهای شمارنده‌مستقیم به‌ورودیهای یك مالتیپلکسر (U_3) واردمی شود .درروی خروجی این قطعه‌یعنی U_3 دوعددروازمقیض وبصورت ضربدربیکدیگرمتصل وتشکیل یك لچ رامیدهند (U_4)

علاوه‌براین قطعات چنددروازمقیض " و " (U_6) وچندمعکوس کننده [4] (U_5) که‌دوعدداز آنها بصورت " و - اتصالی " بسته‌شده‌اندمی باشد(توجه‌شودکه‌مقاومت بالاکشنده [5] U_5 درمداروجود نداشته‌وبنابراین درموقع آزمایش توسط آزماینده‌تعبیه‌می شود) .باتوجه‌به‌تعیین روش هایبریدبرای بدست آوردن الگوهای آزمایش برای شروع وهمچنین انتخاب اولین قطعه‌وتعیین الگوهای آزمایش ، درآغازبه‌روش عملیاتی .لزوما "بایدمقادیراولیه‌شناخته‌شده‌درحافظه‌هابوجودآید .

---

1) TWO BIT SHIFT REGISTER

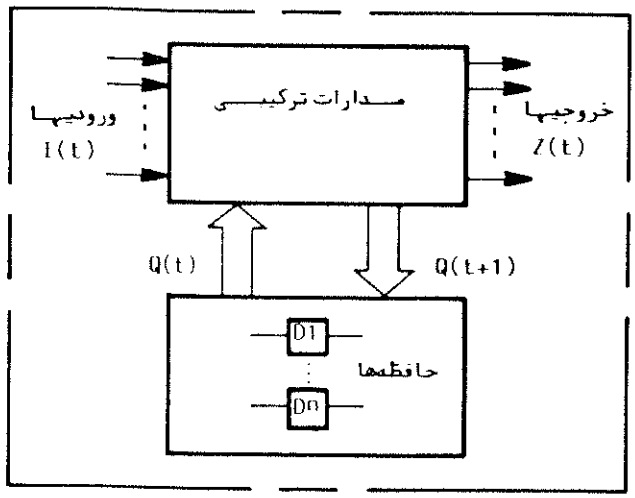
2) J - K FLIP - FLOP

3) PRELOAD FACILITY

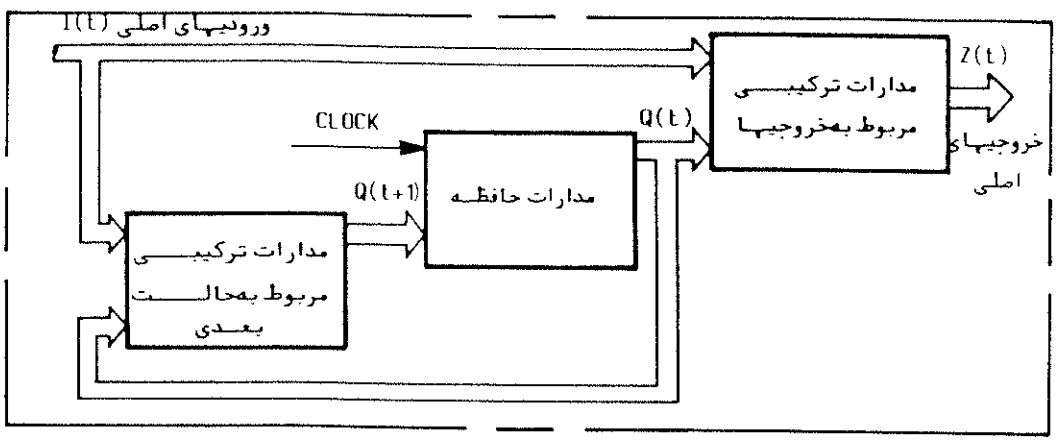
4) INVERTOR

5) PULL UP RESISTOR

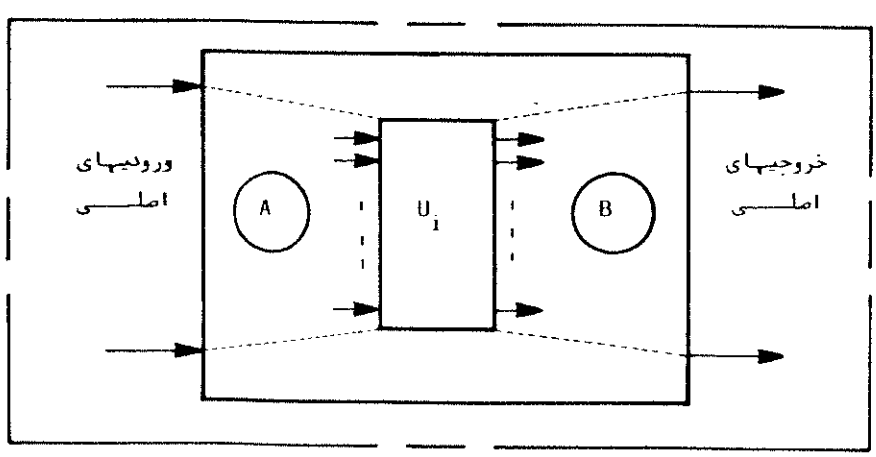
۱۶۸



شکل (۲.۵۰ـ الف): ساختار مدارات ترتیبی سنکرون



شکل (۲.۵۰ـ ب): ساختار گسترده ترمدارات ترتیبی سنکرون



شکل (۲.۵۱): تولید آزمایش برای مدارات ترتیبی

۱۴۹

برای بوجودآوردن حالت اولیه‌در دوقطعه‌فلیپ فلاپ یعنی U_1 ابتداء با استفاده‌ازورودی CLKRST مقادیر Q و $\bar{Q}$ رابترتیب صفرویک می نمائیم وسپس با استفاده‌ازورودی FFCLK این مقادیر رابه‌ورودیهای J و K فلیپ فلاپ شمارمیک اعمال می نمائیم ·قطعه U_2 یعنی شمارنده ۴ بیتی مستقیما "توسط ورودی BUSRST بحالت اولیه‌تمام صفردرمی آید ·برای بوجودآوردن مقادیر اولیه‌در U_3 می توان باانتخاب لوژیک صفردرروی ورودی LAICRST مقدار 1 و U_3 رابیک ونتیجتا "خروجی های شمارنده U_2 رابه‌خروجی U_3 انتقال داد ·بقیه‌مقادیرورودیها وخروجیهارا نیزمی توان مستقیما "ازروی ورودیهای اصلی کنترل وسپس مشاهده‌نمود ·پس ازبوجودآوردن مقادیر اولیه‌موردلزوم ،می توان آزمایش (تعیین الگوی آزمایش)راباشمارنده ۴ بیتی آغازنمود ·

الف) تولیدالگوی آزمایش برای شمارنده U_2

قابلیت مشاهده‌خروجی های این شمارنده‌ازطریق قطعه U_3 می باشد ،بنابراین باقراردادن 1 و U_3 درلوژیک می توان نتیجه‌خروجیهای U_2 رادرروی خروجیهای اصلی مشاهده‌نمود ·بنابراین آزمایش رابرمبنای ، امتحان کردن حالت صفر[1] وسپس امتحان شمارش صعودی بااعمال ۱۶ پالس زمانی ،امتحان انتقال اطلاعات موازی به‌شمارنده‌یاالگوهای (0101) و (1010) ،امتحان توانائی[2] قطعات بافعال کردن وغیرفعال کردن سیگنال EN ازروی ورودی J1.9 ،امتحان سیگنال خروجی C_0 درقطعه 15 و U_2 بهنگام رسیدن شمارنده‌به‌عدد۱۵ (کلیه‌بیتها برابریک می باشند) وازطریق قطعات U5 و U6 قرارمی دهیم ·

ب) تولیدالگوی آزمایش برای رجیستردوبیتی U_1

خروجیهای این رجیستررامی توان بصورت مستقیم ازخروجی اصلی J1-1 ویابوسیله U_3 وازطریق J1.23 مشاهده‌نمود ·اگرچنانچه‌بخواهیم عمل مشاهده‌رااز طریق U_3 انجام دهیم باید 1 و U_3 دارای مقدارصفرشودتاخروجیهای رجیستر ازطریق ورودیهای A_0 و A_1 قطعه U_5 قابل مشاهده‌گردد ·آزمایش رجیستر شامل پنج پالس زمانی می باشدتاکلیه‌حالتهای ممکن یعنی 2^2 حالت رادرآن ایجادنمود ·

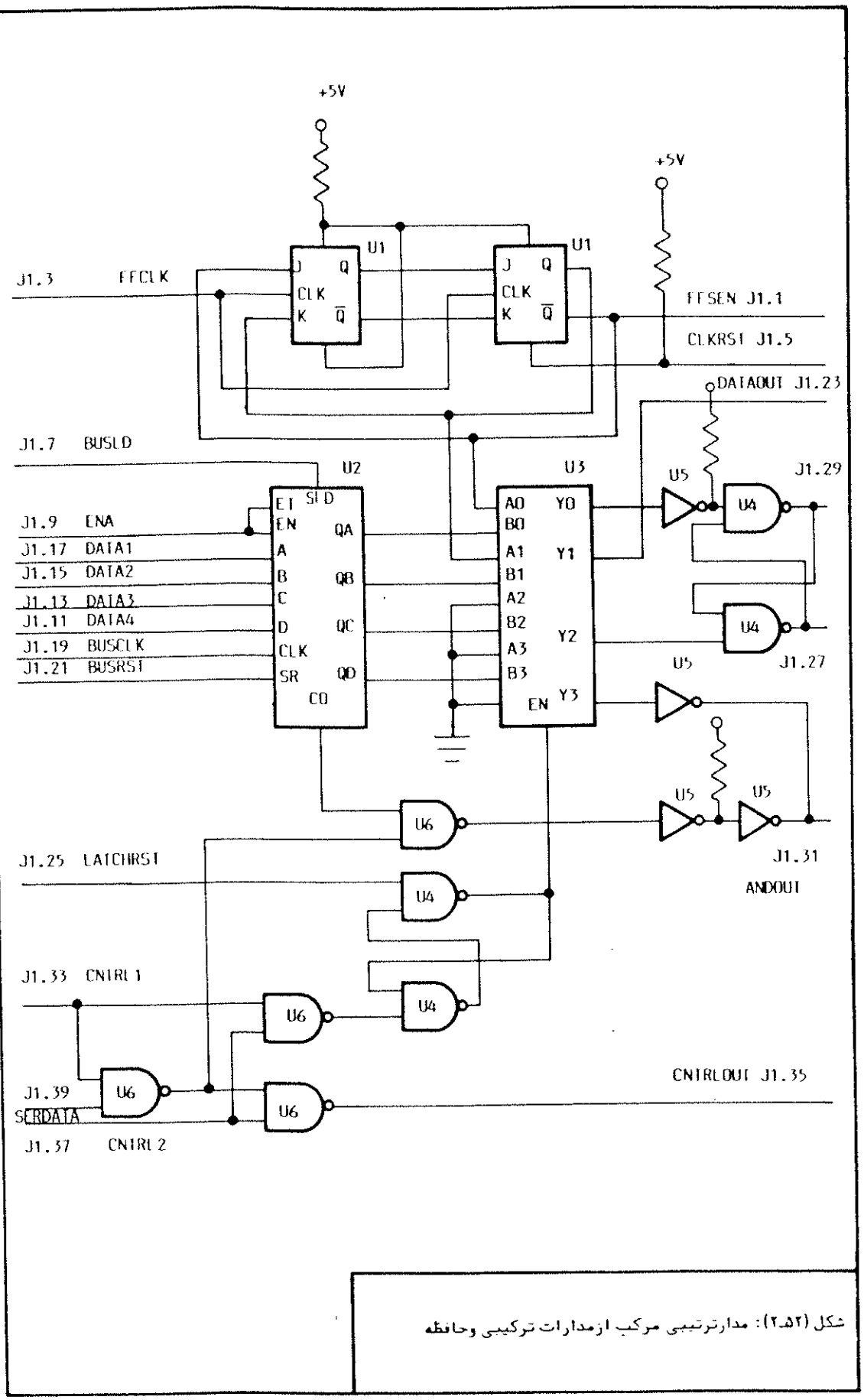
پ) آزمایش مالتیپلکسر U_3

باتوجه‌به‌آزمایشهای الفوب مشاهده‌می شودکه‌احتمالا "آزمایش قطعه U_3 انجام گردیده‌است امابک آزمایش ساده‌می تواناطمینان بیشتری رابوجودآورد ·با انتقال اطلاعات موازی به‌شمارنده

---

1) RESET MODE

2) ENABLE



شکل (۲.۵۲): مدارترتیبی مرکب ازمدارات ترکیبی وحافظه

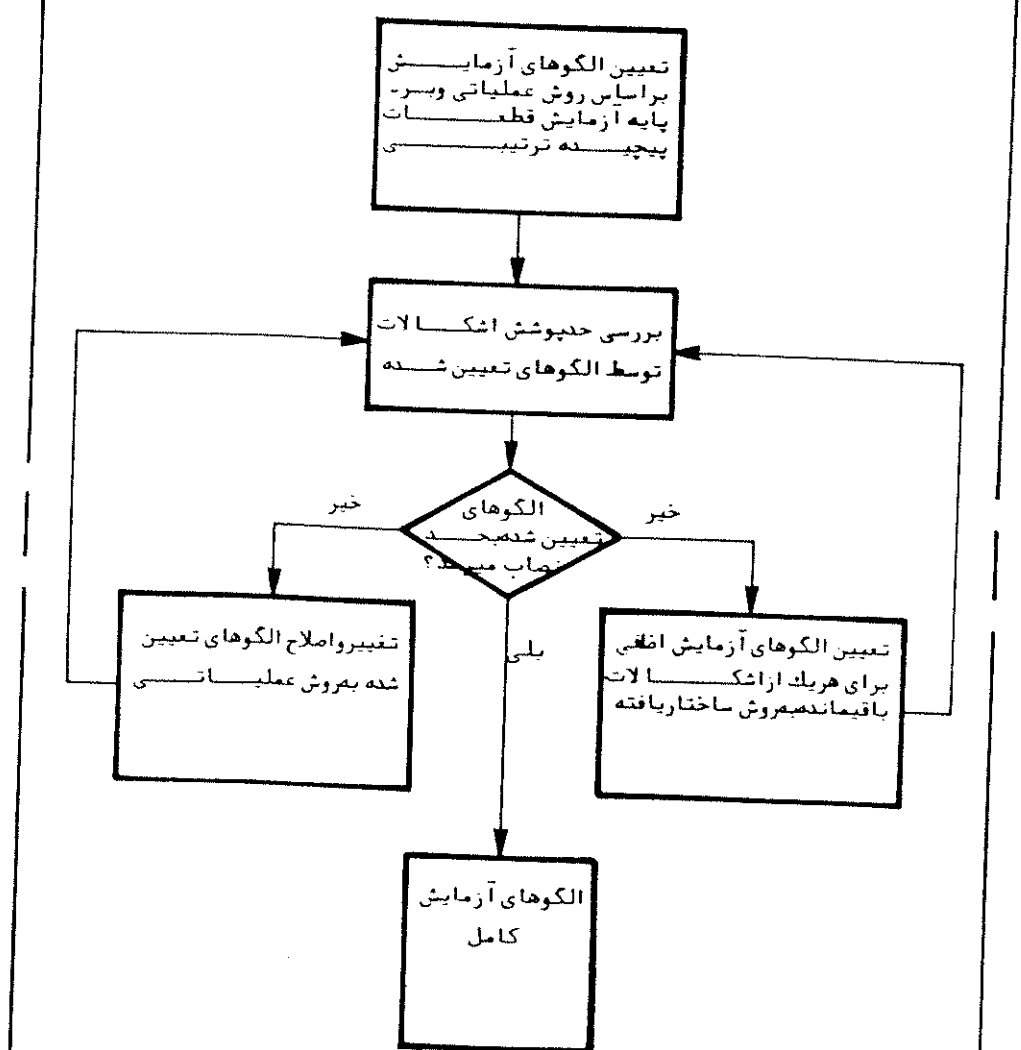
بصورت چهاربیت لوژیک " یك " وهمزمان تعیین مقادیرحداقل سه‌ورودی A در U_3 به‌مقدارلوژیك صفروسپس انتخاب ورودیهای A درقطعه U_3 وسپس انتخاب ورودیهای B درقطعه U_3 ، ایـــن الگوهای آزمایش می توانداشکالات ایستائی روی قطعه U_3 وهمچنین اشکالات U_4 راچـــــه بصورت ایستائی وچه‌بصورت پل سازه‌مشخص نماید .

باانتخاب روش عملیاتی فوق کلیه‌اشکالات مرتبط با U_1 ، U_2 ، U_3 ، U_4 و U_5 پوشیده می شود .مرحله‌دوم انتخاب الگوی آزمایش برای قطعات U_6 ومدارلج که‌مرکب ازدودروازه U_4 است می باشد .برای تعیین الگوهای آزمایش لازم ازروش ساختاریافته‌استفاده‌می نمائیم .بنابراین باانتخاب مسیرحساس والگوی مناسب برای هردروازه‌الگوهای آزمایش برای تمام مداربدست می آید درمرحله‌بعدی باتعیین پوشش اشکال نهائی ،اگرچنانچه‌این مقداربحدنصاب نرسیده‌باشدمجـــددا " می توان آزمایش درنظرگرفته‌شده‌رابررسی وبرای پوشش بیشترتغییرات مناسبی درنظرگرفـــــت . معمولا "بهتراست که‌برگشت مجددبه‌الگوهای قبلی انجام نگردیده‌والگوهای جدیدی برای پوشانـــدن اشکالات باقیمانده‌انتخاب نمود .بنابراین می توان استراتژی فوق رابصورت چارت شکل (۲ـ۵) نشان داد .

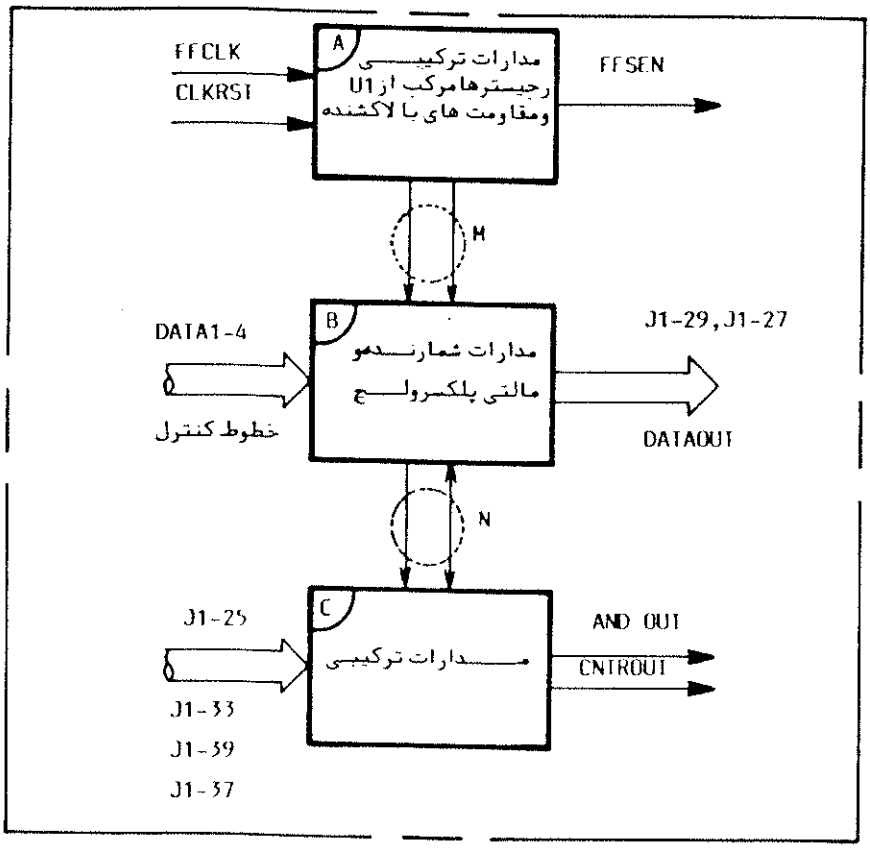
۱ـ۱۳ـ۲) مسائل موجوددرتعیین الگوهای آزمایش برای مدارات ترتیبی

استفاده‌ازروش فوق لزوم شروع آزمایـــش ازقطعه‌پیچیده‌معینی راایجاب می نماید .ولی مسئلـه این است که‌بهترین انتخاب چه‌قطعه‌ای می باشد .جهت انتخاب مناسبترین قطعه‌می توان ازبلـــوك دیاگرام کلی مدارتحت آزمایش ،که‌یکی ازاطلاعات اساسی موردنیازتعریف گردید، استفاده‌شـود . برای مدارشکل (۲ـ۵۲) بلوك دیاگرام کلی بصورت شکل (۲ـ۵۳) می باشد .باتوجه‌باین شکـــل مشاهده‌می شودتنهاواحد A دارای ورودیهای مستقل ازواحدهای B و C می باشد .بنابرایـــن انتخاب مناسب شروع تعیین الگوی آزمایش ازواحد A می باشد .اگرچنانچه‌برای شروع ،هریـــك ازواحدهای B و C راانتخاب نمائیم بعلت ارتباط باواحدهای دیگر ، لازم است که‌مقادیرورودیهای مرتبط باواحدهای دیگرراتعیین وسپس الگوهای موردلزوم راتعیین نمود .بنابراین باشروع ازواحد A می توان باتعیین الگوهای این بلوك ،ورودیهای دسته M برای بلوك B تهیه‌وسپس تهیـــــه الگوی آزمایش برای این بلوك راآغازنمودودرانتهابلوك C رابررسی والگوهای مربوط به‌آن را - تهیه‌نمود .

۱۷۲



چارت (۵-۲): نحوه‌تولیدآزمایش برای مدارات ترتیبی



شکل (۲-۵۳): بلوک دیاگرام شکل ۲-۵۲

۱۴-۲) قابلیت آزمایش درمدارات الکترونیکی

انتخاب هریك ویامجموعه‌ای ازروشهای شرح داده‌شده‌برای تعیین الگوهای آزمایش وانجام عمل آزمایش یك مدارمستقیما "باقابلیت آزمایش[1] ونتیجتا "قابلیت کنترل[2] وقابلیت مشاهده[3] مدار ارتباط دارند.

قابلیت آزمایش (TY) یك بردبرحسب دوخاصیت قابلیت کنترل (CY) وقابلیت مشاهده (OY) اجزاء آن درداخل مدارات بردتعیین می شوند، یعنی :

$$TY = F(CY, OY)$$

بعنوان مثال می توان آزمایش مدارمجتمع " و " راکه‌دارای سه‌ورودی می باشدنام‌برد. همانطورکه‌شرح داده‌شدمی توان بسادگی با اعمال شکل های ورودی زیرکه‌شکل حبابی[4] نامیده‌می شوند، برورودیهای آن که‌مستقیما "قابلیت کنترل رادارامی باشنداقابلیت کنترل ۱۰۰٪)ومشاهده‌مستقیم اثر اعمال این شکلهای‌ورودی (قابلیت مشاهده ۱۰۰٪)این جزء راآزمایش نمود. (شکل ۵۴-۲)

حال آنکه‌همین جزء داخل مداری بزرگ وپیچیده‌وبراساس شکل مدارممکن است دارای قابلیتهای کنترل ومشاهده‌خیلی کوچك ونتیجتا "دارای قابلیت آزمایش بسیارکم باشد.

درسالهای اخیرفعالیتهای وسیعی درامرافزایش قابلیت آزمایش انجام گردیده‌است ودرهمین ارتباط جهت تجزیه‌وتحلیل وتعیین قابلیت آزمایش مدارات طراحی شده، برنامه‌های کامپیوتری مختلفی توسعه‌یافته‌که‌می توان با اجرای این برنامه‌هامدارات طراحی شده‌رامورد‌بررسی قرارداده‌ونقاط مختلف مدارراکه‌دارای قابلیت کنترل ومشاهده‌ضعیف تری می باشندتعیین وروش های تولیدآزمایش رابراساس این قابلیت ها وتغییرات لازم برروی این نقاط انجام داد(مرجع۱۶).

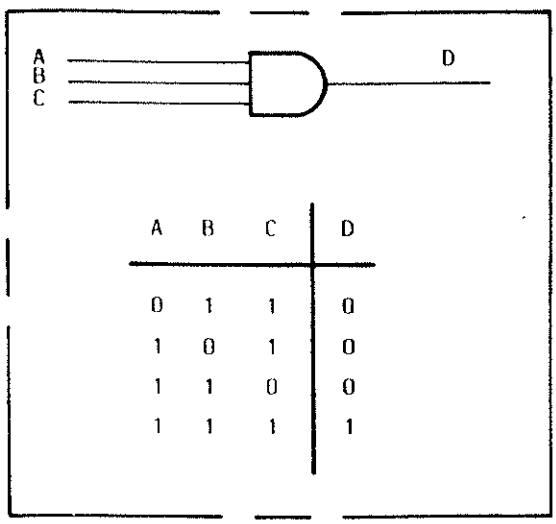
درارتباط باتعیین ضرائب فوق دوبرنامه‌کامپیوتری "اسکوآپ[5] " و " کاملوت " رامی توان نام برد. مثال زیرکاربردبرنامه‌کاملوت[6] رادرتعیین قابلیت کنترل (CY) وقابلیت مشاهده (OY) وهمچنین قابلیت آزمایش (TY) برای شکل (۵۵-۲- الف)نشان می دهد.

جدول شکل (۵۵-۲ب) نشاندهنده‌مقادیربدست آمده‌قابلیت کنترل وقابلیت مشاهده‌وهمچنین قابلیت آزمایش برای هریك ازگره[7]های مدارفوق می باشد. بابررسی مقادیربدست آمده‌مشاهده‌می شود که، مقادیرقابلیت مشاهده‌همواره‌ازمقادیرمشابه‌برای قابلیت کنترل کمترمی باشد. علت این امربدین جهت است که‌عمل مشاهده‌نه‌تنها احتیاج به‌شناسائی مسیرانتقال مناسب[8]، برای انتقال نتیجه‌کنترل

---

1) TEST ABILITY
2) CONTROL ABILITY
3) OBSERVABILITY
4) BUBLLE PATTERN
5) SCOAP
6) CAMELOT
7) NODE
8) PATH SENSITIZATION

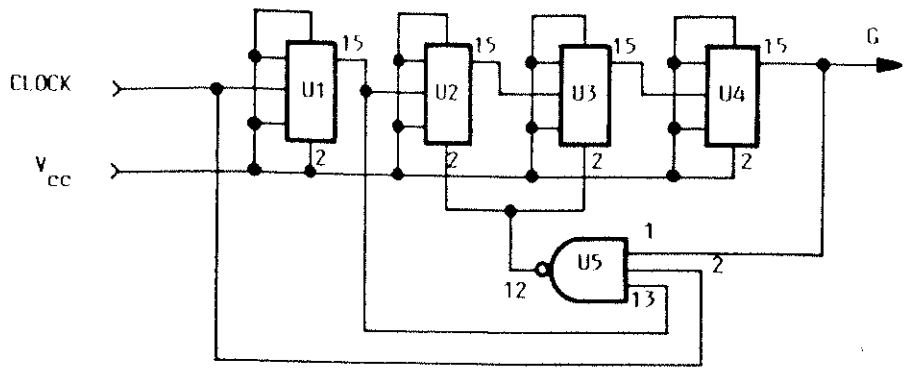
۱۹۰



A	B	C	D
0	1	1	0
1	0	1	0
1	1	0	0
1	1	1	1

شکل (۵۴ـ۲): دروازه " و " والگوهای حبابی آزمایش

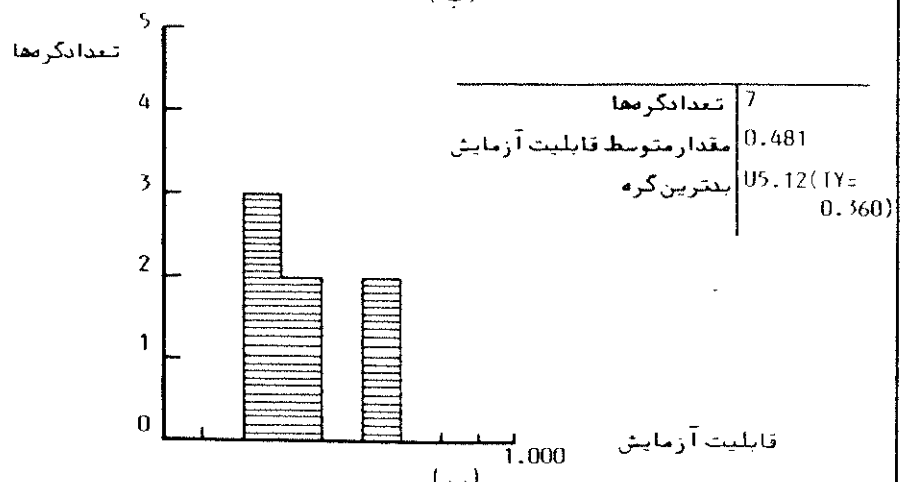
۱۹۱



(الف)

گره	قابلیت آزمایش	قابلیت کنترل	قابلیت مشاهده
U5.12	0.360	0.607	0.593
U2.15	0.370	0.675	0.548
U1.15	0.373	0.795	0.469
CLOCK	0.432	1.000	0.432
U3.15	0.480	0.641	0.750
Vcc	0.660	0.841	0.785
G	0.692	0.692	1.000
مقدارمتوسط	0.481	0.750	0.654

(ب)



(پ)

شکل (۲-۵۵): مدارترتیبی وجداول قابلیت آزمایش

۱۹۲

به‌خروجی قابل رویت دارد، بلکه‌جهت انتقال به‌خروجی احتیاج به‌کنترل ورودیهای دیگراجزاء که در مسیرواقع اندمی باشد. همانطوریکه‌ازشکل ۵۵-۲ - ب مشخص می باشد، گره‌خروجی U5.12 (واحد U5 ، گره‌شماره ۱۲) ،دارای کمترین مقدارقابلیت آزمایش می باشد، زیراعمل کنترل ومشاهده‌در روی این جزء بخاطرموقعیت آن درمداربسیارمشکل می باشد. وضعیت این خروجی تنهابازاء فقط یک حالت شمارنده‌قابل تغییربه‌صفرمی باشد، که‌درزمان آزمایش این جزء مشکل آفرین خواهدبود.

جهت مشاهده‌تغییروضعیت درگره‌خروجی که‌باعث صفرشدن خروجیهای شماره ۱۵ مربوط به‌اجزاء U2 و U3 می باشد، بایدنتایج به‌خروجی اصلی G منتقل شود.

مسائل فوق برای آزمایش جزء U2 نیزصادق می باشد. با استفاده‌ازجدول شکل۵۵-۲- ب وروشهای گفته‌شده‌دربخشهای دیگر، مشاهده‌می شود جهت افزایش قابلیتهای کم درمداربکمک شکستن مدار فیدبک وهمچنین کنترل حالتهای مدارات حافظه‌می توان باتغییری جزئی مطابق شکل۵۶-۲ - الف این عمل راانجام داد. باقطع خروجی U5.12 ،مدارفیدبک قطع شده‌وسپس این گره‌رابه‌خروجی بردمنتقل می کنیم ،سردیگراین اتصال قطع شده‌راکه‌به‌ورودیهای شماره ۲ اجزاء U2 و U3 متصل می شدرانیز به ورودی بردمنتقل می نمائیم ،برای افزایش قابلیت مشاهده‌گره‌شماره ۱۵ مربوط به U2 آنرا مستقیما " به‌خروجی بردمنتقل می نمائیم . درزمان انجام کارمعمولی ،این برددرروی سیستم، با اتصالی که‌درروی کانکتوربین دونقطه A و B بوجودمی آیدبردقادراست کارمعمولی خودراانجام دهدوحال آنکه‌درزمان آزمایش دونقطه A و B دردسترس آزماینده قرارمی گیرد. همانطوریکه از جدول ۵۶-۲ - ب مشاهده‌می شودباتغییری جزئی درمدار، مقدار متوسط قابلیت آزمایش رادرحدقابل ملاحظه‌ای افزایش داده‌ونتیجتا "پیچیدگی عمل ایجادآزمایش راکاهش داده‌ایم.

۱-۱۴-۲) روشهای افزایش قابلیت آزمایش

روشهای کلی افزایش قابلیت آزمایش دریک مدارویایک برد، که‌پس ازمشاهده‌نتایج برنامه‌های کامپیوتری ویاتجزیه‌وتحلیل مدارات بردانجام می گیرد، بطورکلی بدودسته‌تقسیم می شوند.

روشهای تک کاره[1] (غیرقابل تعمیم)وروش های ساختاریافته[2] (قابل تعمیم).

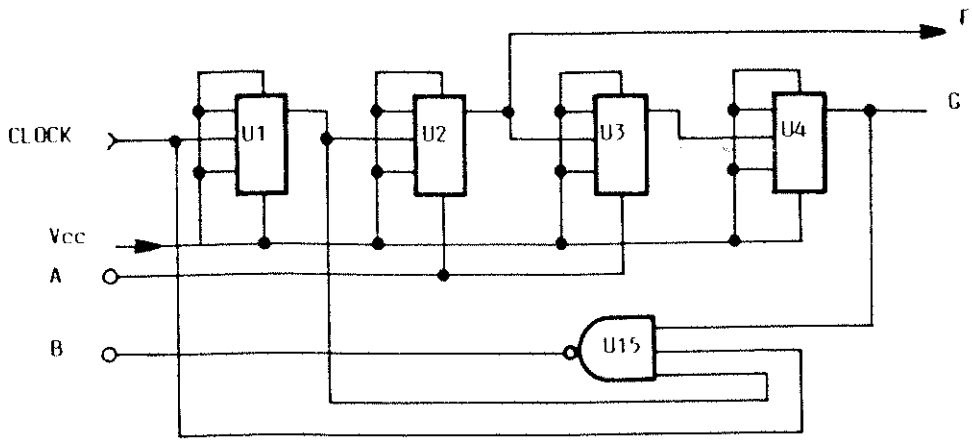
۱-۱-۱۴-۲) روشهای تک کاره

بطورکلی روش های تک کاره‌روشهائی هستندکه‌درموردطراحی های بخصوصی بکارگرفته‌می شوند

---

1) AD-HOC DESIGN FOR TESTABILITY

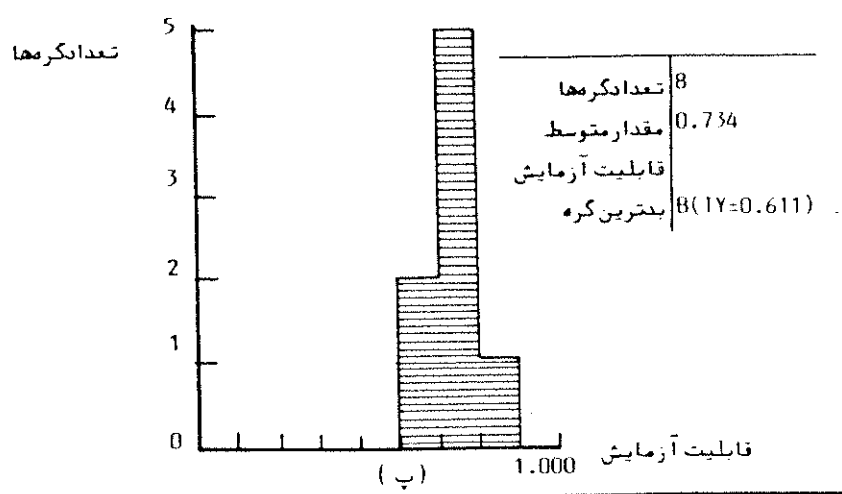
2) STRUCTURED DESIGN FOR TESTABILITY



(الف)

گره	قابلیت آزمایش	قابلیت کنترل	قابلیت مشاهده
B	0.611	0.611	1.000
U3.15	0.625	0.783	0.799
U1.15	0.708	0.795	0.890
G	0.724	0.724	1.000
Vcc	0.773	0.841	0.919
CLOCK	0.784	1.000	0.784
F	0.785	0.785	1.000
A	0.860	1.000	0.850
مقدار متوسط	0.734	0.817	0.906

(ب)



(پ)

شکل (۲.۵۶) : ایجاد نقاط آزمایش جهت افزایش قابلیت آزمایش

۱۹۴

وقابلیت تصمیم ندارند. بطورمثال افزایش یك نقطه آزمایش برروی یك بردکه‌جهت افزایش قابلیت کنترل ویا مشاهده‌انجام می گیرد، هموارمبراساس ترکیب وشکل مداروددرنقاط حساس یك بردانتخاب می شود، حال آنکه‌برای مداری متفاوت نقاط انتخاب شونده‌کاملا" متفاوت می باشند.

روش های تك کارمبترتیب عبارتنداز :

روش جزء بندی[1]

آزمایش کامل[2] یك برددیجیتالی که‌دارای n ورودی بوده‌وتنها ازمدارات ترکیبی[3] تشکیل شده باشدمستلزم وجود 2^n شکل ورودی است واگراین بردمتشکل ازمدارات ترتیبی[4] با m جزء حافظه[5] باشد، مستلزم وجود 2^{n+m} شکل ورودی می باشد.

درموردیك بردپیچیدهباتعدادورودیهای نه‌چندان زیاداین رقم عددی بسیاربالامی باشد.بعنوان مثال یك بردبا ۲۵ ورودی وتعداد ۵۰ جزء حافظه‌برای آزمایش کامل نیازبه 2^{75} شکل ورودی رادارا می باشدکه‌معادل 10^9 ورودی بوده‌وعملا" آزمایش یك بردبازاء این تعدادورودیها امری غیرممکن می باشد.

نتیجتا "بااستفاده‌ازکامپیوتر[6] وروش های متداول می توان ازتعدادابن ورودیهاکاسته‌وعمل آزمایش راآسان نمود.

برای راندن برنامه‌کامپیوتری زمان لازم جهت بردی که‌شامل N جزء دروازه‌می باشدبرابر(مرجع۱۰)

$$T = KN^3 \text{ Sec}$$
$$K > 1$$

می باشد.مشاهده‌می گرددکه‌مجددا "باافزایش درپیچیدگی واندازه‌یك بردکه‌باعث افزایش تعداد دروازه[7] های موجوددرآن می شود،زمان لازم برای راندن کامپیوترباتوانی‌از ۳ بالامی رودجزء بندی مناسب مدارات که‌عبارت ازتقسیم مدارات به‌مجموعه‌ای ازمدارات کوچکترمی باشد،می تواندنه تنهاباعث تقلیل ورودیهاودروازه‌هاگرددبلکه‌زمان راندن کامپیوتررانیزکم می نماید.مهمترین مسئله آنکه‌بااستفاده‌ازاین روش می توان باجزء بندی مناسب عمل ایجادآزمایش راباتجزیه‌وتحلیل بردو

---

1) PARTITIONING
2) EXHAUSTIVE TEST
3) COMBNATIONL CIRCUITS
4) SEQUENTIAL CIRCUITS
5) LATCHES
6) COMPUTER AIDED TEST GENERATION
7) GATE COUNT

۱۹۵

مرکز تحقیقات نباتات ایران

روش های متداول ،بصورت دستی وبدون کمك کامپیوترانجام داد.

روش های گوناگون جزء بندی عبارتنداز :

روش هـای الکترونیکـی

الـف: روش مالتیپلکس[1] ،دراین روش سعی می شودبا استفاده‌ازجزء مالتیپلکس (MUX) درروی - ورودیها وخروجی های مرتبط بین چندقسمت مهم مدارات یك برد ،قابلیت کنترل ومشاهده‌آنهـــا را افزایش داد،شکل۵۷-۲ - الف ساختمان کلی این نوع جزء بندی رانشان می دهد.درشکل۵۷-۲- ب بـــا استفاده‌ازکنترلی کهبرروی MUX اعمال می شودمی توان یك بخش رابصورت مستقل آزمایش نمود.

ب : **روش دروازه‌بندی**[2] : این روش همانندروش با لاعمل می نماید ،بااین تفاوت که‌مدارات کنترل آن بسیارساده‌ترازروش مالتیپلکس می باشد.درشکل۵۸-۲ الف باصفرکردن سیگنال کنترل ورودی دروازه می توان کنترل کامل جزء ۲ و۳ رابوسیله‌خطوط A و B و C که‌قابل دسترس بوسیله‌آزماینده‌می باشند رابدست گرفت .یکی ازمواردا‌ستعمال دروازه‌بندی درموردآزمایش بردهائی می باشدکه‌برروی آنهـــا اسیلاتورمحلی‌نصب شده‌است .درزمان آزمایش این چنین بردی لازم است مدارات برد،تحت کنتـــــرل پالسهای زمانی خودآزماینده‌آزمایش شوند.بنابراین می توان باعمل دروازه‌بندی براساس شکل۵۸-۲ب این کنترل راانجام داد،همچنین استفاده‌دیگراین روش درشکستن حلقه‌های فیدبك می باشد.

پ : **روش کنترل مستقیم**[3] : دراین حالت با استفاده‌ازاجزاء خاصی[4] که‌درخروجی بخشهای جـــزء بندی شده‌قرارمی گیرد،می توان این خروجی هارادرحالت امپدانس[5] با لاقرارداده‌وکنترل آنهارابصورت دوطرفه(ورودی وخروجی)دراختیارگرفت .شکل ۵۹-۲نشاندهنده‌این نوع جزء بندی می باشد.

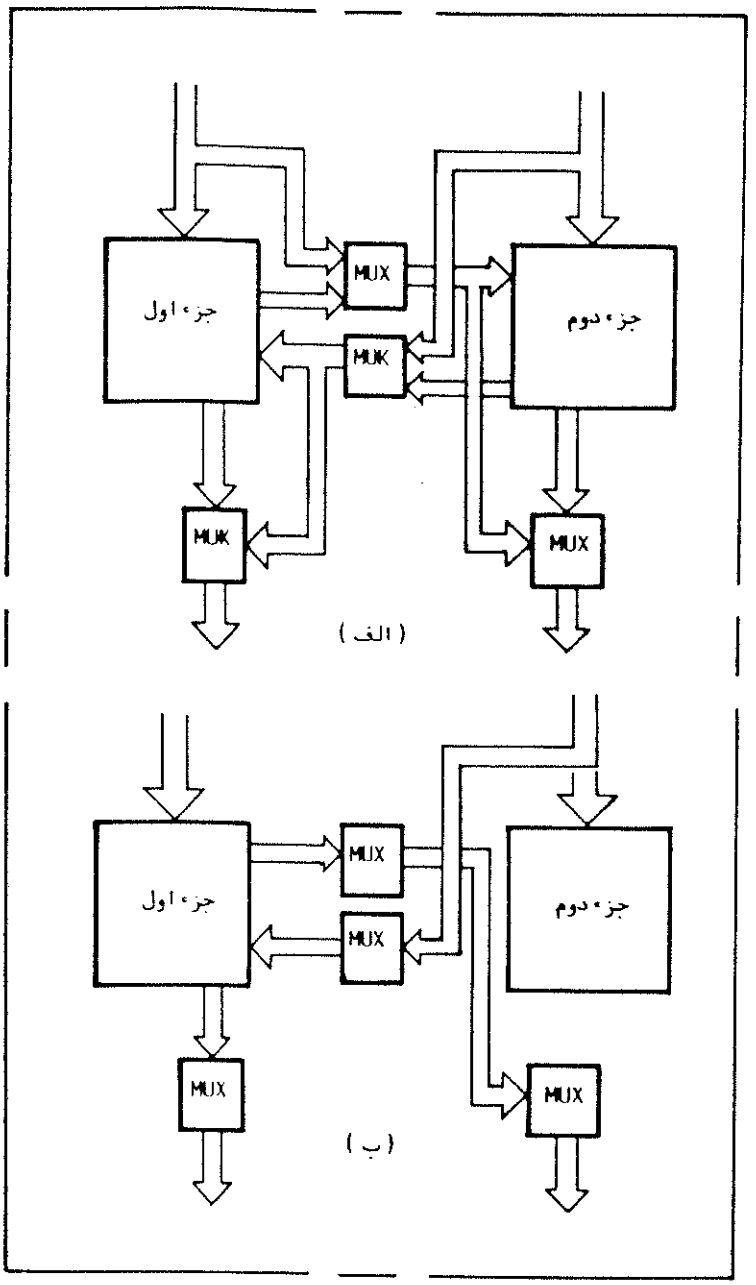
ج : **روش ساختارمسیرعمومی**[6] : یکی ازروشهای دیگرجزء بندی که‌کاربردبسیاری درسیستمهـــای مایکروپروسورکنترل رادارامی باشد،طراحی سیستم باساختارمسیرعمومی می باشد.دراین حـــالـت

---

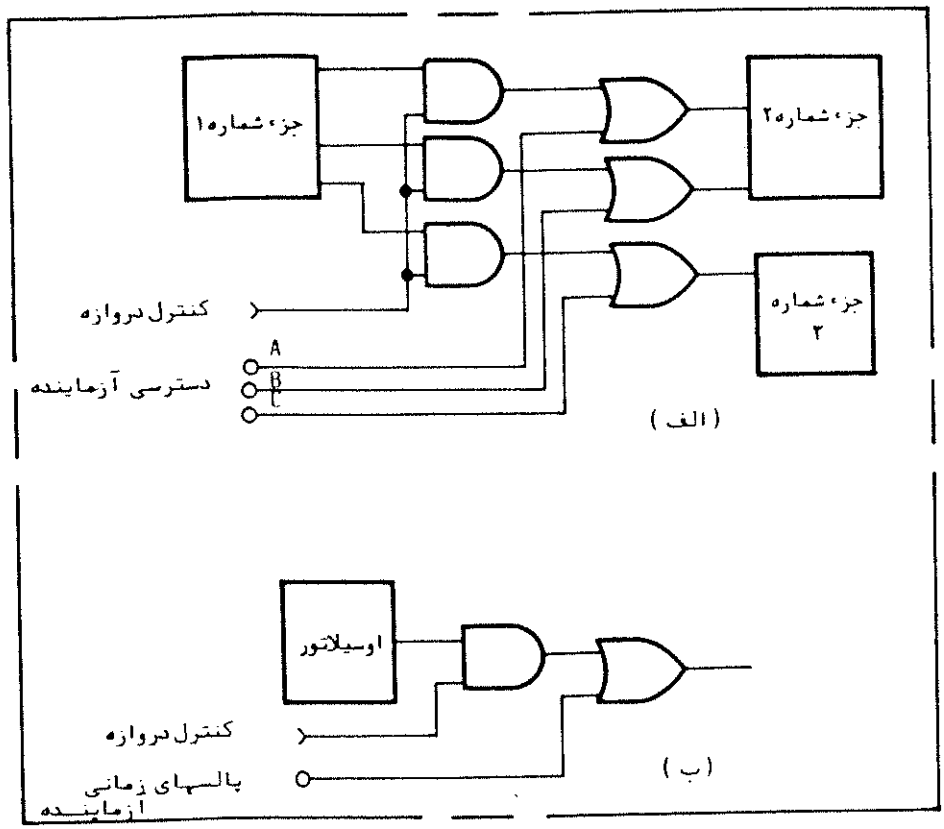
1) MULTIPLEX
2) DEGATING
3)DIRECT CONTROL
4) TRI - STATE OUT-PUT
5) HIGH IMPEDANCE
6) BUS STRUCTURED

۱۹۶

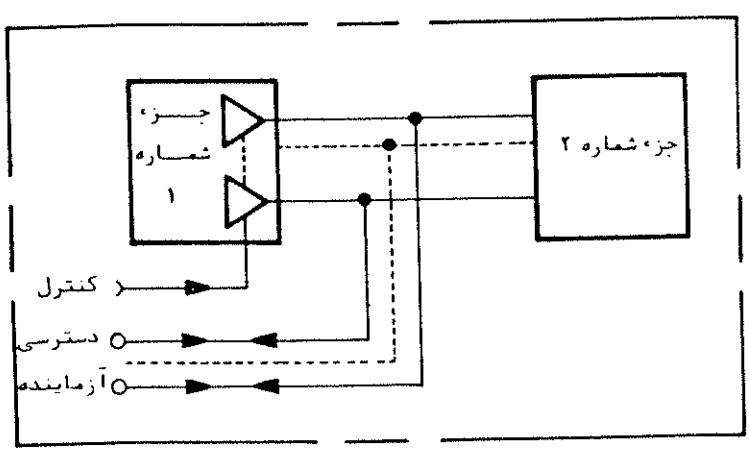
مرکز تحقیقات منابات ایران



شکل (۲.۵۷) : روش مالتیپلکس جهت افزایش قابلیت آزمایش



شکل (۲.۵۸): افزایش قابلیت آزمایش بکمک دروازه‌بندی



شکل (۲.۵۹): استفاده از قطعات سه‌وضعیتی جهت افزایش قابلیت آزمایش

۱۹۸

مسیرهای ورودی وخروجی که بصورت دسته‌بندی شده‌می باشد .توسط اجزاء مختلف بردبصورت مشترک استفاده‌می شود .درحالت آزمایش می توان بغیرازجزء تحت آزمایش ،اجزاء دیگررا ازتاثیرمسیر عمومی خارج نموده‌وآن جزء راآزمایش نمود . شکل ۶۲-۲ این نوع ساختاررادریك مایکروپروسسور نشان می دهد .

روش های مکانیکی جزء بندی

الف : **کاربردمایکروسویچ** : دراین روش عمل جزء بندی بااستفاده‌ازاجزاء مکانیکی انجام می گردد همانطوریکه‌درشکل ۶۰-۲مشاهده‌می شود ،بااستفاده‌ازیك مایکروسویچ[1] کمبرروی خروجی وورودیهای موردنیازجزء شمارمیك وجزء شماره ۲ نصب شده‌است عمل جزء بندی صورت گرفته‌است .

درزمان کارمعمولی بردروی سیستم ،کلیدهای مایکروسویچ بسته‌بوده‌وخروجیهاوورودیهای جزء شماره ۱ مستقیما " به‌ورودیهاوخروجیهای جزء شماره ۲ متصل می باشد .

درزمان آزمایش کلیدهابازبوده‌وخروجیهاوورودیهای جزء شماره ۱ وجزء شماره ۲ ازیکدیگرجدا شده‌ومستقیما " به‌آزماینده‌متصل می شوند .

ب : **استفاده ازکانکتور** : روش دیگراستفاده‌ازکانکتوراصلی بردرروی سیستم اصلی می باشد .در این حالت طبق شکل ۶۱-۲ورودی وخروجیهای لازم جزء شماره ۱ ازبردخارج وسپس توسط کانکتور ، مجددا " به‌داخل بردمراجعه‌وبه‌ورودی وخروجیهای جزء شماره ۲ متصل می شوند .درزمان کاراصلی برد این اتصالات توسط کانکتوربهم متصل می باشندحال آنکه‌وقتی بردازکانکتوراصلی سیستم خارج می شوداین اتصالات قطع ودراختیارآزماینده‌قرارمی گیرد .

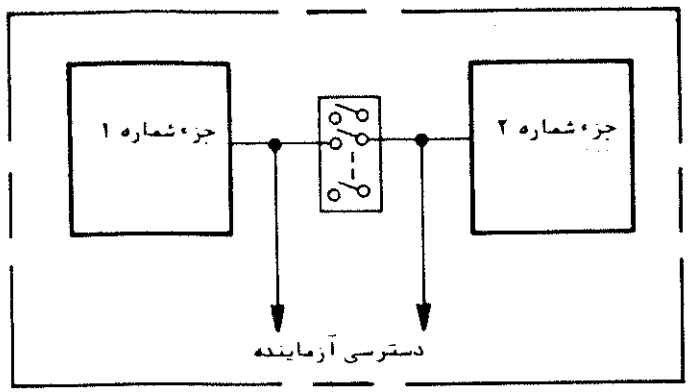
پ : **استفاده ازنقاط آزمایش** : بادرنظرگرفتن نقاط حساس بردازنظرقابلیت مشاهده‌می توان این نقاط رابه‌خروجیهای اصلی بردمنتقل ودردسترس آزماینده‌قرارداد (شکل۶۲-۲) .

۲-۱-۱۴-۲) روشهای ساختاریافته

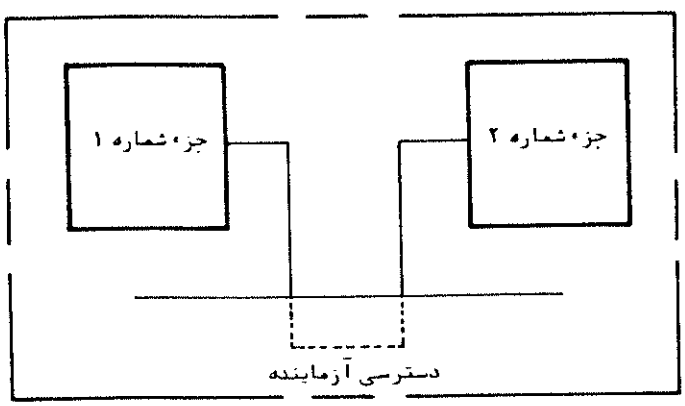
درروشهای ساختاریافته‌سعی می شودکه‌تکنیك های بوجودآمده‌مدارای کاربردعمومی بوده‌وبطور کلی بتوان آنهارادرراستای هدف تقلیل درپیچیدگی مدارات .بخصوص مدارات ترتیبی بکارگرفت . همانطوریکه‌دربخشهای قبلی مشاهده‌شدبیشترمسائل موجوددرانجام عمل آزمایش یك مدار ،

---

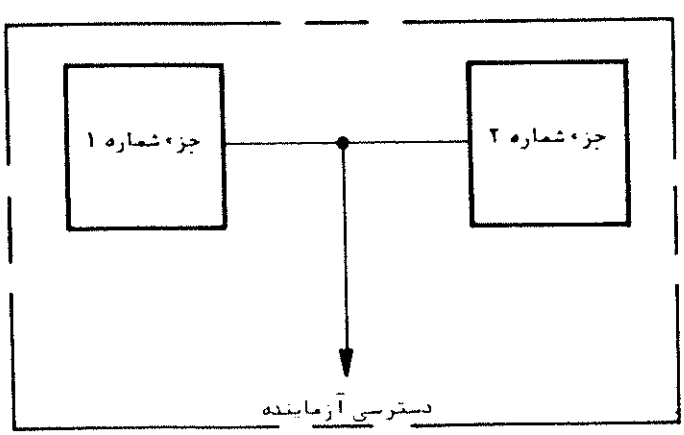
1) MICRO - SWITCH OR SUMPER WIRE



شکل (۲-۶۰): کاربرد مایکروسویچ در افزایش قابلیت آزمایش



شکل (۲-۶۱): استفاده از کانکتور در افزایش قابلیت آزمایش



شکل (۲-۶۲): استفاده از نقاط آزمایش در افزایش قابلیت مشاهده

۲۰۵

مرتبط با قابلیت کنترل و مشاهده در نقاط مختلف مدار می باشد. در مدارات ترتیبی علاوه بر این مشکلات بعلت وجود اجزاء حافظه در مدارات، برای شروع آزمایش مسئله بوجود آوردن مقادیر اولیه [1] و کنترل و مشاهده حالت های متفاوت [2] حافظه ها یکی از مسائل بسیار مهم ایجاد آزمایش و تعیین حد موثر بودن آن در این نوع مدارات بوده، و بنابراین روشهای ساختار یافته، سعی در پیدا نمودن راه حل های عمومی برای این نوع مشکلات می باشد.

روش پیمایش گذرگاه [3]:

شکل عمومی یک مدار ترتیبی را می توان براساس شکل ۶۴-۲- الف در نظر گرفت. همانطوریکه مشاهده می شود این مدارات متشکل از دو قسمت حافظه ها و مدارات ترکیبی می باشند.

در روش پیمایش گذرگاه مدارات حافظه بصورت حافظه های [4] SRL می باشند که می توان اطلاعات را هم بصورت موازی و هم بصورت سری در آنها ضبط و یا خارج نمود. در زمان کار معمولی برد، اطلاعات خروجی از مدارات ترکیبی بصورت موازی وارد اجزاء حافظه SRL شده و بصورت موازی نیز از این اجزاء خارج و همزمان با ورودی اصلی مجددا "به مدارات ترکیبی وارد می شوند.

در زمان آزمایش، اطلاعات آزمایش کننده از طریق گذرگاه ورودی که با خط تیره کلفت مشخص شده است بصورت سری وارد حافظه ها شده و سپس از طریق گذرگاه خروجی به آزماینده ارسال می شوند (این عمل تحت کنترل سیگنال کنترل پیمایش انجام می شود). شکل ۶۴-۲- ب مدارات و طرز کار این روش را بصورت مبسوط تر نشان می دهد.

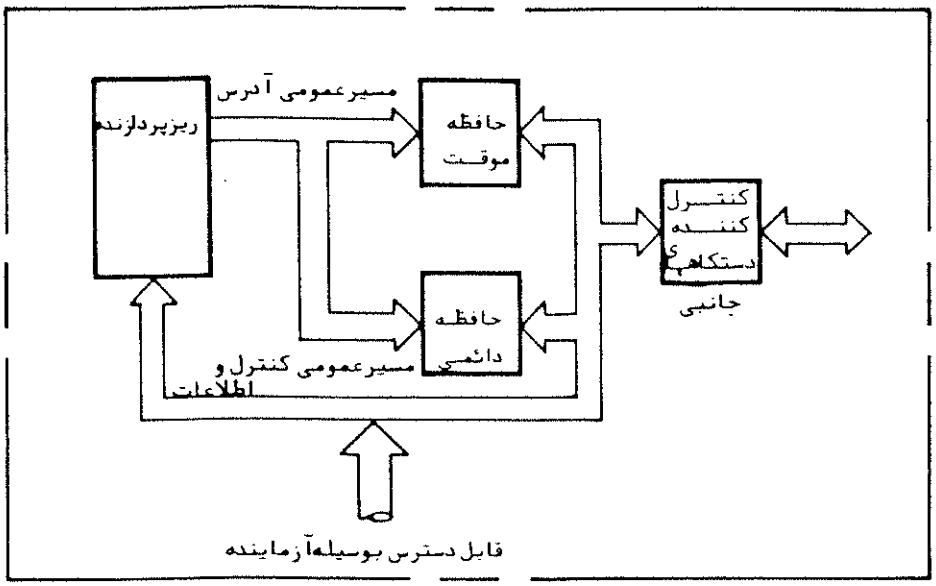
یکی از خواص متعدد این روش امکان انجام خود آزمائی مدارات می باشد. زیرا در زمان انجام کار معمولی بر دمی توان با انسداد ورودی اصلی و از طریق گذرگاه پیمایش، اطلاعات آزمایش را به داخل حافظه ها که در این زمان بشکل سری در آمده اند وارد و از طریق گذرگاه پیمایش خروجی آنرا دریافت و مورد بررسی قرار داد.

روش پیمایش و جایگزینی [5]

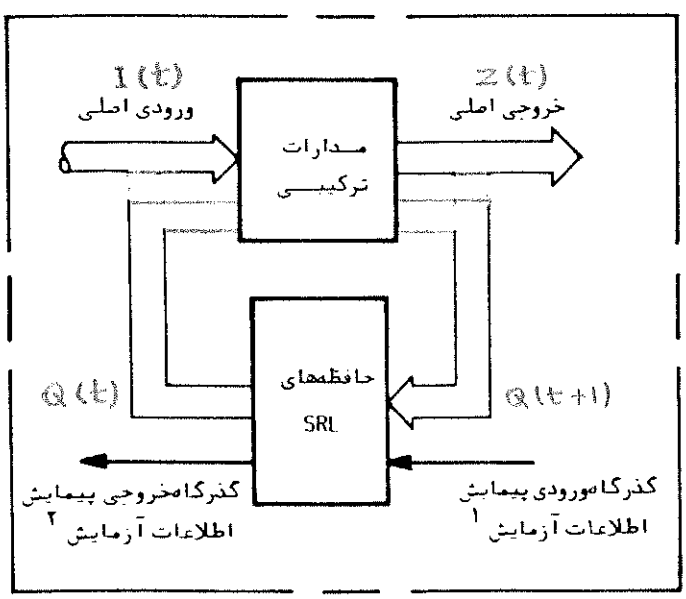
همانطوریکه در روش پیمایش گذرگاه مشاهده شد، اطلاعات آزمایش، در زمان آزمایش دارای مسیری مشترک با مسیر اطلاعات اصلی در سیستم هستند. در روش پیمایش و جایگزینی با بکارگرفتن یک رجیستر [6]

---

1) INITIALIZATION - PRESENT STATE
2) PRESENT & NEXT STATE
3) SCAN PATH DESIGN
4) SHIFT REGISTER LATCH
5) SCAN - SET
6) SHIFT REGISTER



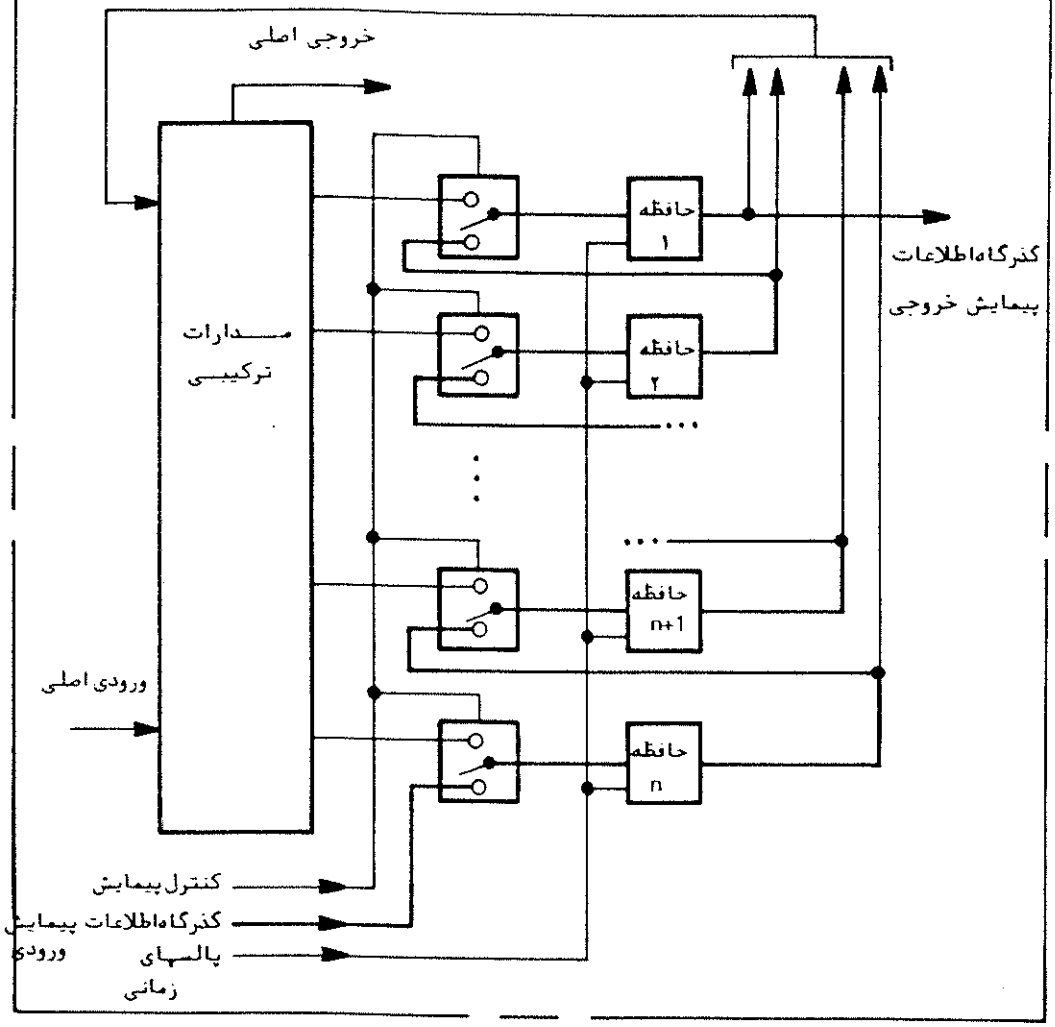
شکل (۲-۶۳) : روش ساختار مسیرعمومی برای افزایش قابلیت آزمایش



1) SCAN - IN
2) SCAN - OUT

شکل (۲-۶۴-الف) : شکل عمومی یك مدارترتیبی

۲۰۲



شکل (۲.۶۴ب): استفاده از روش پیمایش گذرگاه جهت انجام آزمایش دریک مدار ترتیبی (LSSD)

۲۰۳

انتقالی n بیتی مناسب می توان براساس شکل ۶۵ ـ ۲ اطلاعات لازم را برای واردکردن مقادیر اولیه [1] ویا کنترل ویا مشاهده حالت های داخلی [2] استفاده نمود. اطلاعات آزمایش ازمسیر گذرگاه اطلاعات پیمایش ورودی وبصورت سری واردرجیسترشده ودرزمان لازم ،برای انجام کنترل ویا ایجادمقادیراولیه ، بصورت موازی واردمدارات بردمی شوند ،وبه همین ترتیب درزمان مشاهده ،اطلاعات داخلی مدارات ـ می توانندبصورت موازی واردرجیسترشده وازمسیر گذرگاه اطلاعات خروجی به آزماینده منتقل شوند .

فوائدبیشتراین روش نسبت به روش قبلی بعلت خارج بودن مسیر اطلاعات آزمایش ازمسیر اطلاعات اصلی بردمی باشد .دراین حالت بخاطرقابلیت دسترسی دلخواه به حافظه ها ونقاط مختلف مدار ،می توان درزمانهای مناسب اطلاعات لازم را به مدار اعمال ویا ازمدارخارج نمودوباین ترتیب تا n نقطه مدار را می توان کنترل ویانمونه برداری نمود ،بنابراین بدون آنکه توقفی درکارعمومی بردانجام گیردونتیجتا" عمل خودآزمائی را می توان برروی بردانجام داد .

روش آزمایش توکارباتوانائی مشاهده

استفاده ازروش های خاص تشخیص وتصحیح خطا بصورت اتوماتیکی [3] وخودآزمائی ،امروزه کاربرد بسیاروسیعی رادرانتقال وپردازش اطلاعات بخوداختصاص داده است .عمل اتوماتیکی تشخیص خطا و خودآزمائی که همزمان با انتقال اطلاعات دریک سیستم ویادرزمان خاصی انجام میگیردنیازمند به استفاده ازمدارات وامکانات بخصوصی می باشد .

استفاده ازروش آزمایش توکارباتوانائی مشاهده مستلزم استفاده ازآنالیزورکدمشخصه [4] (مراجع ۱۱ و۱۲) می باشد .آنالیزکدمشخصه عبارتست ازروشی برای فشرده [5] نمودن اطلاعات گرفته شده ازخروجی ویا نقاط مختلف مدارات یك برد . مراحل انجام این عمل درشکل ۶۶ـ۲ـ د بطورخلاصه نشان داده شده است . اطلاعات ورودی آزمایش مدارات توسط مولدمربوطه تولیدوبه مدارات تحت آزمایش ارسال میشود . عملکرداین مدارات نسبت به اطلاعات ورودی درخروجیها ویانقاط آزمایش ،توسط ورودیهای آنالیزور کدمشخصه جمع آوری شده وپس ازبررسی بصورت کدمشخصه واحدی به آزماینده ویانمایشگر [6] منتقل میشود . یکی ازخواص مهم این روش خاصیت بسیارخوب آشکارسازی خطادراطلاعات فشرده شونده می باشد .

---

1) INITIAL VALUES
2) PRESENT STATE
3) AUTOMATIC ERROR DETECTING & CORRECTING
4) SIGNATURE ANALYSIS
5) DATA COMPRESSION
6) DISPLAY

با استفاده از این خاصیت می توان روش آزمایش توکار با توانائی مشاهده را بوجود آورد.

مدارات حافظه بردتحت آزمایش ،برای استفاده از این روش ،دارای ساختمانی مطابق شکل ۶۶-۲-الف می باشند.مدارات شکل ۶۶-۲-الف براساس کنترل دونقطه C1 و C2 چهارشکل مختلف رابخودمیگیرد بازاء C2=1 و C1=0 ،مدارمطابق شکل۶۶-۲-ب که حالت شروع[1] می باشددرمی آید.چنانچه C2=1 و C1=1 باشدحالت مدارمطابق شکل۶۶-۲-پ بوده وتشکیل یك رجیسترانتقالی ۴ بیتی با ورودی وخروجیهای موازی رامی دهد.

بازاء C2=0 و C1=0 مداربك رجیسترچهاربیتی باورودی وخروجی سری می باشد.(شکل۶۶-۲-ت) بازاء C2=0 و C1=1 مداربصورت یك آنالیزورکدمشخصه ویا مولدشکل های ورودی آزمایش درمی آید حالت مدارعبارتست ازتولیدکننده شکل های ۴ بیتی ورودی آزمایش ،که دارای 2^4 حالت متفاوت بوده وبصورت شبه اتفاقی می باشند[2] (برای یك رجیستر n بیتی تعدادشکل های مختلف 2^n می باشد).برای اطلاعات بیشتربه مراجع (۸و۱۵) مراجعه شود.(شکل۶۶-۲-ث)

باتوجه به ساختمان وخواص مدارات حافظه ذکرشده آرایش مدارات یك بردرامی توان بصورت شکل ۶۶-۲-ذ درنظرگرفت.

درزمان آزمایش ابتداء براساس شکل۶۶-۲-ب محتویات تمام حافظه ها صفرمی شود.سپس مدار حافظه های شماره ۱ بصورت مولددرآمده وشکلهای آزمایش تولیدشده دراین مداربرای آزمایش مدارات ترکیبی شماره ۱ به آن واردمی شود.دراینحالت حافظه های شماره ۲ بصورت آنالیزورکدمشخصه عمل نموده وعملکردمدارات ترکیبی شماره یك رابصورت کدواحدی به نمایشگر یا آزماینده منتقل می نماید. درمرحله بعدحافظه های شماره ۲ بصورت مولد عمل نموده ومدارات ترکیبی ۲ را آزمایش می نمایدنتیجه آزمایش که بصورت کدواحدی درحافظه های شماره یك جمع آوری شده به نمایشگر ویا آزماینده منتقل میشود. یکی ازفوائدبسیارمهم این روش ،مسئله ایجادآزمایش می باشدکه بابکارگرفتن مولداخلی حل شده است علاوه براین زمان انجام آزمایش نسبت به روشهای قبلی بسیارکمتراست زیرا اطلاعات پیمایش که همان اطلاعات مولدمی باشدبصورت موازی[3] به مدارات اعمال می شوند.

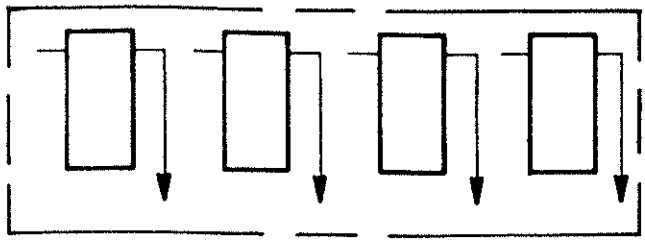
۳-۱-۱۴-۲) روشهای فرعی

این روش هادرحقیقت رعایت نکاتی درطراحی مدارات وآرایش اجزاء بردمی باشند،که می توانند کمك بزرگی درافزایش قابلیت آزمایش بردباشند.رعایت این نکات می توانندبترتیب صفحه بعدانجام پذیرد.

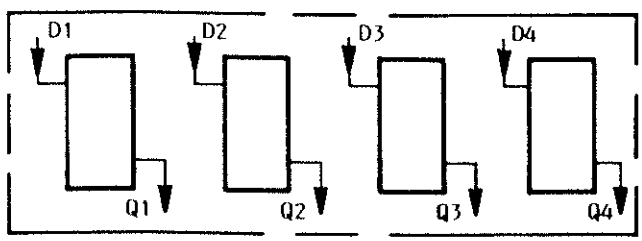
---

1) GENERAL RESET
2) PSEUDO RANDOM PATTERNS
3) BURST OF PATTERNS

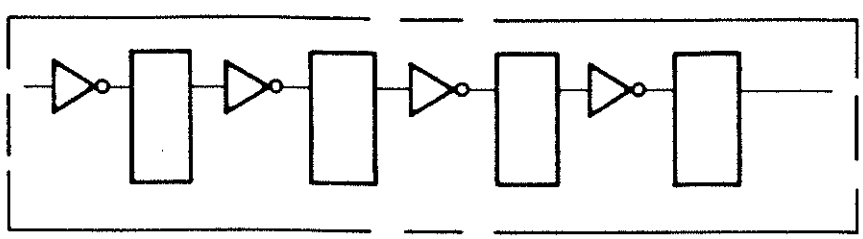
۲۰۶



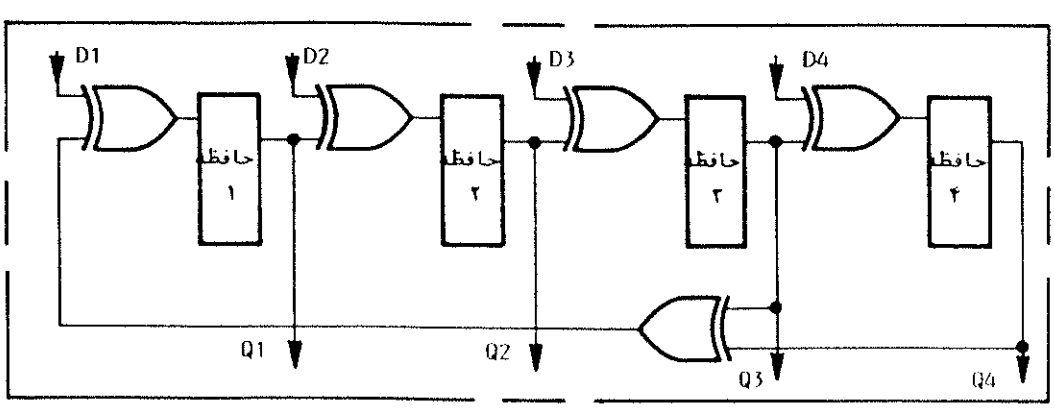
شکل (۶۶-۲-ب): حالت مداربازای C1=0 , C2=1



شکل (۶۶-۲-پ): حالت مداربازای C1=1 , C2=1



شکل (۶۶-۲-ت): حالت مداربازای C1=0 , C2=0



شکل (۶۶-۲-ث): حالت مداربازای C1=1 , C2=0

۲۵۷

الف : آرایش ورودیها وخروجیهای بردبرای اتصال به سیستم اصلی که توسط کانکتور انجام می پذیرد بسیار مهم می باشد. انتخاب استانداردهای تدوین شده بین المللی ، بخصوص در مورد سیستمهای مایکروپروسسور ، نه تنها کمکی بسیار بزرگ برای انجام آزمایش می باشد ، بلکه در تولید کلان از نظر اقتصادی یکی از پارامترهای مهم تولید و مدرف این نوع سیستمها می باشد. بعضی از استانداردهای مهم که بیشتر در سیستمهای مایکروپروسسور استفاده می شوند امرجع ۴ ، عبارتنداز ،

IEEE 488 BUS

IRS 80 BUS

APPLE II BUS

LSI - 11 BUS

S - 100 BUS

SS - 50 BUS

وهمچنین بعضی از استانداردهای ارسال اطلاعات بصورت سریال عبارتنداز ،

RS - 232C STANDARD

20 mA CURRENT LOOP

ودرصورتیکه از این استانداردها استفاده نشود حداقل می بایستی آرایش معینی را در روی خروجی و ورودیهای برد در نظر بگیریم. بطور مثال ، گروه کردن سیگنالهای آنالوگ بصورت مجزا از سیگنالهای دیجیتال وهمچنین سیگنالهای تغذیه وغیره را می توان نام برد ، این آرایش می بایستی در کلیه بردهای یک سیستم ثابت باشد.

ب : نقاط آزمایش [1] تعیین شده و یا نقاطی که در زمان آزمایش توسط اپراتور باید کاوش [2] شود ، بهتر است که جهت دسترسی آسانتر ، در یک طرف برد واقع گردد.

پ : سعی شود اجزاء الکترونیکی مدارات برد تا حد امکان از یک خانواده انتخاب شوند (TTL و CMOS ، ECL و ...) ودرضمن انتخاب اجزاء بسیار اختصاصی که فقط قابل تهیه از یک کمپانی باشند مشکل بزرگی را در تعمیرات وتولید آتی ممکن است بوجود آورد.

---

1) TEST POINTS

2) PROBING

۲۰۸

ج : درزمان تهیه طرح بندی[1] برد لازم است فاصله بین اجزاء برد، جهت اتصال وسائلی[2] که اپراتور برای ردیابی خطا بکار می برد کاملا" مناسب باشد. بعنوان مثال اگر چنانچه یکی از وسائل ردیابی خطا، گیره[3] چندسنجاقی باشد که بروی مدارات مجتمع واردمی شود، فواصل مدارات مجتمع باید مناسب برای اتصال این وسیله باشد، درغیراین صورت اپراتور مجبوراست تمام اتصالات را یک به یک آزمایش نماید. همچنین طول اتصالاتی که ورودی وخروجی اجزاء را به خروجی اصلی بردمتصل می کند حتی المقدور کوتاه انتخاب شود. زیرا طول این اتصالات باضافه اتصال خروجی بردبه مدارات آزماینده ممکن است از ۳۵ - سانتی متر بیشتر گشته ونتیجتا "تولیداشکالات بسیاری (مرجع۱۴) ازقبیل انعکاس وغیره را بدنمایند. درصورت اجبار لازم است که این خطوط با استفاده ازمیانگیر[4] به خروجی بردمتصل شوند.

ج : اجزاء دیجیتالی باتجمع بزرگ وخیلی بزرگ درصورت امکان بهتراست که روی پایه وبصورت قابل تعویض آسان نصب شوند. این امرباعث سرعت بخشیدن وتسهیل امرآزمایش می شود.

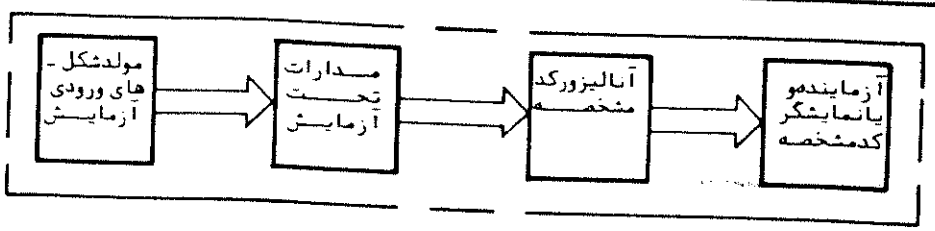
ح : دربردهای دیجیتالی زمانیکه احتیاج به جریان بیشتری برای یک خروجی که بصورت متباعد[5] (پخش شونده) می باشد استفاده ازمدارشکل ۶۷-۲ - الف مناسب نمی باشد. زیرا اشکال روی هریک ازاجزاء مرتبط باهراتصال، روی کلیه اتصالات تاثیرگذاشته وعمل اشکال یابی راکاری بسیارمشکل می نماید حال آنکه استفاده ازمدارشکل ۶۷-۲- ب تعدادگره های مرتبط را به نصف تقلیل می دهد.

درهمین ارتباط می توان اجزائی راکه خروجی آنها بصورت متقارب[6] درمی آیندرادرنظرگرفت. شکل ۶۷-۲ - پ استفاده این اجزاء رابرای بدست آوردن جریان مناسب خروجی نشان می دهد. دراینحالت برای آشکارسازی خطاروی هرکدام ازاجزاء لازم است که حداکثرکلیه قطعات بنوبت تعویض شوند. حال آنکه درمدارشکل ۶۷-۲ ج این تعداد به یک قطعه تقلیل پیدا می کند.

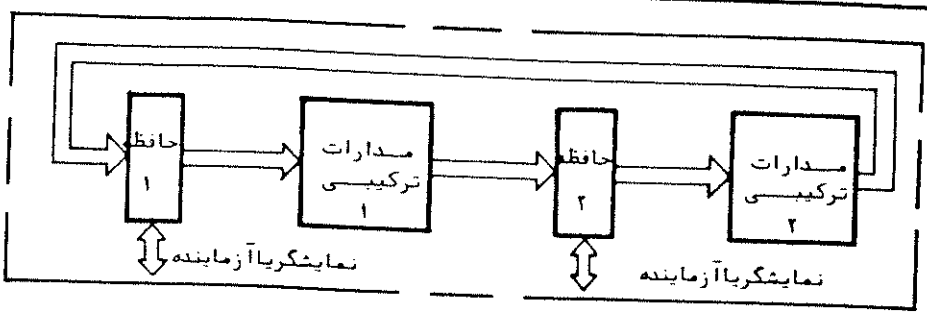
خ : یکی دیگرازمواردی که می تواند درعمل آزمایش وسرعت عمل عیب یابی کمک موثری بنماید. آرایش وترتیب قرارگرفتن اجزاء برروی بردمی باشد. نوشتن هرگونه اطلاعات درمجاورت اجزاء میتواند کمک موثری درسرعت بخشیدن به عمل آزمایش بنماید. شکل ۶۷-۲- ح و۶۷-۲- د بترتیب نوع شماره گذاری سطری وماتریسی رانشان می دهد.

---

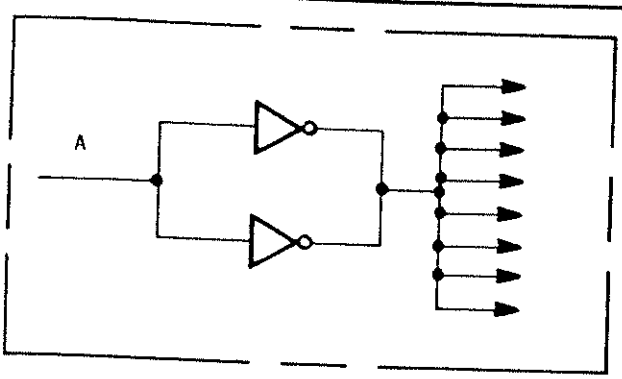
1) LAY OUT
2) DIAGNOSTIC TOOLS
3) IC CLIPS
4) BUFFER
5) DIVERGENT
6) CONVERGENT



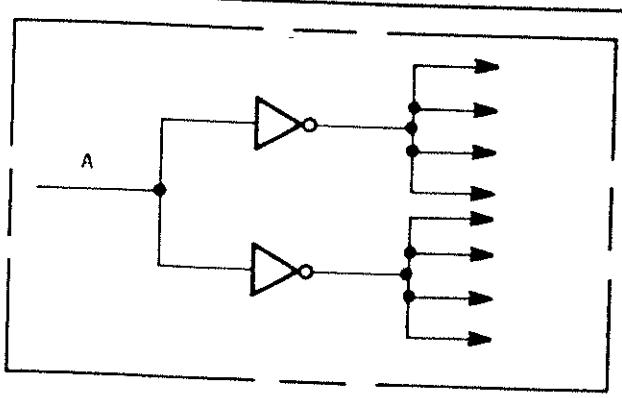
شکل (۶۶-۲-د) : استفاده ازآنالیزورکدمشخصه



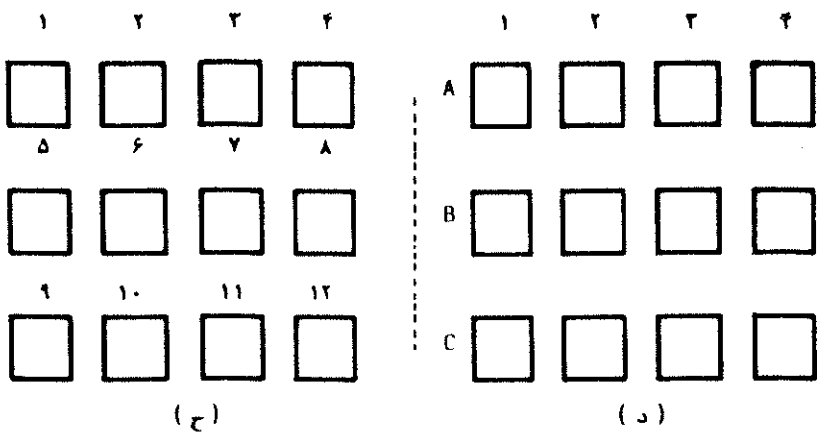
شکل (۶۶-۲-ذ) : آزمایش مدارات یك بردواستفاده‌ازخروجی آنالیزور کدمشخصه



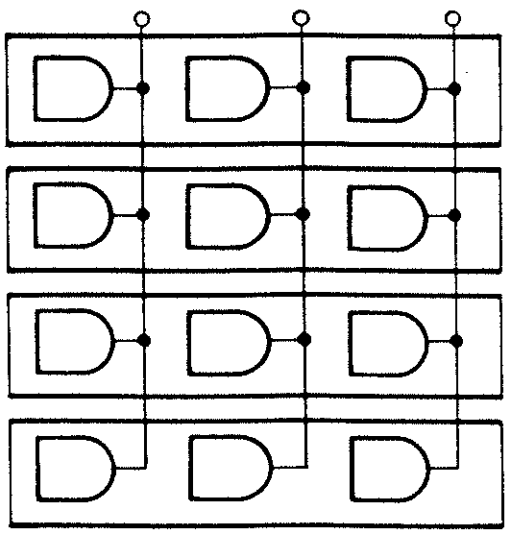
شکل (۶۷-۲-الف) : افزایش قدرت رانش خروجی A بصورت نامناسب

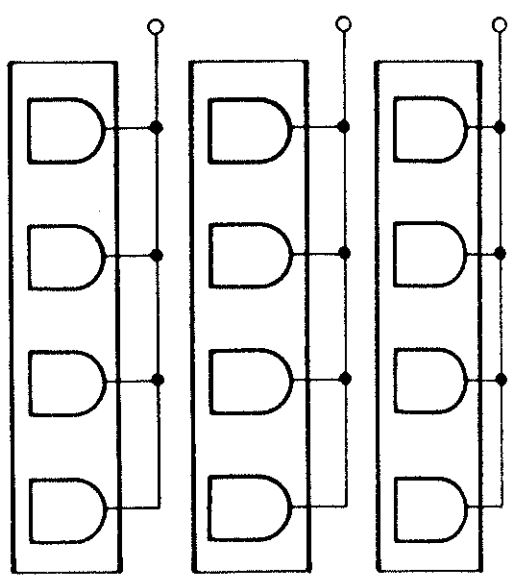


شکل (۶۷-۲-ب) : افزایش قدرت رانش خروجی A بصورت مناسب



اشکال (۶۷ـ۲): شمارهگذاری سطری وستونی





اشکال (۶۷ـ۲): بوجودآوردن " و " اتصالی وطراحی نامناسب ومناسب

۲۱۱

۲-۱۴-۲) نتیجه گیری

باتوجه‌به‌اینکه‌قابلیت آزمایش دریك برد ،تولیدومصرف‌آنرابسیاراقتصادی می نماید[1]،درنظر گرفتن این قابلیت درزمان طراحی مدارات بردیکی ازفاکتورهای بسیارمهم درطراحی آن می باشدکه منجربه‌انتخاب یکی ازروشهای گفته‌شده‌می شود.درنظرنگرفتن مسائل مربوط بقابلیت آزمایش ویا پائین بودن آن درمدارات یك بردنه‌تنها مشکلات اقتصادی رابوجودمی آورد.بلکه‌دربعضی مواردآزمایش قسمتهائی ازمدارات بردتوسط آزماینده‌موجودغیرممکن بوده.وجهت ردیابی اشکال اجبارا "بایداز وسائل بخصوصی استفاده‌نمود.(مرجع ۱۳)

درطراحی یك بردجهت دارابودن قابلیت آزمایش باتوجه‌به‌مسائل ونکات گفته‌شده‌درایـن قسمت مواردزیربایدموردنظرباشد.

الف : بردقابلیت آزمایش شدن بصورت مناسبی رابا آزماینده‌موجودداشته‌باشد،این بدان معنی است کهبرای استفاده‌بیشترازروش های ممکن برای افزایش قابلیت آزمایش برد، لازم است درزمان طراحی بردابتداء توانائیهای[2] سیستم آزماینده‌موردبررسی واقع شده‌وسپس روشهامنطبق بااین توانائیهـا انتخاب شوند.

ب : ارزیابی خطاتوسط آزمایندهموجودبایدبسادگی انجام پذیرد.یعنی طراحی بردبایدطوری باشد کهبرنامه‌آزمایش ونرم افزاردیابی اشکال[3] آزمایندهبتواندخطای مربوطه‌راتاحدجایگزینی یك قطعه مشخص نماید.اگردیابی خطازمان زیادی رابگیردویااینکه‌بصورت دستی انجام پذیردموجب افزایش قیمت درآزمایش بردمی گردد.

پ : تولیدالگوهای آزمایش برای بردهاتاحدامکان ارزانترانجام شود.اگرچنانچه‌طراحی بـرد برای سهولت آزمایش بصورت مناسب انجام پذیرد بطورکلی ،روی قیمت تولیدومصرف بردتاثیرزیاد مستقیم دارد.

ج : بردهای درنظرگرفته‌شده‌بصورت اقتصادی آزمایش شوند،زمان لازم جهت برپایی آزمایش[4] (مراحل کلی آزمایش یك برد)بایدمناسب باسرعت خط تولیدباشد،درغیراین صورت تجمع بردهای

---

1) FASTER REPAIR TURNAROUND
2) TESTER CAPABILITIES
3) DIAGNOSIS SOFTWARE
4) TEST SET - UP TIME

۲۸۰ ۱۹۰

آزمایش نشده اجتناب ناپذیر خواهد بود.

با در نظر گرفتن اهداف فوق، شناخت کامل کاربرد[1] در روی سیستم اصلی، شناخت کامل آزماینده وطراحی مناسب برای قابلیت آزمایش می توان بردهای یك سیستم را بصورت اقتصادی آزمایش نمود.

با توجه به مطالب عنوان شده، از روشهای موجود برای افزایش قابلیت آزمایش، اغلب روشهای تك کاره را می توان، با انتخاب صحیح، بعد از طراحی بردنیز مورد استفاده قرار داد.

روش جزء بندی که با تغییرات مختصری بر روی اتصالات یك برد انجام می پذیرد، سبب تسهیل بسیاری در ایجاد آزمایش و ارزیابی توانائی آزمایش (احد موثر بودن آزمایش)، که گرانترین قسمت استفاده از یك آزماینده در یك خط تولید می باشد، می گردد.

چنانچه عمل جزء بندی بصورت مناسب انجام پذیرد، تسهیلات بوجود آمده حدی است که می توان ایجاد آزمایش را بدون استفاده از کامپیوتر (که مستلزم امکانات بسیار زیادی می باشد) و با تجزیه و تحلیل وهمچنین بکار گرفتن روشهای متداول[2] انجام داد (مرجع ۹). ایجاد پایگاه اطلاعات گره ها[3] و خروجی مدارات که در زمان ردیابی خطا[4] مورد استفاده واقع می شوند را نیز می توان، در صورت استفاده از جزء بندی مدارات بکمك تجزیه و تحلیل و بصورت دستی انجام داد. تنوع بردهای مرکز تلفن فجر که متشکل از چهل نوع برد مختلف و مدارات متفاوت می باشد، برای ایجاد آزمایش مستلزم امکانات وسیع و زمان طولانی می باشد، حال آنکه با مطالعه و بررسی بردها و بکار گرفتن روشهای مناسب و کم خرج روشهای تك کاره می توان ایجاد آزمایش را نه تنها به وسیله دست و زمان مناسب انجام داد، بلکه بخاطر خاصیت جزء بندی مدارات، قدرت آزمایش را از حد خطاهای تکی به خطاهای چندتائی افزایش داد زیرا در اینحالت خطاهای چندتائی که بصورت تکی در جزء بندی های مختلف واقع شده اند را می توان کشف و ردیابی نمود.

سه روش متفاوت جزء بندی که در بخش ۱ - ۱ - ۱۲ - ۲ شرح داده شده است می تواند کاربرد موثری داشته باشد. در روش اول امکانات لازم، نصب مایکروسویچ روی ارتباطات در نظر گرفته شده می باشد. در روش - دوم و سوم، مایکروسویچ حذف شده ولی لازم است اتصالات لازم روی کانکتور اصلی برد انجام گردد. که روشهای دوم و سوم از نظر اقتصادی بیشتر مقرون بصرفه می باشند.

---

1) BOARD FUNCTION
2) PATH SENSITIZATION AND D- ALGORITHEM
3) NODAL DATA BASE GENERATION
4) FAULT DIAGNOSIS

۲۲۱ ۱۹۱

۲ـ۱۵) ردیابی اشکال وروشهای متداول

باتوجه‌به‌مطالب گفته‌شده‌دربخش (۲ـ۳ـ۱) ،آزمایش یك واحدموردنظربه‌دومنظورانجام می گیرد ،ممکن است آزمایش فقط برای تشخیص وجوداشکال انجام گرددویا اینکه‌منظورتشخیص وسپس ردیابی اشکال باشدجهت ردیابی اشکالات کشف شده‌دریك واحدروشهای مختلفی وجوددارد ،دوروش - ممکن عبارت ازکاوش باهدایت کامپیوتر[1] وتهیه‌یك دیکسیونرخطا[2] میباشد .نحوه‌تهیه‌درهریك ازاین روش ها ،بطورخلاصه‌درش ۲ـ۶۸ نشان داده‌شده‌است .حال به‌بررسی روش هامی پردازیم .

۲ـ۱۵ـ۱) کاوش باهدایت کامپیوتر

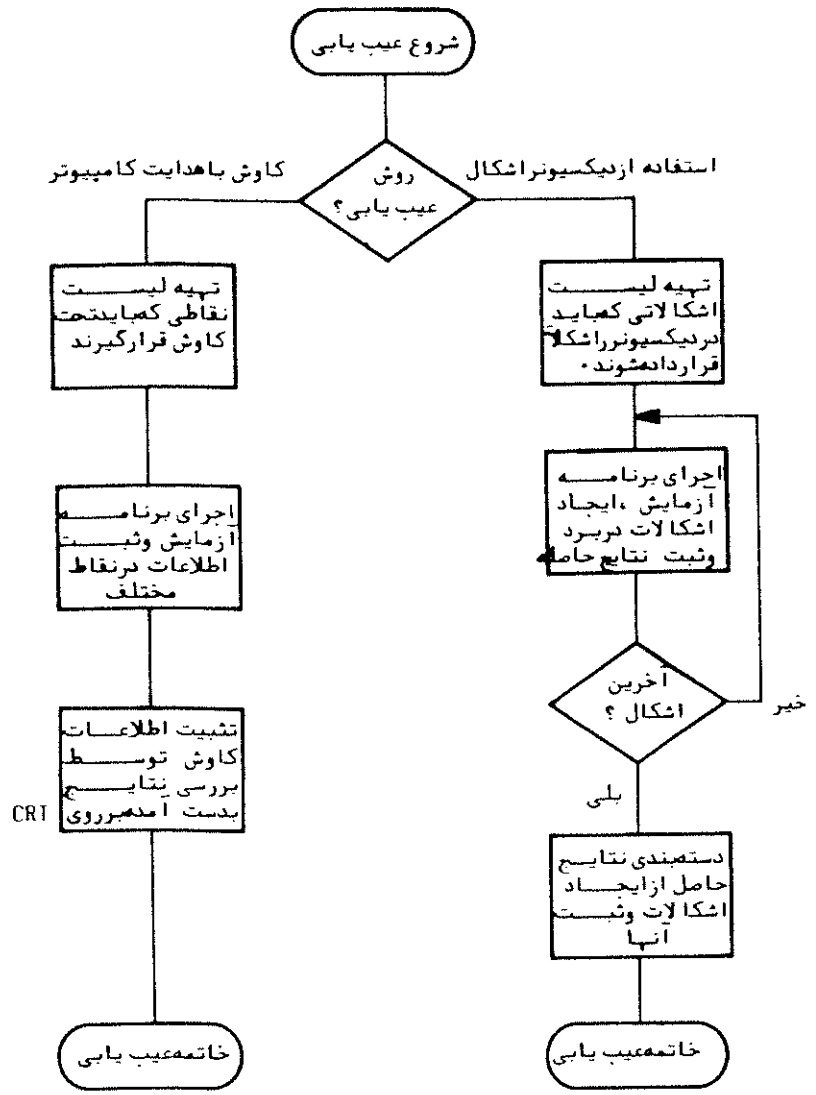
بااستفاده‌ازاین روش بوسیله‌یك کاوشگر[3] ویاابزارردیابی خطااطلاعات لازم راازنقاط مختلف واحدتحت آزمایش وبراساس فرمانهای رسیده‌ازآزماینده‌جمع‌آوری وسپس به‌آزماینده‌برای بررسی انتقال می دهیم .اطلاعات رسیده‌ازکاوشگردرآزماینده‌تحت کنترل نرم افزارآزمایش تجزیه‌وتحلیل گردیده‌وسپس قدم بعدی آزمایش رابه‌اپراتوروتوسط نمایشگر[4] اطلاع می دهد .روش جستجوباهدایت کامپیوتربصورت خلاصه مطابق شکل۲ـ۶۹انجام می شود .اغلب کاوش ازسمت خروجیهای مدارکه‌برروی کانکتورقراردارندودارای اشکال می باشندآغازوبطرف خروجیهای قطعاتی که‌درمسیراشکال وجوددارند ادامه‌می یابدوسپس مسیری ازورودیها بطرف خروجیهای طبقه‌بعدی انتخاب می شودکه‌این مسیر دارای اشکال باشد . این عمل تاوقتی ادامه‌می یابدکه‌منشاء اصلی اشکال کشف شود ،بدین مفهوم که هنگام کاوش بادریافت جواب نادرست روی کانکتور ،بطرف ورودی اولین گره‌رفته ،مجددا "کاوش راادامه" داده‌وبکمك پیام هائی که‌برروی CRT ظاهرمی گرددعمل راادامه‌دادتابه‌گره‌ای ازیك قطعه‌برسیم که خروجی آن خراب ولی ورودیهای آن صحیح باشند . (مرجع ۶)

مثالی دراین زمینه‌وروش یافتن موقعیت اشکال درشکل (۲ـ۷۰)نشان داده‌شده‌است .همانگونه که‌ملاحظه‌می شودکاوش ازکانکتور E شروع وبه 3 و U4 میرسدبادریافت نتیجه‌بدروی این خروجی به 2و U4 هدایت وبادریافت علامت سالم‌به 3 و U2 میرسیم .باادامه‌این روش در 3 و U1 نتیجه‌بد ولی در 1 و U1 و 2 و U1 نتیجه‌خوب دریافت می داریم .بدین شکل موقعیت خطاکشف وبه‌صورت اشکال s-a-1 درروی 3 و U1 بروی نمایشگرظاهرمی شود .

---

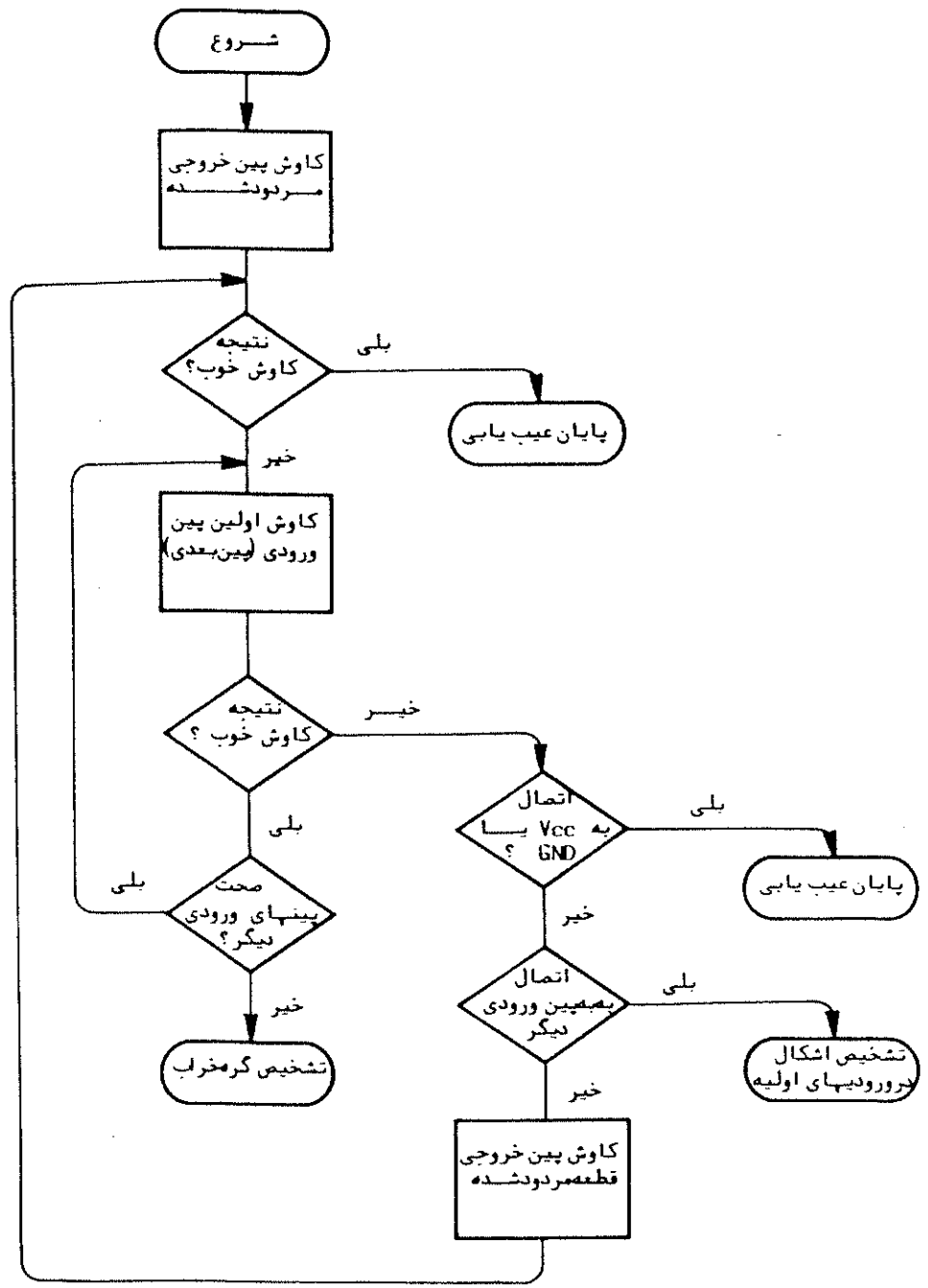
1) COMPUTER GUIDED PROBE
2) FAULT DICTIONARY
3) PROBE , DIAGNOSTICS TOOLS
4) CRT DISPLAY

مرکز تحقیقات مخابرات ایران



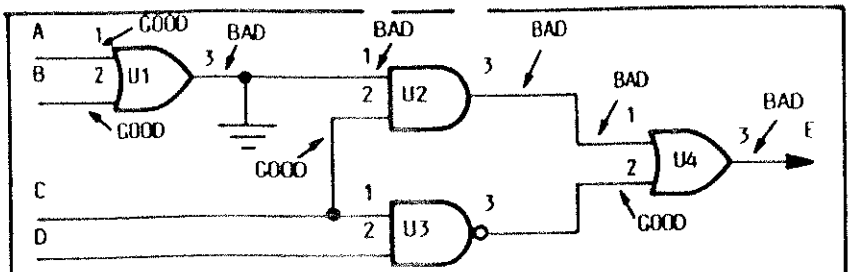
شکل (۶۸-۲): روشهای عیب یابی

۱۷۶



شکل (۲.۶۹): روش کاوش باهدایت کامپیوتر

۱۷۷



نتیجه‌مکاوش	نقاطی که موردکاوش قرارمیگیرد
بد	U4 PIN3
خوب	U4 PIN2
بد	U4 PIN1
بد	U2 PIN3
خوب	U2 PIN2
بد	U2 PIN1
بد	U1 PIN3
خوب	U1 PIN1
خوب	U1 PIN2

شکل (۲۰-۲): ردیابی اشکال بعروش کاوش باهدایت کامپیوتر

۱۷۸

روش کاوش باهدایت کامپیوتر از عملکرد با لائی برخوردار نمی باشد ۰برای مثال می توان از مدارات ترتیبی نام برد علی الخصوص زمانیکه مدار دارای حلقه فیدبک بوده و یک اشکال در مسیر آن قرار گیرد ۰در - این گونه جا لات کلیه اتصا لات واقع در حلقه فیدبک ،بمنظر دارای اشکال بوده و عیب یابی بروش فوق به سختی انجام شده و در پاره ای از موارد غیر ممکن می گردد ۰

۲-۱۵-۲) استفاده از روش دیکسیونر اشکا لات

در این روش ابتدا لیست اشکا لات واحد مورد آزمایش تهیه شده و سپس بسته به اینکه بخواهیم به روش دستی یا اتوماتیک اقدام به تهیه دیکسیونر اشکا لات نمائیم ،مطابق الگوریتم نشان داده شده در شکل ۲-۷۱ عمل می کنیم ۰پس از بوجود آوردن اشکا لات بصورت فیزیکی و یا شبیه سازی آنها در برد و تهیه دیکسیونر اشکال خام[2] واولیه ،نسبت به تهیه دیکسیونر نهائی اقدام می شود ۰

۲-۱۵-۲-۱) استفاده از دیکسیونر اشکا لات

همانگونه که گفته شد ابتدا یک لیست از اشکا لات که ممکن است در برد بوقوع پیوندند تهیه میشود ۰ سپس بکمک یک برد سالم ،اشکا لات بصورت فیزیکی در برد ایجاد و نتیجه بصورت یک کد مشخص در دیکسیونر اشکا لات ضبط می گردد ۰بنابراین دیکسیونر اشکال در هر سطر اطلاعات شامل پینهائی است که در قدمهای مختلف آزمایش دارای لوژیکی مغایر با لوژیک مورد انتظار خود می باشند ۰

مدار ترکیبی شکل ۲-۷۲ را در نظر گیرید ۰

این مدار در چهار قدم بصورت $T=\{\bar{A}\,B\,\bar{C}\,D$ و $A\,\bar{B}\,C\,\bar{D}$ و $A\,B\,C\,\bar{D}$ و $\bar{A}\,\bar{B}\,C\,D\}$ به شکل کامل آزمایش شده و کلیه اشکا لات مدل ایستائی آن قابل آشکار شدن می باشد ۰همانگونه که ملاحظه می شود مدار فوق شامل ۹ گره می باشد بنابراین امکان وقوع ۹×۲ یعنی ۱۸ اشکال ایستائی در آن میباشد ۰با تعریف خطاهای فوق ،دیکسیونر اشکا لات بصورت نشان داده شده در شکل ۲-۷۳ می باشد ۰

فرض کنید اشکال C1/1 در مدار ایجاد گردیده است ۰یک روش استفاده از دیکسیونر خطا ،یافتن اطلاعات مربوط به اولین الگوی آزمایش[1] می باشد که حداقل یک خروجی مربوط به آن الگو ،دارای لوژیکی مغایر با لوژیک صحیح خود باشد ۰در این نوع آزمایش اعمال الگوها بترتیب تا اولین تناقض در خروجی و مقدار مورد انتظار ادامه می دهیم و پس از مشاهده اولین اشکال ،عمل آزمایش متوقف و محل اشکا لات ممکن روی نمایشگر ظاهر میشود ۰ شکل ۲-۷۴ نتیجه انجام این روش در مورد اشکال C1 از نوع s - a - 1 را نشان می دهد ۰اشکال مذکور در قدم اول آزمایش باعث وجود تناقض و توقف آزمایش شده است ۰

---

1) FIRST FAILING STEP

2) RAW FAULT DICTIONARY

۱۷۹

هرچه تعداد قدم های آزمایش برای ردیابی اشکال در واحد مورد نظر با تعداد بیشتری از الگوهای آزمایش موجود انجام گردد و یا بعبارتی دیگر کلیه الگوهای آزمایش به مرحله اعمال و سپس ردیابی با اطلاعات بدست آمده انجام شود، تعداد حافظه های مورد لزوم و زمان کل افزایش یابد. بنابراین با کاربرد کلیه قدم های آزمایش، باید بین زمان لازم برای جستجو و حجم حافظه مورد نیاز و نیز درصد تفکیک خطاها، تن به یک مصالحه داد.

نتیجه کاربرد دیکسیونر کامل اشکال[1] برای اشکال C1/1 در شکل ۲-۷۵ نشان داده شده است. همانگونه که ملاحظه می شود استفاده از اطلاعات موجود در دیکسیونر اشکالات با استفاده از روش دیکسیونر کامل باعث می شود موقعیت بروز اشکال تنها در دو نقطه بصورت C1/1 و C4/1 بدست آید. در برخی از موارد می توان با افزودن الگوی آزمایش اضافی به قابلیت تفکیک بیشتری دست یافت. بعنوان مثال افزودن الگوی $\bar{A}\ B\ C\ \bar{D}$ به چهار الگوی قبلی باعث حذف اشکال C4/1 از لیست اشکالات مورد ظن گشته و در نتیجه اشکال C1/1 بعنوان تنها اشکال ایجاد شده در برد معرفی می گردد.

۲-۲-۱۵-۲) ایجاد دیکسیونر اشکال

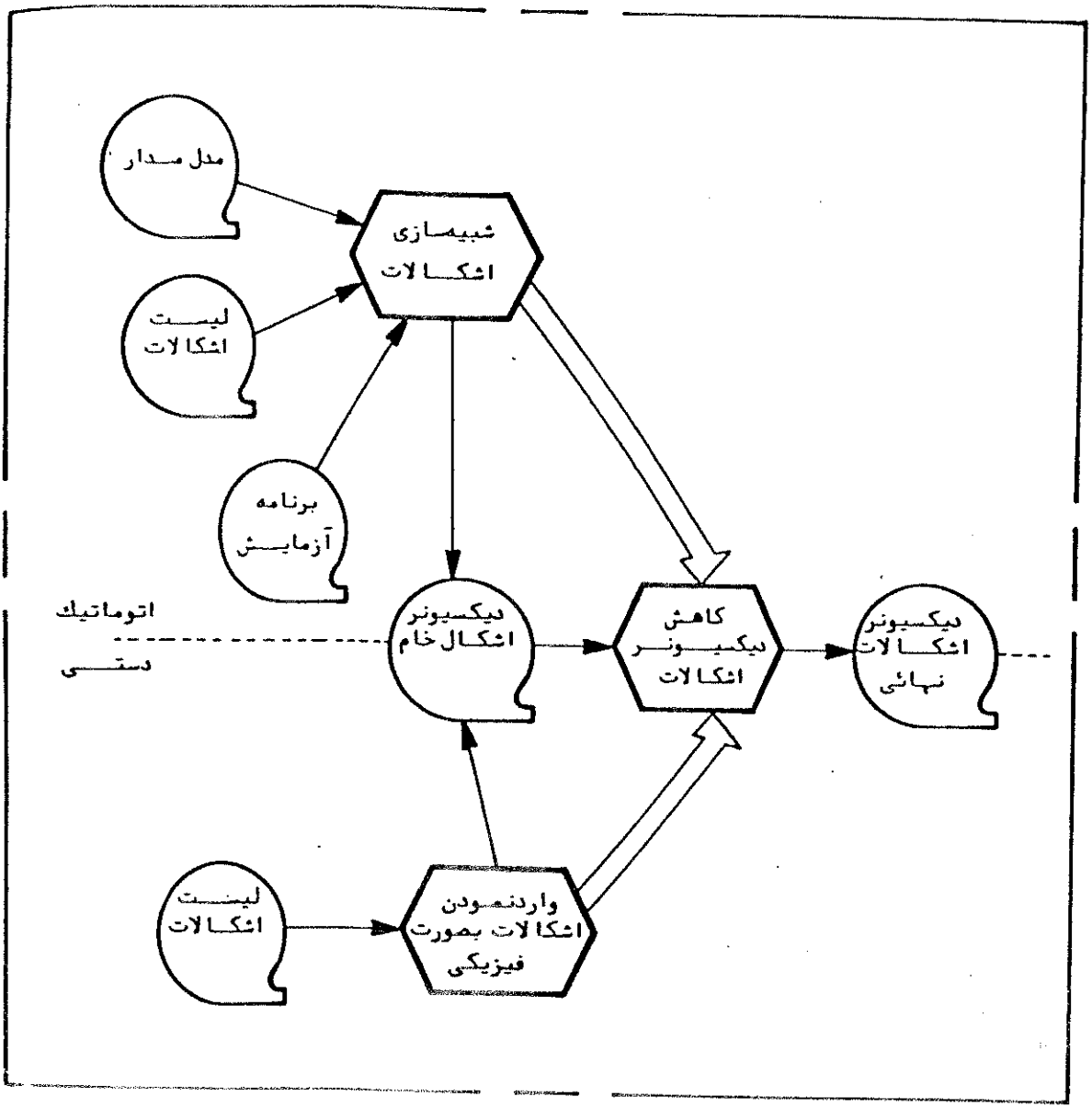
بطور کلی دیکسیونر اشکال ساختمانی ماتریسی دارد که ستون اول آن عبارت از اشکالات ممکن در برد و ستون دوم تا آخر عبارتند از نتیجه اعمال قدم های آزمایش در ارتباط با اشکال مربوطه. بعنوان مثال سطر سوم نشان می دهد که اگر اشکال C2 بصورت s-a-0 در مدار وجود داشته باشد، الگوی آزمایش شماره ۱ و ۲ خروجی اشکال ندارد ولی در قدم سوم آزمایش خروجی متناقض می باشد و قدم چهارم نیز اشکال را کشف نمیکند. و یا بطور کلی سلول Cij ماتریس بیانگر مجموعه ای از پینها می باشد که با ازاء اشکال شماره j در قدم شماره i آزمایش، دارای لوژیکی مغایر با لوژیک مورد انتظار خود می باشند. براین اساس، حجم لازم برای تشکیل دیکسیونر خطا برای مدارات بزرگ و پیچیده بسیار بزرگ گشته و نیاز به حافظه و زمان زیادی میباشد. می توان با استفاده از توپولوژی برد، اطلاعات موجود در دیکسیونر اشکالات را تا میزان قابل ملاحظه ای کاهش داد. بدین ترتیب که در ابتدا، هر نوع مدار پیچیده را به قسمت های فرعی تقسیم بندی می نمایند. نحوه تقسیم بندی به ۳ صورت انجام میشود:

الف) مدارهای فرعی منفصل

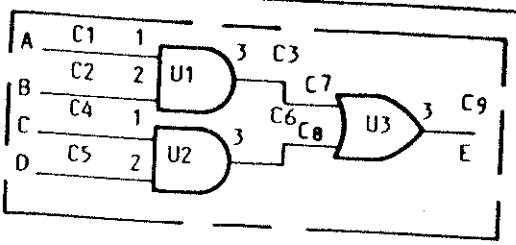
یک مدار و یا مدارات یک واحد زمانی منفصل نامیده میشوند که میتوان آنها را به بلوک های مستقل جداگانه تقسیم نمود. همانگونه که در شکل ۲-۷۶ - الف نشان داده شده است، قسمت ها از یکدیگر جدا بوده

---

1) FULL FAULT DICTIONARY



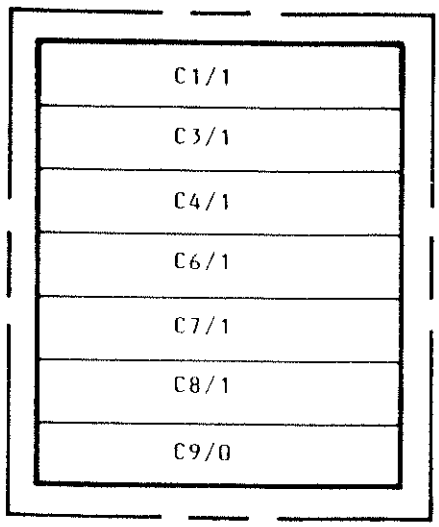
شکل (۲۱-۲): روش تهیه دیکسیونر اشکالات



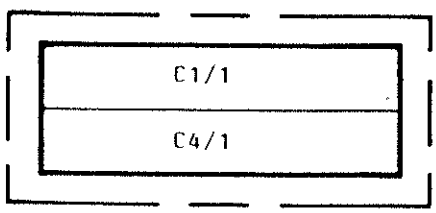
شکل (۲۷۲-۲): مدار ترکیبی

شماره مقدم آزمایش / لیست اشکالات	# 1 $\bar{A}B\bar{C}D$	# 2 $A\bar{B}C\bar{D}$	# 3 $AB\bar{C}\bar{D}$	# 4 $\bar{A}\bar{B}CD$
C1/0			*	
C1/1		*		
C2/0			*	
C2/1	*			
C3/0			*	
C3/1	*	*		
C4/0				*
C4/1	*			
C5/0				*
C5/1		*		
C6/0				*
C6/1	*	*		
C7/0			*	
C7/1	*	*		
C8/0				*
C8/1	*	*		
C9/0	*	*		
C9/1			*	*

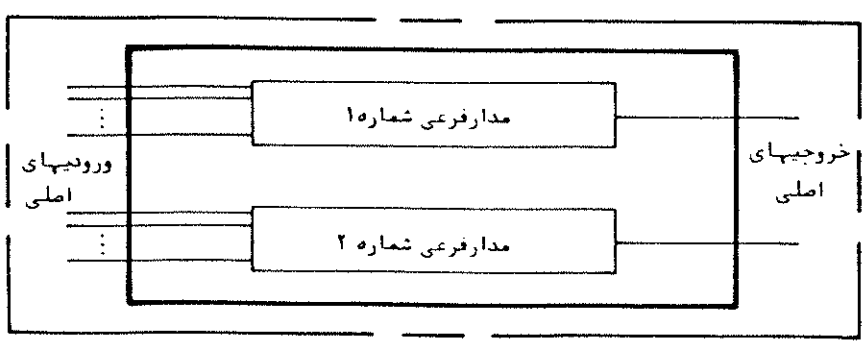
شکل (۲۷۲-۲): جدول دیکسیونر اشکال برای مدار ترکیبی



شکل (۲ـ۷۴): نتایج حاصل از استفاده دیکسیونر اشکال ، مرتبط با اولین مرد و ی



شکل (۲ـ۷۵): نتایج حاصل از استفاده دیکسیونر کامل



شکل (۲ـ۷۶ـالف): مدارهای فرعی منفصل

والگوهای آزمایش ایجادشده ،قابلیت تشخیص اشکالات چندگانه‌ایستائی رادرقسمتهای مختلف برد دارابوده‌ومی توان برای هریك ازاین بلوك هادیکسیونراشکال مجزائی تشکیل داد .

ب) مدارهای فرعی متصل بدون اتصال مشترك قبلی

اگرخروجی یك مدارفرعی تواما "درمدارفرعی دیگرمورداستفاده‌قرارگیردوبصورت یك خروجی مستقل نیزتعریف گردد ،مدارهای فوق بیکدیگراتصال داشته‌درعین اینکه‌هیچگونه‌اتصال مشترك قبلی بایکدیگرندارند .نمونه‌این گونه‌مدارات درش ۷۶-۲ ب نشان داده‌شده‌است . دراین حال اشکالات موجود در Ei براشکالات موجوددر Ej غلبه‌نموده‌ونتیجتا "بادرنظرگرفتن درجه‌تقدم با لاتربرای مدارفرعی باخروجی Ei ،قادرخواهیم بودبمقدارقابل ملاحظه‌ای ازحجم اطلاعات موجوددردیکسیونراشکال کاسته‌بدون آنکه‌درصدتفکیك اشکالات کاهش قابل ملاحظه‌ای یابد .

پ) مدارهای فرعی متصل با اتصال مشترك قبلی

دراین حالت چندخروجی مدار ،ازطریق چندین مدارفرعی قابل مشاهده‌می باشدواین امکان وجود داردکه‌تعدادی ازاشکالات ازمسیرهای مختلف به‌خروجی مدارانتشاریابند .همانگونه‌که‌درشکل ۷۶-۲ ب نشان داده‌شده‌است ممکن است خروجی های قابل رویت ازتعدادمتفاوتی ازالمانهادرمسیرهای فرعی پیچیده‌عبورنمایدبنابراین می توان برای اشکالات مشترك ،خروجی های فوق راازمسیرهای ساده‌تر رویت نموده‌وبدین ترتیب کاهش قابل ملاحظه‌ای درحجم اطلاعات موجوددردیکسیونراشکال ایجادنمود .

۲-۱۵-۳) تشخیص اشکال بکمك تطبیق دهندگی الگو[1]

تبطبیق دهندگی الگوبه‌دوشیوه‌تطبیق دهندگی دقیق وتطبیق دهندگی نادقیق انجام می شود .

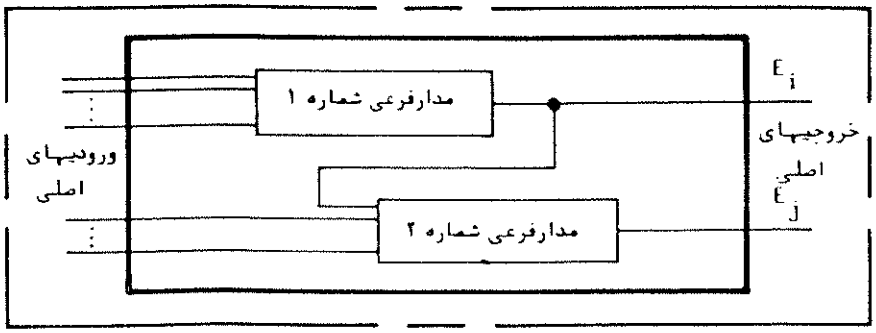
۲-۱۵-۳-۱) روش های تشخیص اشکال ازطریق تطبیق دهندگی دقیق[2]

دراین حالت بارای هراشکالی که‌دربردرخ می دهد ،عمل تطابق یك به‌یك میان بردار اشکال تعریف شده‌دردیکسیونراشکال که‌قبلا "تعریف شده‌است (بصورت مرده[3])وبردار اشکال (بصورت زنده[4])صورت می گیرد .بنابراین ایده‌کلی درتشخیص اشکال برپایه‌تطبیق دهندگی یك به‌یك بین اطلاعات مربوط به

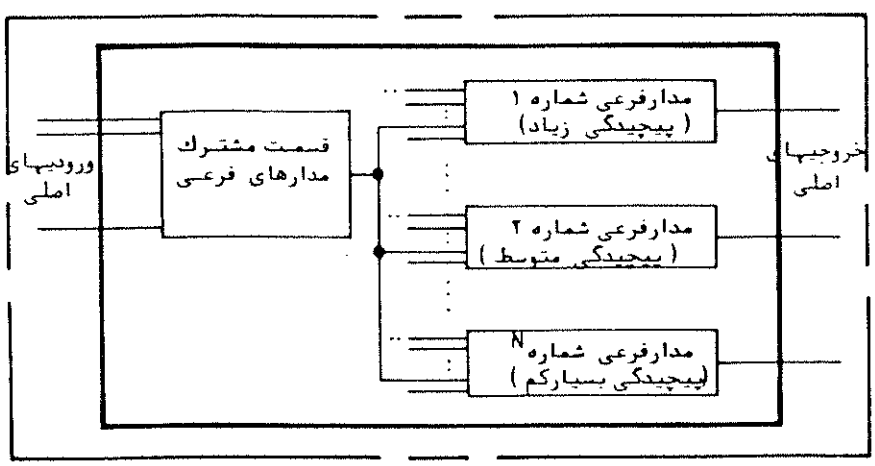
---

1) PATTERN MATCHING
2) EXACT MATCHING
3) OFF - LINE
4) ON -LINE

۱۸۴



شکل (۷۶-۲ب) مدارهای فرعی متصل بدون اتصال مشترک قبلی



شکل (۷۶-۲پ): مدارهای فرعی متصل با اتصال مشترک قبلی

۱۸۵

پین های خروجی مردودشده برای هر اشکال رخ داده از یکطرف و اطلاعات از قبل ذخیره شده در دیکسیونر اشکال از طرف دیگر استوار است. روش فوق برای مدارهای ترکیبی ساده که از پیچیدگی بالائی برخوردار نیستند عملی بوده حال آنکه برای مدارات نسبتا "پیچیده مستلزم برخورداری از نرم افزاری قوی میباشد. از این رو جهت استفاده از دیکسیونر اشکال در تشخیص اشکالاتی که در بردرخ می دهند از روش های خاصی که بستگی به نوع خاص توپولوژی بردار دارد استفاده می شود که ذیلا "به شرح چند مورد آنها می پردازیم :

الف) تطبیق اطلاعات ماتریس دوبعدی روی رشته یك بعدی براساس مردود یا عدم مردود شدن پینها

دیکسیونر اشکال عبارت از یك ماتریس دوبعدی (ixj) است که هر ردیف آن یکی از j اشکال تعریف شده در بردو هر ستون آن یکی از i گام آزمایش است. فرض کنید بردی در i گام مورد آزمایش قرار گیرد و اطلاعات موجود برای خطای شماره j آن بصورت شکل ۷۷-۲ - الف باشد.

جهت انطباق در این روش، به هر مرحله از آزمایش صفر یا یك را اختصاص می دهیم بدین مفهوم که به ازای هر گام آزمایش چنانچه هیچ یك از پینهای خروجی مردود نشده باشد، عدد صفر و در غیر این صورت عدد یك را منظور می نمائیم. از آنجا که افت اطلاعاتی بدین شیوه ممکنست زیاد گردد لذا چند بیت اضافی جهت ترمیم این افت نیز به هر رشته فوق اضافه می نماییم.

برای مثال ۳ بیت برای بیان تعداد گام هائی که دو پین و ۳ بیت برای گام هائی که سه پین در آنها مردود شده است. رشته یك بعدی حاصل برای خطای شماره j در شکل ۷۷-۲- ب نشان داده شده است.

روش فوق برای مواردی که تعداد گام های آزمایش و نیز تعداد خروجی مردود شونده نسبتا "کم باشد، مفید می باشد. بطور کلی درجه تفکیك در این روش کم بوده و این روش تنها برای مدارهایی با تعداد خروجی کم و مدارهائی که فاقد پیچیدگی و عاری از FAN OUT قابل ملاحظه باشد قابل استفاده است.

ب) تطبیق دهندگی براساس شماره پینهای خروجی مردود شده

جهت تطبیق دهندگی در این روش از بیان تعداد مشخصی از پینهای مردود شده استفاده می کنیم برای مثال می توان از شمار پین ماکزیمم در هر گام آزمایش نام برد. بدین ترتیب برای تشخیص اشکال نسبت به روش (الف) با وجود افت اطلاعاتی کمتر نیاز به حافظه بیشتر داریم و زمانی که تعداد پینهای خروجی مردود شونده در هر گام آزمایش کم بوده و مدار از FAN OUT کمی برخوردار باشد، قابلیت تفکیك نسبتا "بالا خواهد بود. بنابراین با افزایش تعداد پینهای خروجی جهت مشاهده بیشتر بردد در راستای افزایش قابلیت آزمایش آن، می توان تشخیص اشکال را با درجه قابلیت تفکیك نسبتا "بالائی به انجام رسانید. برای نمایش شماره پین ماکزیمم، میتوان نهایتا "از هشت بیت استفاده نمود. رشته یك بعدی بدست آمده برای خطای شکل ۷۷-۲ - الف در شکل ۷۸-۲ الف و با استفاده از چهار بیت جهت نمایش،

۱۸۶

نشان داده‌شده‌است .

پ) تطبیق براساس تعدادخروجیهای مردودشده

درمدارهائی کمتعدادخروجیهازیادبوده‌وتعدادانشعاب‌هانیزقابل ملاحظه‌می باشد ،بیان شمارپین ماکزیمم نمی تواندمعیارخوبی جهت اشکال یابی باشدازاین رومی توان ازتعدادخروجیهای مردودشده استفاده‌نمود .درشکل۷۸-۲ - پ رشته‌یك بعدی بدست آمده‌دراین روش نشان داده‌شده‌است .

ت) تطبیق دهندگی بااستفاده ازروش هایبرید

باکمی دقت دیده‌می شودکه‌باترکیبی ازروش های (ب) و (پ) میتوان به‌روش انطباق بهینه‌ای[1] جهت تشخیص اشکالات درمدارات ،باقابلیت تفکیك بالادست یافت . دراین روش چنانچه‌هیچیك ازپینهای خروجی مردودنگردندیه‌ازای آن صفر .چنانچه‌تنهایك پین مردودشودبه‌ازای آن شماره‌آن‌پین ودرغیراین صورت تعدادآنهاراذکرمی کنیم . رشته‌یك بعدی حاصل درشکل۷۸-۲ - پ نشان داده‌شده‌است .

رشته‌یك بعدی شکل۷۸-۲- پ براساس آستانه[2] a =1 تهیه شده‌است بدین مفهوم که‌اگرتعداد خروجیهای مردودشده‌ازیکی بیشترباشد ،تعدادآنهاراذکرمی کنیم .براساس توپولوژی بردمی توان جهت برخورداری ازدرجه‌تفکیك اشکال بالا ،آستانه‌رابه a =2 ویا a =3 نیزتغییردادکه‌درآن صورت ازشماره پین مردودشده‌ماکزیمم استفاده می شود .

۲-۳-۱۵-۲) روش های تشخیص اشکال ازطریق تطبیق دهندگی نادقیق[3]

درپاره‌ای ازموارد ،تطبیق یك به‌یك بین اطلاعات مربوط به‌پینهای خروجی مردودشده‌واطلاعات ازقبل ذخیره‌شده‌بطورکامل وجودندارد . این حالت بیشترزمانی بوقوع می پیوندکه‌دیکسیونراشکال به‌شیوه‌دستی تهیه‌شود .درچنین مواردی تشخیص اشکال ازطریق تطبیق دهندگی دقیق دچاراشکال خواهد شد .درارتباط باعمل تطبیق دهندگی نادقیق ،مکانیسم تطبیق دهندگی به‌صورت چندمرحله‌ای صورت می گیردبدین ترتیب که‌تطبیق میان بردارهای اشکال حاصل وبردارهای اشکال موجوددردیکسیونراشکال،از مراحل ساده‌ترشروع وبه‌مراحل دشوارخاتمه‌می یابد .مراحل مختلف تطبیق دهندگی جهت اشکال شکل ۷۷-۲ - الف درشکل ۷۹-۲ نشان داده‌شده‌است .

---

1) OPTIMIZE

2) THRESHOLD

3) INEXACT MATCHING

1	2	3	4	5	6	7	8	9	10	11	12
PIN 8	GOOD	PINS 7,8,12	PIN 14	GOOD	GOOD	PINS 1,10,12 15	PINS 1,9,12	PIN 11	GOOD	PINS 2,12	PIN 11

(الف)

1	0	1	1	0	0	1	1	1	0	1	1	0	0	1	0	1	0

(ب)

شکل (۲ـ۷۷): تطبیق رشته‌دوبعدی به‌یک بعدی براساس مردودیاعـــدم
- مردودشدن پینها

1000	0000	1100	1110	0000	0000	1111	1100	1011	0000	1100	1011

(الف)

0001	0000	0011	0001	0000	0000	0100	0011	0001	0000	0010	0001

(ب)

1000	0000	0011	1110	0000	0000	0100	0011	1011	0000	0010	1011

(ب)

شکل (۲ـ۷۸): نمایش رشته‌های یک بعدی براساس تطبیق های مختلف

1 — 6	4 — 9	7 — 12
PINS 8, 7, 8, 12, 14	PINS 14, 1, 10, 12, 15, 1, 9, 12, 11	PINS 1, 10, 12, 15, 1, 9, 12, 11,2,12,11

(الف)

1 — 5	4 — 8	7 — 11	10 — 14
PINS 8,7, 8, 12, 14	PINS 14, 1, 10, 12,15,1,9,12	PINS 1, 10, 12, 15,1,9,12,11,2,12	PINS 2, 12, 11

1 — 3	3 — 5	5 — 7	7 — 9	9 — 11	11 — 13
PINS 8,7,8, 12	PINS 7,8,12 14	PINS 1,10, 12,15	PINS 1,10, 12,15,1,9,12 11	PINS 11,2, 12	PINS 2,12, 11

(ب)

شکل (۲ـ۷۹): تطبیق چندمرحله‌ای درمراحل مختلف

بعلت افت اطلاعاتی حاصل از اعمال این روش ، درصد قابلیت تفکیک اشکال نسبت به روش تطبیق دهندگی دقیق اندکی کاهش می یابد . بنابراین باید یک مصالحه منطقی میان دقت لازم در تشکیل دیکسیونر اشکال از یکطرف و درصد قابلیت تفکیک اشکال از طرف دیگر صورت گیرد .

درهر صورت بسته به توپولوژی بردو وجود مدارات فرعی در آن و با توجه به حجم حافظه قابل دسترس و دقت لازم در تهیه دیکسیونر اشکال ، می توان با انتخاب یکی از روش های ذکر شده در فوق به درصد قابلیت تفکیک منطقی ای برای اشکالات موجود در بردست یافت .