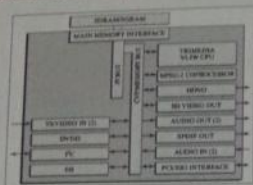


امروزه چیپ ها شامل سخت افزار و نرم افزار می شوند
SSC - PC - DVD

A System-on-a-Chip: Example ✓



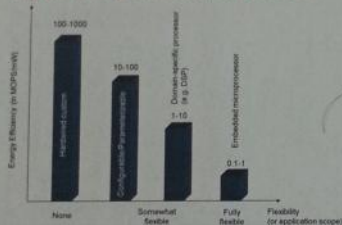
Courtesy: Philips

© Digital Integrated Circuits™

Design Methodologies

تأثیر انتخاب روش پیاده سازی بر پیچیدگی و هزینه
وقتی که پیچیدگی را در نظر می گیریم باید به روش پیاده سازی هم توجه کنیم
باید روشی را انتخاب کنیم که پیچیدگی و هزینه را کم کند

Impact of Implementation Choices

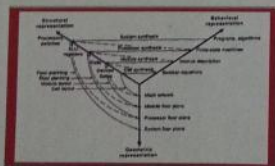


© Digital Integrated Circuits™

Design Methodologies

روشهای طراحی!
اگر بخواهیم یک پردازنده را طراحی کنیم باید به روش پیاده سازی هم توجه کنیم
چون هر چه روش پیاده سازی را ساده تر کنیم پیچیدگی و هزینه را کم می کنیم
بنابراین روش پیاده سازی را باید به روش طراحی اضافه کنیم

Design Methodology



- Design process traverses iteratively between three abstractions: behavior, structure, and geometry
- More and more automation for each of these steps

© Digital Integrated Circuits™

Design Methodologies



Digital Integrated Circuits

A Design Perspective

Jan M. Rabaey
Anantha Chandrakasan
Borivoje Nikolic

Design Methodologies

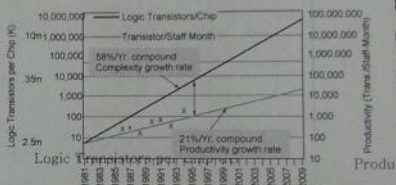
December 10, 2002

© Digital Integrated Circuits™

Design Methodologies

سرعت رشد تراشه ها روز به روز زیادتر می شود

The Design Productivity Challenge



A growing gap between design complexity and design productivity

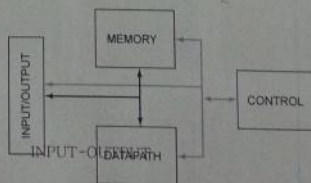
Source: sematech07

© Digital Integrated Circuits™

Design Methodologies

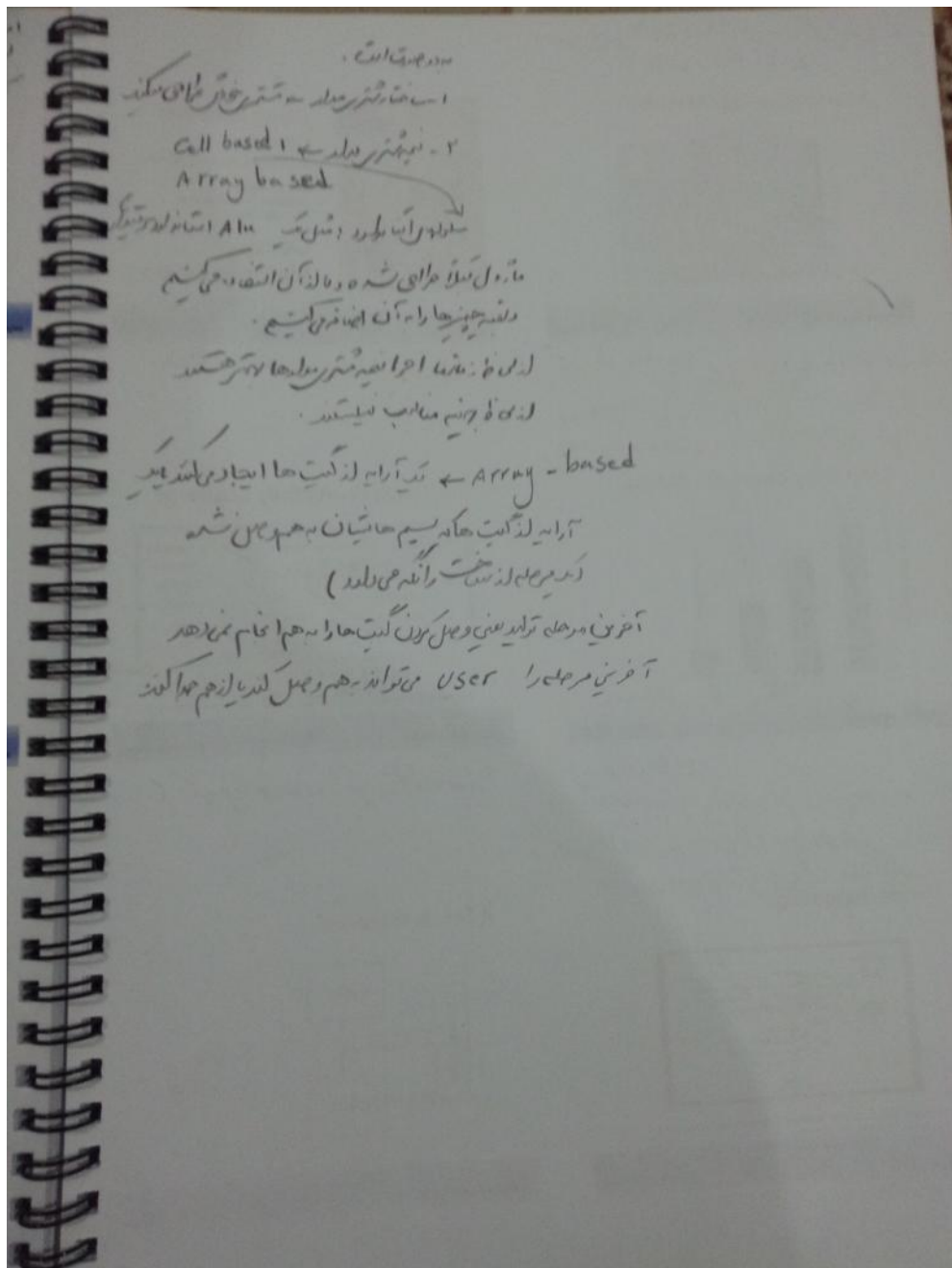
نیاز به روش های نوین طراحی تراشه ها

A Simple Processor ✓



© Digital Integrated Circuits™

Design Methodologies



Cell-based Design (or standard cells)

Reading: relevant requirements are reduced to problems of area, interconnect, and delay.

Implementation Choices

Design Choices (Implementation Requirements)

- Customization
 - Cell-based
 - Full-chip
- Standard Cells
 - Pre-defined
 - Customizable

Standard Cell — Example

Intel 4004

The Custom Approach

Intel 4004

Standard Cell – The New Generation

Cell-structure hidden under interconnect layers

Transition to Automation and Regular Structures

Intel 4004 (T1)

Intel 8080

Intel 8085

Intel 8086

Intel 8088

$F_1 = F_0$ $G_1 = G_0$

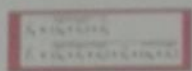
Two-Level Logic

تویین $F_0 = x_1 + x_2$
 تویین $F_1 = x_1 + x_2 + x_3$

نتیجه



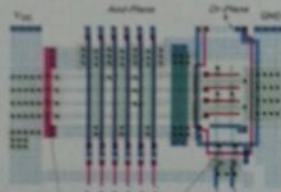
Routing Terminals (ZDRs)
 mostly more effective



Design Methodology

تویین And و تویین OR
 و تویین VDD و تویین GND
 و تویین Q و تویین Q-bar

PLA Layout - Exploiting Regularity

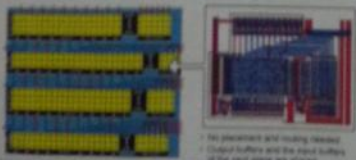


Design Methodology

تویین And و تویین OR
 و تویین VDD و تویین GND
 و تویین Q و تویین Q-bar

Breathing Some New Life in PLAs

- 1. A cascade of multiple-output PLAs.
- 2. Adjacent PLAs are connected via their routing.



Design Methodology

Standard Cell - Example



Cell	Cell Type	Cell Area
1	AND	1.0
2	OR	1.0
3	AND-OR	2.0
4	AND-OR	2.0
5	AND-OR	2.0
6	AND-OR	2.0
7	AND-OR	2.0
8	AND-OR	2.0
9	AND-OR	2.0
10	AND-OR	2.0
11	AND-OR	2.0
12	AND-OR	2.0
13	AND-OR	2.0
14	AND-OR	2.0
15	AND-OR	2.0
16	AND-OR	2.0
17	AND-OR	2.0
18	AND-OR	2.0
19	AND-OR	2.0
20	AND-OR	2.0
21	AND-OR	2.0
22	AND-OR	2.0
23	AND-OR	2.0
24	AND-OR	2.0
25	AND-OR	2.0
26	AND-OR	2.0
27	AND-OR	2.0
28	AND-OR	2.0
29	AND-OR	2.0
30	AND-OR	2.0
31	AND-OR	2.0
32	AND-OR	2.0

Input: 32-bit cell
 Area: 27 (Microelectronic)
 1 = cell area
 1 = input/output area

Design Methodology

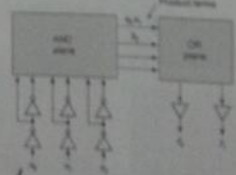
Automatic Cell Generation



Design Methodology

تویین And و تویین OR
 و تویین VDD و تویین GND
 و تویین Q و تویین Q-bar

A Historical Perspective: the PLA



Design Methodology

تویین And و تویین OR
 و تویین VDD و تویین GND
 و تویین Q و تویین Q-bar

"Intellectual Property"



A Protocol Processor for Wireless

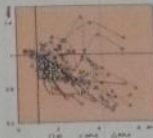
© Digital Integrated Circuits™

Design Methodologies

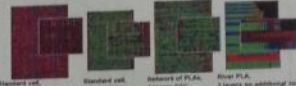
Experimental Results

Area
 RTL (2 layers) 1.29
 RTL (4 layers) 1.55
 RTL (6 layers) 1.91
 Delay
 RTL (2 layers) 1.04
 RTL (4 layers) 1.02
 RTL (6 layers) 1.02
 Significant time for RTL (6 layers) time required design time
 RTL and RTL (6 layers) time 1.04
 RTL and RTL (6 layers) time 1.04

Also: RTLs are regular and predictable



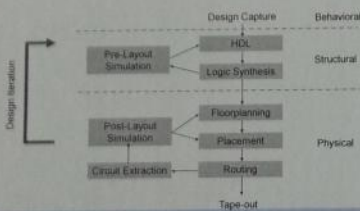
Layout of C3670



© Digital Integrated Circuits™

Design Methodologies

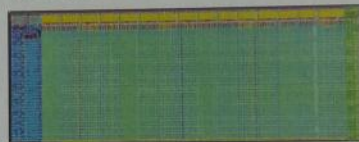
Semicustom Design Flow ✓



© Digital Integrated Circuits™

Design Methodologies

MacroModules



256x32 (or 8192 bit) SRAM
 Generated by hard-macro module generator

© Digital Integrated Circuits™

Design Methodologies

The "Design Closure" Problem



Iterative Removal of Timing Violations (white lines)

© Digital Integrated Circuits™

Courtesy Synopsys

Design Methodologies

"Soft" MacroModules



```

string mat = "00000";
directive (multitype = mat);
output aligned [16] 0 = 0 * 0;
  
```

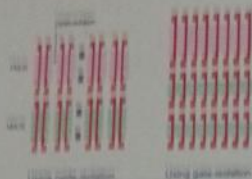


© Digital Integrated Circuits™

Synopsys DesignCompiler

Design Methodologies

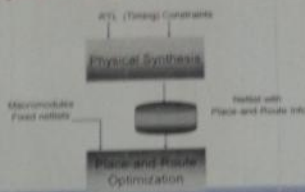
Sea-of-gate Primitive Cells



Using tube isolation

Using gate isolation

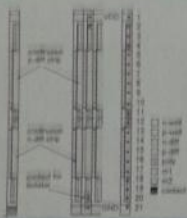
Integrating Synthesis with Physical Design



Digital Integrated Circuits

Design Methodologies

Example: Base Cell of Gate-Isolated GA

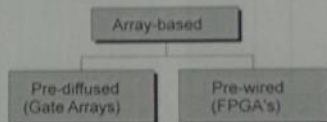


Digital Integrated Circuits

From CMOS

Design Methodologies

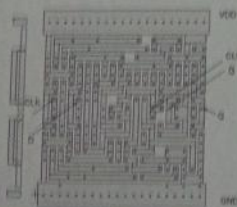
Late-Binding Implementation



Digital Integrated Circuits

Design Methodologies

Example: Flip-Flop in Gate-Isolated GA

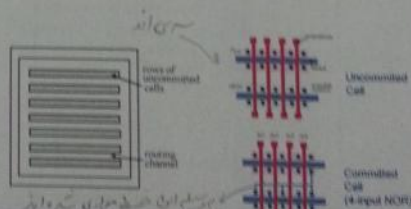


Digital Integrated Circuits

From CMOS

Design Methodologies

Gate Array — Sea-of-gates

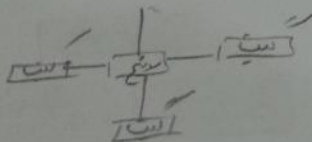


Digital Integrated Circuits

Design Methodologies

در PLA : OR ها مسبقاً هستند AND ها در خروجی
طریقه.

در مبرها متفاوت است.
سازمان کار را با پیروی از پیچ ها در هم وصل می کنند
جمع می توانیم زیاد می شود پس خوب بدانی است که در
اختیار دات و هر طریقی که توانیم پیچ ها را وصل
می کنیم یعنی ما پیچ ها را دات ها را به هم وصل می کنیم



هر کدام را نیاز داریم استفاده می کنیم و طبقه بندی می شود
در بعضی ها می توانیم AND و OR و
فقط طریقه.

Fuse-Based FPGA

Open by default, closed by applying current pulse

© Digital Integrated Circuits™ From Thomas D. Design Methodologies

ساختار یک فیلد پروگرامیبل
۳ ترکیب از آنست که در
دایره ها هم در AND و هم در OR قابل پیاده سازی هستند
در PROM: در اینها بعضی در بعضی جاها روشن میمانند
از دو مدولهای جداگانه هستند

Array-Based Programmable Logic

© Digital Integrated Circuits™ Design Methodologies

تایم ۴ ورودی و ۶ تاییت AND داریم
PLA دارای ۶ تاییت ورودی داریم. ۶ تاییت تاییت داریم. ما باید ۶ تاییت
تاییت ساخت ما دارد و اینست که آن تاییت میماند و ما تاییت
میکنیم هر کدام را می خواهیم بسازیم

Programming a PROM

$$f_0 = x_0 x_1 + \bar{x}_2$$

$$f_1 = x_0 x_1 x_2 + \bar{x}_2 + x_0 x_1$$

© Digital Integrated Circuits™ Design Methodologies

Sea-of-gates

© Digital Integrated Circuits™ Courtesy LSI Logic Design Methodologies

دیده اند Gate ها را در یک سرباز در یک سرباز است و هیچ
هر کدام را نمی توانیم به هم وصل کنیم و هر زمان هم می توانیم
چند تا سرباز را وصل کنیم

سرباز ها چگونه می توانند وصل شوند؟
The return of gate arrays?

© Digital Integrated Circuits™ Exploits regularity of interconnect [P11egg102] Design Methodologies

ما باید سرباز های یکسان را بسازیم

Prewired Arrays

Classification of prewired arrays (or field-programmable devices):

- Based on Programming Technique
 - Fuse-based (program-once)
 - Non-volatile EPROM based
 - RAM based
- Programmable Logic Style
 - Array-Based
 - Look-up Table
- Programmable Interconnect Style
 - Channel-routing
 - Mesh networks

چگونه می توانیم یک سرباز را بسازیم؟
کدام سرباز می توانیم بسازیم و با آن کار کنیم
چگونه می توانیم آن را به یک سرباز دیگر وصل کنیم؟

این اولین مدل از یک سلول منطقی است که با استفاده از حافظه و یک مالتیپلکسر ساخته شده است.

Look-up Table Based Logic Cell

In	Out
00	00
01	1
10	1
11	0

Handwritten notes: "4bit حافظه دارد" (has 4-bit memory), "مالتیپلکسر" (multiplexer).

© Digital Integrated Circuits™ Design Methodologies

در ساختارهای پیچیده‌تر، PLA استفاده می‌شود و در پیچیده‌ترین حالت، Flip Flop و مالتیپلکسرهای پیچیده‌تر را در این مدارات می‌بینیم.

More Complex PAL

Handwritten notes: "i inputs, j minterms/macrocell, k macrocells" (i inputs, j minterms/macrocell, k macrocells).

© Digital Integrated Circuits™ Design Methodologies

LUT-Based Logic Cell

Figure must be updated

Handwritten notes: "Xilinx 4000 Series", "Courtesy Xilinx".

© Digital Integrated Circuits™ Design Methodologies

2-input mux as programmable logic block

Configuration	A	B	S	Fz
0	0	0	0	0
0	X	1	X	X
0	Y	1	Y	Y
0	Y	X	X	XY
X	0	Y	X	XY
Y	0	X	X	XY
Y	1	X	X	X1 Y
1	0	X	X	X
1	0	Y	X	Y
1	1	1	1	1

© Digital Integrated Circuits™ Design Methodologies

Array-Based Programmable Wiring

© Digital Integrated Circuits™ Design Methodologies

Logic Cell of Actel Fuse-Based FPGA

© Digital Integrated Circuits™ Design Methodologies