**شماره آزمایش : 2**

**عنوان آزمایش : طراحی فلیپ فلاپ نوع D**

Module dff(Q, Q\_bar,D,clk);

Output q,q\_bar;

Input d,clk;

Nand U1(x,d,clk);

Nand U2(y,x,clk);

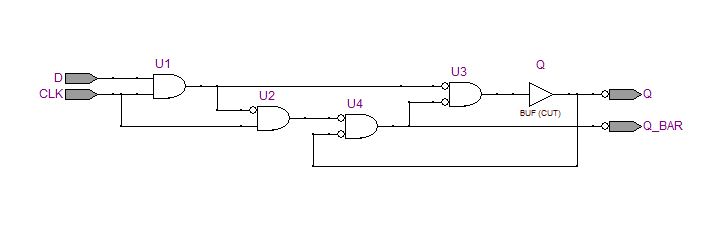
Nand u3(q,q\_bar,x);

Nand U4(q\_bar,q,y);

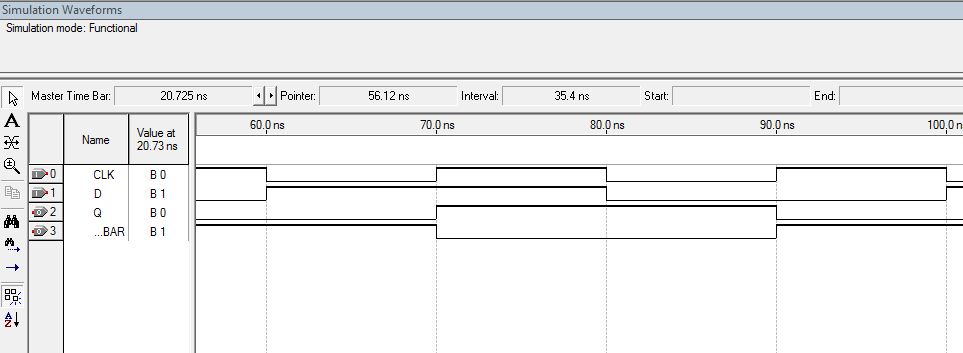
End module

در این آزمایش clk , d ورودی و q و q\_bar خروجی مدار می باشند ، هرگاه clk بالا رونده باشد و d=0 باشد q=0 خواهد بود.

**شکل مدار در rtl :**



**سنتز** :



**جدول درستی :**

|  |  |  |  |
| --- | --- | --- | --- |
| clk | D | Q | Q\_bar |
| ^  ^  - | ^  0  x | **^**  **0**  **-** | 0  1  - |