فرآیندهای طراحی مدارهای CMOS

فهرست

مقدمه 2

5-1-پهنا و طول ترانزیستور 2

5-2 اتصالات و قوانین آنها 5

5-2-1 قوانین اتصال لایه‌ها در CMOS 6

5-3 ساختارهای ترانزیستوری 11

5-3-1 تولید ترانزیستورهای MOS: 11

5-4 مراحل طراحی مدارهای VLSI 12

5-4-1 نمودارهای میله‌ای: 13

5-4-2 نمودار میله‌ای و طرح یک معکوس کننده: 16

5-4-3 نمودار میله‌ای و طرح یک گیت NAND: 20

5-4-4 نمودار میله‌ای و طرح یک گیت NOR: 22

5-4-5 طرح یک مدار میله‌ای برای تابع منطقی دلخواه با تکنولوژی CMOS: 23

5-4-6 نمودار میله‌ای و طرح مالتی پلکسر: 25

5-5 قوانین طراحی چینش 27

5-5-1 حداقل طول گیت مجاز: 28

5-5-2 نحوهٔ انتخاب طراحی چینش: 34

5-6 چینش گیت‌های پیچیدهٔ منطق CMOS و گراف اویلر 34

مقدمه

در طرح یک آی‌سی معمولاً رعایت نکات مهم طراحی عاملی است که می‌تواند آی‌سی طرح شده را از کیفیت و نحوهٔ عملکرد صحیح بهره‌مند نموده و طراح را در اتصال آن به سایر مدارات یاری دهد. لذا معمولاً چنین است که طرح آی‌سی طی مراحل استاندارد صورت گیرد. در این رابطه، ابتدا آنچه که برای عملکرد خاصی مدنظر است، تعیین می‌شود. مثلاً فرض کنید بخواهیم یک گیت **NAND** را طرح نمائیم. پس لازم است که ابتدا نحوهٔ عملکرد مدار آن که حاوی یک خروجی و تعدادی ورودی است را تعیین نموده و آن را تحت شرائطی که کلیهٔ ورودی‌ها **"1"** باشند به **"0"** ببریم. پس از تعیین عملکرد آی‌سی، تعداد قطعاتی را که در یک طرح بهینه لازم داریم، مشخص نموده و طرح کلی مدار را ارائه می‌کنیم. آنچه که پس از این مرحله اهمیت دارد نحوهٔ قرار دادن یا چینش قطعات فوق روی یک ویفر آی‌سی می‌باشد. طبیعتاً در این طراحی لازم است که تعدادی از مسیرهای اتصال جریان از روی یکدیگر عبور نمایند. لذا باید بهترین مکان برای حضور قطعات و سپس مسیرهای عایقی را مابین خطوط اتصال قرار داد که مشکلات اتصال کوتاه ایجاد نگردد. آنچه که در این مرحله انجام می‌شود، به نام **"طراحی چینش"** (**Layout**) شناخته می‌شود.

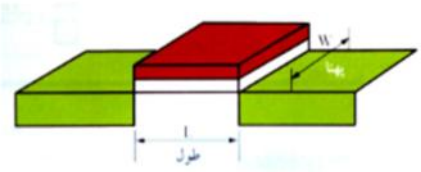
در این فصل، هدف بررسی نحوهٔ طراحی و ارائه قوانین **"طراحی چینش"** است. این نوع از طراحی در رابطه با گیتهای **CMOS** مطالعه می‌شود.

5-1-پهنا و طول ترانزیستور

در طراحی یک گیت لازم است که نمایش تقریبی و محل نسبی لایه‌ها را نسبت به هم تعیین کنیم. لذا معمولاً قبل از **"طراحی چینش"** کامل، فرآیند مذکور توسط نموداری موسوم به **نمودار میله‌ای** (**Stick Diagram**) توصیف می‌گردد. از آنجا که در یک طرح از گیت مشخص، نیازمند تعیین ابعاد دقیق ترانزیستورها هستیم، در ابتدا

مجدداً به بررسی ابعاد ترانزیستورها می‌پردازیم. در **شکل 1-5** طول و پهنای یک ترانزیستور را می‌توان مشاهده نمود.

در این شکل، منظور از طول، همان طول کانال و منظور از پهنا مسیری است که در صورت عریض‌تر بودن قابلیت عبور جریان بیشتر و لذا مقاومت کمتری دارد.



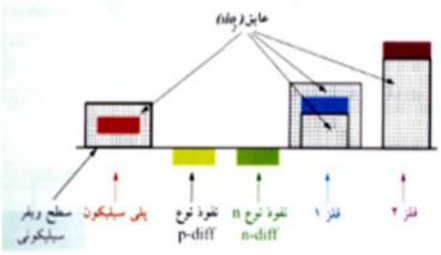
شکل 1-5 نمایش پهنا و طول ترانزیستور

اما در تکنولوژی **CMOS** به منظور تعیین چینش (**Layout**) یک آی‌سی و نیاز به قطعات هادی یا عایق (دی‌اکسید سیلیکون) می‌توان از رنگ‌های مختلف استفاده کرد. انتخاب رنگ‌ها متأسفانه از یک استاندارد کلی پیروی نمی‌کنند. اما در این درس، سعی برآن است که از قوانین انتخاب براساس آنچه در **جدول 1-5** دیده می‌شود، استفاده نمود.

جدول 1-5 جدول قرارداد طراحی لایه‌های مختلف CMOS و عملکرد آنها

مزلفه	رنگ	مقاومت	موقعیت نسبت به سطح سیلیکون	عملکرد
فلز ۱ (metal)		بسیار کم	بالا	منبع تغذیه و سیمهای سیگنال
فلز ۲		بسیار کم	بالا	سیمهای منبع تغذیه
پلی‌سیلیکون (poly)		کم	بالا	سیمهای سیگنال و گیت‌های ترانزیستورها
نفوذ نوع n (N - diff)		متوسط	پایین	سیمهای سیگنال و سورس و درین ترانزیستورها
نفوذ نوع P (P- diff)		متوسط	پایین	سیمهای سیگنال و سورس و درین ترانزیستورها
تماس (contact)		بسیار کم	بالا	اتصال لایه‌ها
Via		بسیار کم	بالا	اتصال بین لایه‌های فلزی
عایق	-	زیاد	بالا	جداکننده ۲ لایه

مثلاً تصور کنید که در یک دید از برش آی‌سی، مطابق آنچه در **شکل 2-5** دیده می‌شود، بخواهیم نواحی مختلف را ترسیم کنیم. همانطوریکه دیده می‌شود، می‌توان با ورود نواحی مختلف عایق (SiO_2) لایه‌های مختلف را به عنوان مسیرهای هادی جریان حتی از روی هم عبور داد. چرا که لایه‌های مختلف بدون اتصال با یکدیگر و توسط حصر توسط عایق‌ها می‌توانند مسیرهای انشعابی جریان را ایجاد کنند. این مسیرها می‌توانند روی سطوح آی‌سی باشند و اتصالات منبع تغذیه را به آن اعمال کنند یا اینکه درون نقاط عمقی واقع شوند و مسیرهای درونی را آدرس دهی نمایند که در حالت اول از فلز و در حالت دوم از لایه‌های پلی‌سیلیکون استفاده می‌شود.



شکل 2-5 مثالی از لایه‌های مختلف درون آی‌سی سیلیکونی

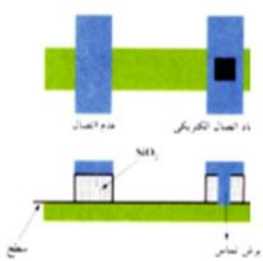
انتخاب رنگ برای هر یک، مطابق **جدول 5-1** است (برای دو نوع فلز و پلی‌سیلیکون). اما متأسفانه طراحی قطعات نیمه‌هادی نوع n یا p کمی متفاوت‌تر است، چرا که تولید یک نوع خاص نیمه‌هادی نمی‌تواند به شکل طبقاتی و رویهم صورت گیرد. به این دلیل که لایه‌ها به شکل نفوذی هستند و روی سطوح ویفر قرار می‌گیرند؛ چنانکه در **شکل 5-2** نیز دیده می‌شود. هر یک از این لایه‌ها نیز در **جدول 5-1** دیده می‌شوند. روش تولید این لایه‌ها می‌تواند به شکل **فرآیند نفوذی (Diffusion)** یا **فرآیند کاشت یونی (Ion Implantation)** باشد. در فرآیند نفوذی گاز ناخالصی‌های مولد نوع n یا p در مجاورت سطح ویفر و دمای معین قرار گرفته، بطوریکه می‌تواند به درون آن نفوذ کنند. به همین ترتیب در فرآیند کاشت یونی، یونهای مربوط به نوع نیمه‌هادی شتاب گرفته و با سرعت به سطح ویفر برخورد کرده و از روی آن، بدرون نفوذ می‌کنند. البته فرآیند نفوذی معمولاً فرآیند موسوم‌تری است.

5-2 اتصالات و قوانین آنها

کنتاکت‌ها برای قطعات نیمه‌هادی، می‌تواند براساس مسیرهای فلزی که توسط اکسید سیلیکون مجزا می‌شوند همراه با تعدادی ماسک به منظور خوردگی اکسید (**Etching**) در نواحی مختلف، طراحی شوند. مثلاً در **شکل 5-3** طرح یک اتصال فلز به لایه نفوذی توسط یک برش تماسی دیده می‌شود.

برای ایجاد اتصال مابین دو لایهٔ فلزی، از برش‌هائی موسوم به **Via** استفاده می‌شود. فلز اول برای ایجاد کنتاکت با پلی‌سیلیکون یا لایه نفوذی استفاده می‌شود و اتصالات میان فلز دوم با پلی‌سیلیکون یا نواحی نفوذی، با

اتصال فلز دوم به فلز اول و سپس از فلز اول به پلی‌سیلیکون یا لایهٔ نفوذی صورت میگیرد. عایق‌ها معمولاً از جنس SiO_2 (دی‌اکسید سیلیکون) بوده که در بین قطعات وظیفهٔ ایزوله کردن آنها را دارند.



شکل 5-3 طرح از بالا و کنار اتصال فلز به ناحیه نفوذی

5-2-1 قوانین اتصال لایه‌ها در CMOS:

لایه‌های مختلف **CMOS** به روش‌های متفاوتی که خلاصه‌ای از آن در **جدول 5-2** دیده می‌شود، به هم متصل می‌شوند.

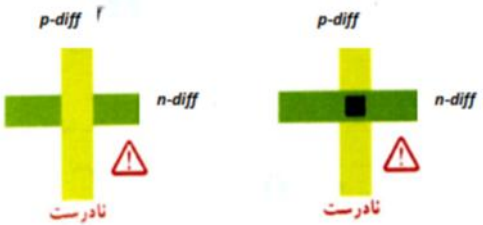
جدول 5-2 قوانین اتصال لایه‌های مختلف در CMOS

	نفوذ نوع n	نفوذ نوع p	پلی	فلز ۱	فلز ۲
نفوذ نوع n	✓	×	①	②	×
نفوذ نوع p	×	✓	①	②	×
پلی	①	①	✓	②	×
فلز ۱	②	②	②	✓	③
فلز ۲	×	×	×	③	✓

در این جدول، علامت‌های مختلف دارای توصیف زیر هستند:

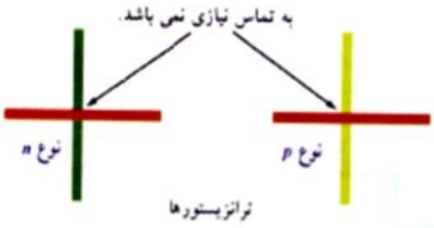
علامت "✓" به معنی یک اتصال مجاز است حتی اگر از تماس یا Via استفاده نشود.

علامت "×" به معنی یک اتصال غیرمجاز است یعنی اینکه انواع مختلف لایه‌های نفوذی نمی‌توانند تقاطع یا تماسی داشته باشند. این نکته در **شکل 4-5** دیده می‌شود.



شکل 4-5 عدم اتصال لایه‌های نفوذی با هم

علامت ① برای تشکیل یک ترانزیستور مطابق **شکل 5-5** است.



شکل 5-5 تقاطع لایه پلی‌سیلیکون با لایه‌های نفوذی n یا p جهت تشکیل ترانزیستور

تذکر: توجه کنید که اتصال پلی‌سیلیکون و لایه‌های نفوذی می‌تواند یک ترانزیستور را تولید کند.

در طراحی **CMOS** لایهٔ پلی‌سیلیکون نمی‌تواند با لایه‌های نفوذی n یا p تماس پیدا کند، چنانچه در **شکل 5-6** نیز دیده می‌شود. اما در تکنولوژی **nMOS** برای این کار از تماس مدفون (Buried Contact) مطابق **شکل 5-7** استفاده می‌شود.

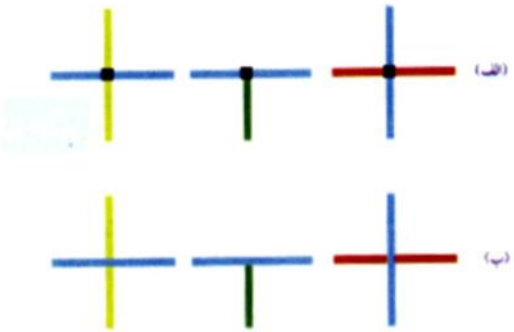
شکل 5-6 عدم اتصال لایه پلی‌سیلیکون با لایه‌های نفوذی n و p

شکل 5-7 نمایش تماس مدفون در تکنولوژی nMOS

لذا در اتصال لایهٔ پلی‌سیلیکون به لایه‌های نفوذی باید (مثلاً در اتصال با لایه نفوذی n مطابق **شکل 5-8**) ابتدا آن را به فلز 1 اتصال داده و سپس فلز 1را به نیمه‌هادی نفوذی (مثلاً n) متصل نمود.

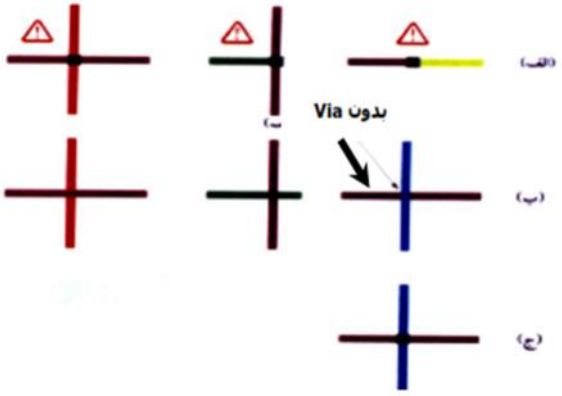
شکل 5-8 اتصال لایه پلی‌سیلیکون به لایه نفوذی نوع n

علامت ② بدین معنی است که در صورت نیاز به اتصال دو لایه باید از تماس استفاده کرد. چرا که در غیر این صورت، اتصالی ایجاد نمی‌شود. فلز 1 می‌تواند با کمک تماس با لایه‌های نفوذی n یا p و لایهٔ پلی‌سیلیکون مرتبط باشد. در صورتی که از تماس استفاده نشود، حتی اگر لایه‌ها نیز از روی یکدیگر عبور کنند، ارتباطی ایجاد نمی‌شود. این نکته در **شکل 5-9** دیده می‌شود.



شکل 5-9 عبور فلز از روی لایه‌ها در حالت الف) درست بوده و اتصال ایجاد می‌شود و در حالت ب) نیز درست است اما ارتباطی ایجاد نمی‌شود.

علامت ③بدین معنی این است که فلز 2 می‌تواند تنها با خودش و فلز 1 اتصال داشته باشد. البته برای اتصال فلز 2 به فلز 1 باید از Via استفاده شود، در غیر این صورتف مطابق **شکل 5-10** حتی اگر لایه‌ها از روی هم عبور کنند، هیچ ارتباطی ایجاد نمی‌شود.



شکل 5-10 ارتباط فلز با لایه‌های مختلف

(الف) نادرست، (ب)درست ولی اتصال نداریم، (ج) درست و اتصال داریم.

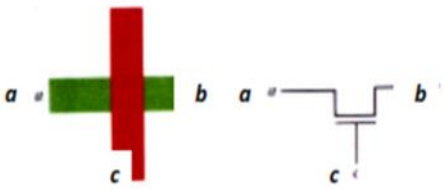
5-3 ساختارهای ترانزیستوری

همانطوری که قبلاً نیز اشاره گردید، مشخصات هندسی، اندازه‌ها و محل دقیق عناصر، همچنین ارتباط مابین آنها توسط طراحی ماسک‌های مناسب را به نام **طراحی چینشی** می‌شناسیم و به منظور یک طراحی مناسب، می‌توان از رنگ‌های مختلف برای ماسک‌ها استفاده نمود.

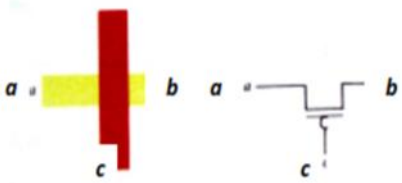
5-3-1 تولید ترانزیستورهای MOS:

دیدیم که از تقاطع لایه پلی‌سیلیکون و نواحی نفوذی، کلیدهای ترانزیستوری به وجود می‌آیند. نحوهٔ تولید نوع ترانزیستور به صورت زیر است:

- اگر لایهٔ پلی‌سیلیکون از لایهٔ نفوذی n عبور کند ترانزیستور نوع n داریم (**شکل 5-11**).
- اگر لایهٔ پلی‌سیلیکون از لایهٔ نفوذی p عبور کند ترانزیستور نوع pداریم (**شکل 5-12**).



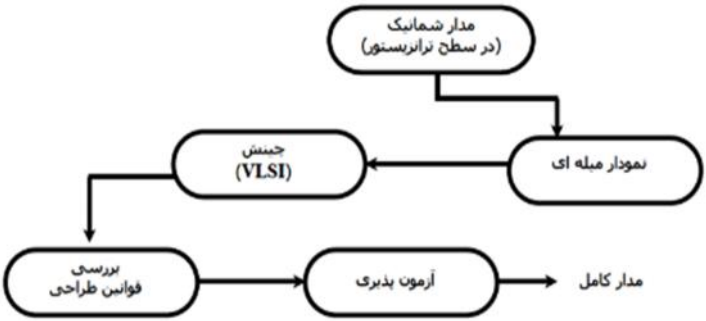
شکل 5-11 طرح یک ترانزیستور nMOS



شکل 5-12 طرح یک ترانزیستور pMOS

5-4 مراحل طراحی مدارهای VLSI

در طراحی مدارهای VLSI، مراحل مختلفی از طرح شماتیک تا مدار کامل صورت می‌گیرد که در **شکل 5-13** فلوچارت آن دیده می‌شود.



شکل 5-13 مراحل طراحی مدارهای VLSI

در روند طراحی، ابتدا اجزای مدار موردنظر و سپس نحوهٔ اتصال آنها به یکدیگر انجام می‌شود. سپس محل نسبی اجزای مدار یعنی لایه‌های تشکیل دهنده و تماس‌های آنها تعیین می‌گردد. این قسمت را به نام ترسیم **"نمودارهای میله‌ای"** مدار می‌شناسیم. در مرحلهٔ آخر، چینش مدار صورت گرفته که تعیین محل دقیق و ابعاد نهائی لایه‌ها و اتصالات را معین می‌نماید.

در طرح مدار شماتیک، بسته به نوع گیت موردنیاز قطعات، انتخاب شده و ترسیم کلی شکل می‌گیرد. اما در ترسیم نمودارهای میله‌ای مراحلی باید صورت گیرد که به بررسی آن خواهیم پرداخت.

5-4-1 نمودارهای میله‌ای:

در ترسیم نمودارهای میله‌ای یک گیت، قوانینی وجود دارند که می‌توان آنها را به شرح زیر خلاصه نمود:

-سیم‌ها با خطوط نازک نشان داده می‌شوند؛

-تماس‌ها با مربع‌های کوچک مشخص می‌شوند؛

*-رنگ‌ها براساس قوانین جدول **5-1** هستند؛*

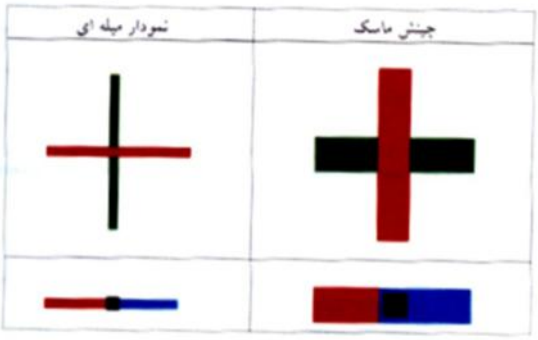
-نمودار اولیه، یک نمایش مقدماتی از چینش قطعات است؛

*-نمودار میله‌ای، همه مؤلفه‌ها را به جز چاه‌های **n** و **p** درون خود داراست؛*

-این نمودار مکان دقیق، طول و پهنای سیم‌ها و مرز دقیق چاه‌ها را نشان نمی‌دهد و تنها تعیین کنندهٔ مکان نسبی و تقریبی لایه‌ها می‌باشد؛

-نمودار میله‌ای در میانهٔ طرح شماتیک اولیه و چینش نهائی مدار واقع می‌شود.

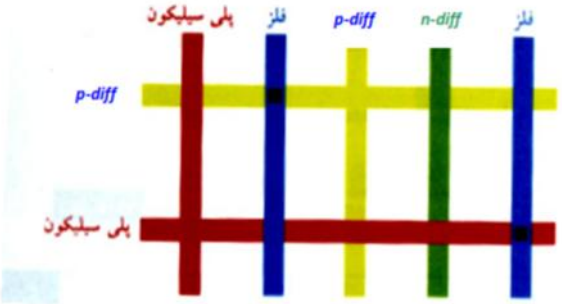
مثلاً فرض کنید بخواهیم اتصال یک پلی‌سیلیکون به نیمه‌هادی نفوذی نوع n را ترسیم کنیم. این ترسیم در **شکل 5-14** دیده می‌شود که در سمت چپ اتصال به شکل میله‌ای یا همان نمودار میله‌ای و در سمت راست این اتصال به شکل چینشی بر روی سطح ویفر ترسیم شده است.



شکل 5-14 نحوهٔ اتصال یک پلی‌سیلیکون با لایهٔ نفوذی نوع n توسط نمودار میله‌ای و سپس چینش آن روی سطح ویفر

به عنوان مثال دیگر، فرض کنید بخواهیم مطابق **شکل 5-15** دو سیم افقی را که از روی پنج سیم عمودی عبور کرده و ده تقاطع را نشان می‌دهند، از دیدگاه اتصالات مجاز **CMOS** و نحوهٔ تشکیل عنصر در تقاطع را مرور کنیم.

خلاصهٔ آنچه در **جدول 5-2** دیده می‌شود، در **جدول 5-3** گردآوری شده است. بدین معنی که "✓" به معنی اتصال مجاز "X" به معنی اتصال ممنوع، ① به معنی تشکیل ترانزیستور و ② به معنی آن است که در صورت نیاز به ارتباط، تماس لازم است. در غیر این صورت، ارتباطی ایجاد نخواهد شد.



شکل **5-15** نمودار میله‌ای یک مجموعه از اتصالات

جدول **5-3** جدول خلاصه شدهٔ نمودار میله‌ای **5-15**

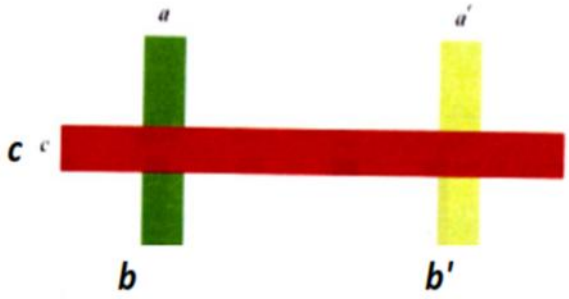
	پلی	فلز	نمود نوع p	نمود نوع n	فلز
نمود نوع p	①	② | (1)	✓	x	② | (2)
پلی	✓	② | (3)	①	①	② | (4)

دو لایه در (2) از هم ایزوله‌اند و تماس در (1) وجود دارد که به منزلهٔ اتصال الکتریکی دو لایه است. اتصال پلی‌سیلیکون به فلز مجاز است، ولی نیازمند تماس می باشد.

در (3) مجدداً دو لایه ایزوله بوده و در (4) یک تماس وجود دارد.

و بالاخره به عنوان آخرین مثال فرض کنید بخواهیم یک ترانزیستور **CMOS** را جهت تولید گیت‌های مختلف با نمودار میله‌ای و به کمک لایه‌های پلی‌سیلیکون کنترل کننده طرح کنیم. نتیجه می‌تواند مطابق **شکل 5-16** باشد.

a a'



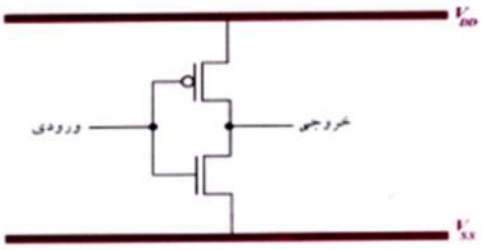
شکل 5-16 تشکیل ترانزیستورهای nMOS و pMOS با لایه‌های کنترلی پلی‌سیلیکون

اما در حالت کلی اگر بخواهیم طراحی نمودارهای میله‌ای را مرحله به مرحله انجام دهیم، لازم است که گیت مشخصی را انتخاب نموده و این مراحل را دنبال نمود. در زیر به ترتیب طرح یک معکوس کننده، یک گیت NAND و سپس یک گیت NOR ارائه شده است. این طراحی شامل ترسیم نمودار میله‌ای و سپس چینش آن است.

5-4-2 نمودار میله‌ای و طرح یک معکوس کننده:

این طرح می‌تواند به صورت مرحله به مرحله و به شکل زیر انجام گردد:

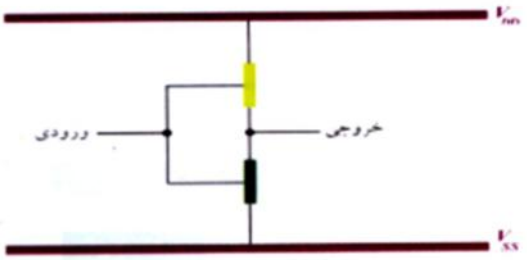
مرحلهٔ اول: دو خط افقی برای اتصال به V_{SS} و V_{DD} ترسیم می‌شوند که می‌تواند با فلز 1 یا 2 انجام شود. در **شکل 5-17** این طرح را با فلز 2 مشاهده می‌کنید. این طرح، به نوعی مدار شماتیک را نیز در خود دارد.



16

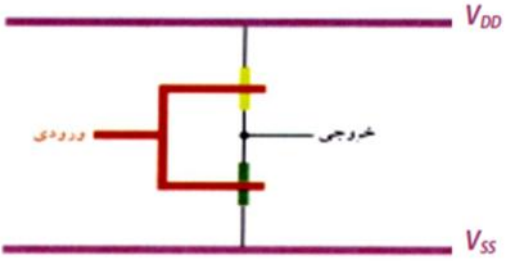
شکل 5-17 ترسیم خطوط تغذیه با فلز 2

مرحلهٔ دوم: یک سیم عمودی با نفوذ لایهٔ p برای تشکیل درین و سورس ترانزیستور نوع p و یک سیم، برای لایهٔ نفوذی n جهت تولید سورس و درین ترانزیستور نوع n، مطابق **شکل 5-18** لازم است.



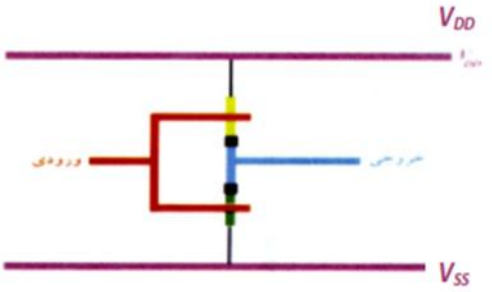
شکل 5-18 رسم نواحی نفوذی ترانزیستورهای نوع n و p

مرحلهٔ سوم: برای ورودی معکوس کننده از پلی‌سیلیکون استفاده می‌شود که برای تشکیل گیت‌های دو ترانزیستور، آن را ادامه داده و به **شکل 5-19** می‌رسیم.



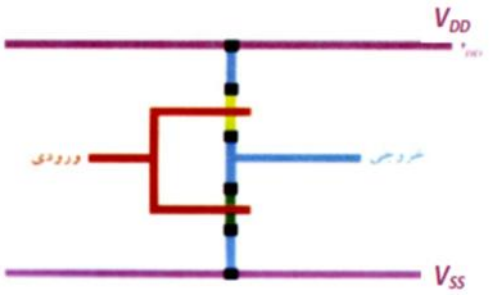
شکل 5-19 تشکیل گیت ترانزیستورها و اتصال آنها به هم

مرحلهٔ چهارم: اکنون درینهای دو ترانزیستور به فلز 1 متصل شده و خروجی را ایجاد می‌کنند. توجه کنید که لایه‌های نفوذی را نمی‌توان مستقیماً به هم متصل نمود. لذا طرح این اتصال خروجی به **شکل 5-20** خواهد بود.



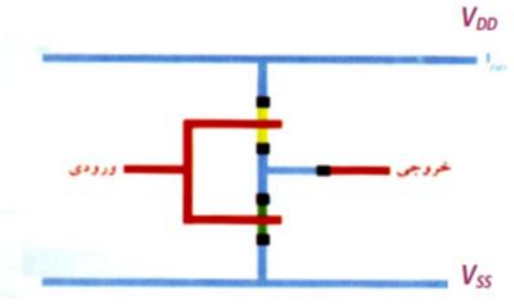
شکل 5-20 اتصال درین ترانزیستورها به هم و تشکیل خروجی

مرحلهٔ پنجم: از طریق فلز 1 سورس ترانزیستورها به خطوط تغذیه متصل می‌شوند و به علاوه برای اتصال فلز 1 به 2 از Via استفاده می‌شود؛ چنانچه در **شکل 5-21** مشاهده می‌گردد.



شکل 5-21 اتصال سورس‌ها به خطوط تغذیه

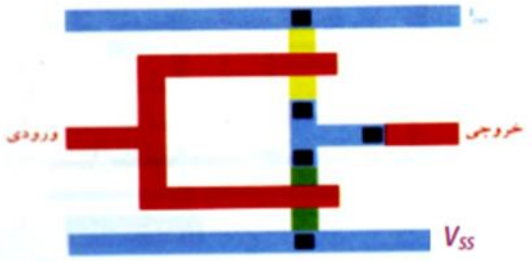
چینش معکوس کننده: اکنون براساس آنچه که نهایتاً در **شکل 5-21** دیدیم، می‌توان چینش قطعات را انجام داد. اگر بخواهیم طرح اتصالات منبع تغذیه را توسط فلز 1 انجام دهیم به ساختاری مطابق **شکل 5-22** خواهیم رسید که در آن اتصال این معکوس کننده به گیت مشابهی هم پیش‌بینی شده است؛ چرا که در خروجی، یک پلی‌سیلیکون وظیفهٔ انجام آن را به عهده خواهیم داشت.



شکل 5-22 نمودار میله‌ای مشابه شکل 5-21 که خطوط فلز 1 در آن استفاده شده است.

نهایتاً می‌توان چینش را براساس **شکل 5-22** و مطابق **شکل 5-23** جهت تولید یک معکوس کنندهٔ **CMOS** انجام داد.

V_{DD}

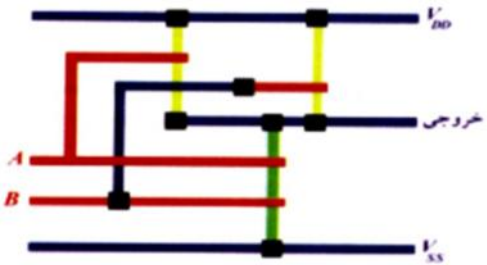


شکل 5-23 چینش ماسک مدار معکوس کننده CMOS

5-4-3 نمودار میله‌ای و طرح یک گیت NAND:

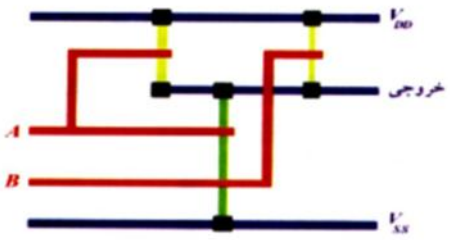
طرح یک گیت **NAND** می‌تواند مطابق مراحل ذکر شده در طرح معکوس کننده باشد. نهایتاً نتیجه به شکل نشان داده شده در **شکل 5-24** است.

توجه کنید که مسیر ورودی B ابتدا به فلز وصل شده و سپس به پلی‌سیلیکون ختم می‌شود تا در مسیر خود نه با ورودی A اتصالی داشته باشد و نه اینکه با لایهٔ نفوذی p ترانزیستور نوع p درست کند.



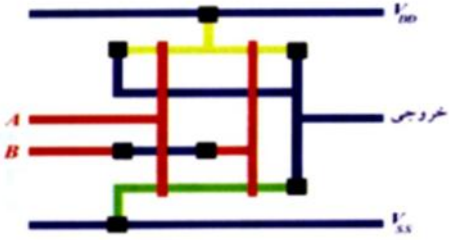
شکل 5-24 نمودار میله‌ای گیت NAND با ترانزیستورهای عمودی

به منظور رفع این مشکل، مسیر ورودی B از راه دیگری برقرار شده که در **شکل 5-25** دیده می‌شود.



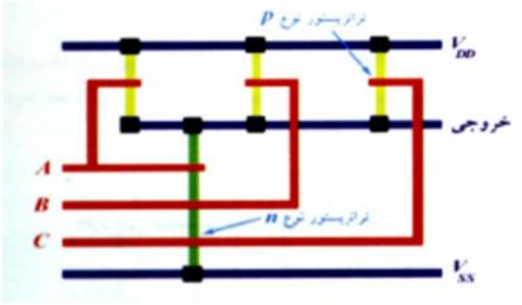
شکل 5-25 نمودار میله‌ای دومی از گیت NAND با ترانزیستورهای عمودی

ممکن است در یک طراحی، استفاده از ترانزیستورها به شکل افقی، ساده‌تر باشد. اگر همهٔ ترانزیستورها به شکل افقی باشند، می‌توان مسیرهای نفوذی را نیز به صورت افقی ترسیم و ورودی‌ها را با پلی‌سیلیکون به صورت عمودی با آنها برخورد دهیم. این طرح در **شکل 5-26** ترسیم شده است.



شکل 5-26 نمودار میله‌ای گیت NAND با ترانزیستورهای افقی

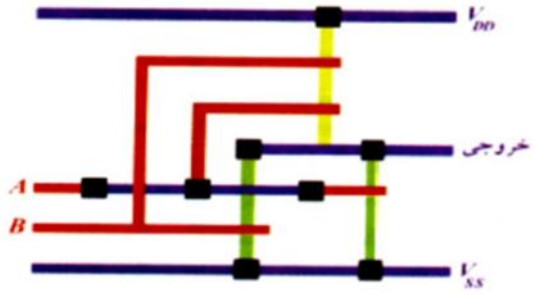
تذکر: در تعمیم تعداد ورودی‌های بیشتر برای گیت **NAND** لازم است که یک ترانزیستور نوع n به شکل سری با دو ترانزیستور نوع n و همچنین در یک ترانزیستور نوع p به شکل موازی با دو ترانزیستور دیگر pMOS افزوده شود. نتیجه به **شکل 5-27** است.



شکل 5-27 نمودار میله‌ای گیت NAND با سه ورودی و ترانزیستورهای عمودی

5-4-4 نمودار میله‌ای و طرح یک گیت NOR:

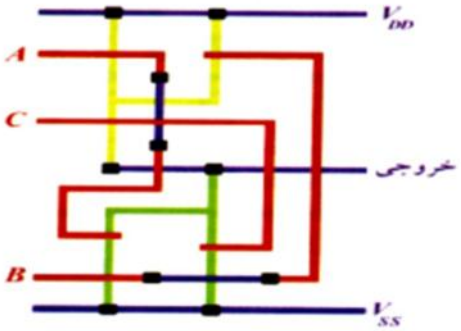
می‌توان توسط روند مشابهی نمودار میله‌ای گیت **NOR** را نیز ترسیم نمود. در **شکل 5-28** این ترسیم دیده می‌شود.



شکل 5-28 نمودار میله‌ای گیت NOR

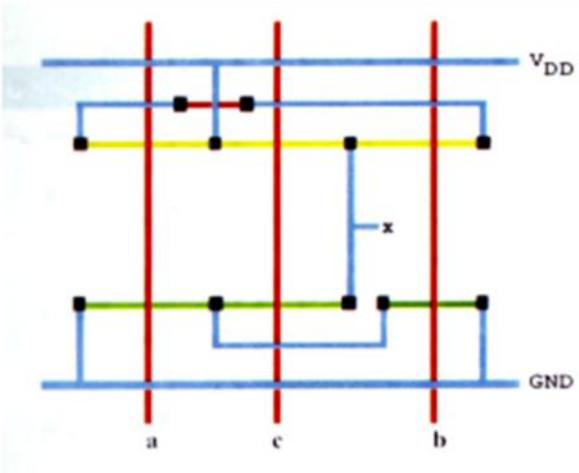
5-4-5 طرح یک مدار میله‌ای برای تابع منطقی دلخواه با تکنولوژی CMOS:

در طراحی یک تابع منطقی دلخواه نیز روند کلی براساس آنچه که در طرح معکوس کنندهٔ **CMOS** دیدیم به مراحل ترسیم خطوط تغذیه، ترسیم ترانزیستور و سپس اتصال قطعات، تقسیم می‌گردد. مثلاً فرض کنید که بخواهیم تابع منطقی $F=\overline{A.B+C}$ را ترسیم کنیم. **شکل 5-29** نمودار میله‌ای آن را نشان می‌دهد. بطور معکوس می‌توان از روی نمودار میله‌ای نیز تابع منطقی را تشخیص داد. با ذکر این نکته که عبور لایهٔ پلی‌سیلیکون از روی لایهٔ نفوذی n ترانزیستور **nMOS** و عبور لایهٔ پلی‌سیلیکون که از روی لایهٔ نفوذی p ترانزیستور **pMOS** را ایجاد می‌کند، می‌توان نشان داد که نمودار میله‌ای **شکل 5-30**، طرح نمودار مداری **شکل 5-31** است که تابع منطقی $x=\overline{(a+b)c}$ را ایجاد می‌نماید.

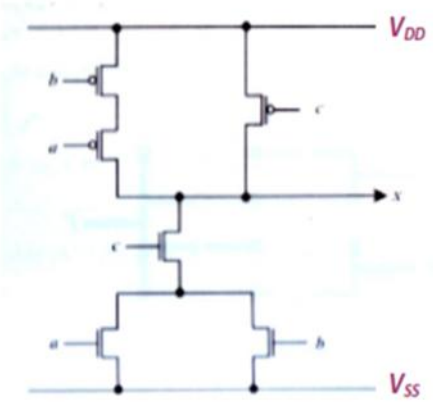


شکل 5-29 نمودار میله‌ای تابع منطقی $F=\overline{A.B+C}$

بطور معکوس می‌توان از روی نمودار میله‌ای نیز تابع منطقی را تشخیص داد. با ذکر این نکته که عبور لایهٔ پلی‌سیلیکون از روی لایهٔ نفوذی n ترانزیستور nMOS و عبور لایهٔ پلی‌سیلیکون که از روی لایهٔ نفوذی p ترانزیستور **pMOS** را ایجاد می‌کند، می‌توان نشان داد که نمودار میله‌ای **شکل 5-30**، طرح نمودار مداری **شکل 5-31** است که تابع منطقی $x=\overline{(a+b)c}$ را ایجاد می‌نماید.



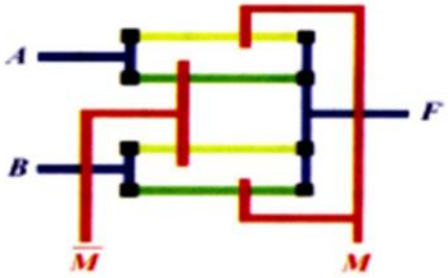
شکل **5-30** نمودار میله‌ای یک تابع منطقی



شکل **5-31** نمودار شماتیک تابع منطقی شکل **5-30**

5-4-6 نمودار میله‌ای و طرح مالتی پلکسر:

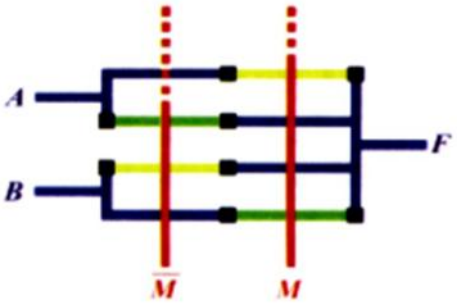
طرح مالتی پلکسر، بسته به تعداد ورودی‌ها نیز می‌تواند مطابق مراحل قبلی انجام شود. مثلاً برای یک 2×1 MUX می‌توان نموداری را مطابق **شکل 5-31** ارائه نمود.



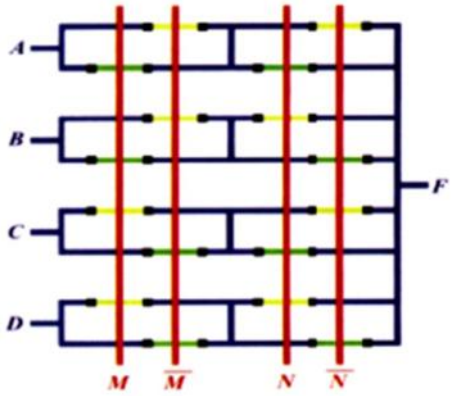
شکل 5-32 نمودار میله‌ای یک 2×1 MUX

اما به جهت بهبود طرح دیاگرام، می‌توان به سیلیکون نوع n و p طوری نظم داد که M و $\overline{M}$ در یک راستا واقع شوند. با این ویژگی، اولاً ساختار منظم‌تر خواهد شد و ثانیاً اتصال پشت‌سرهم آنها برای ساخت MUX با n ورودی ساده‌تر می‌گردد. نتیجه به صورت ترسیمی در **شکل 5-33** است.

با این تکنیک می‌توان طرح MUX های با ورودی بیشتر را نیز طراحی نمود. مثلاً در **شکل 5-34** طرح یک 4 ×1 MUX دیده می‌شود.



شکل 5-33 نمایش دیگری از نمودار میله‌ای 2×1 MUX



شکل 5-34 نمودار میله‌ای طرح یک 4×1 MUX

5-5 قوانین طراحی چینش

قرار دادن ماسک‌های متفاوت در هر مدار و نحوهٔ اعمال محدودیت‌های مکانی و هندسی، مجموعه‌ای از قوانین موسوم به **قوانین طراحی چینش** هستند که می‌توانند ابعاد ترانزیستورها، حداقل پهنای خطوط برای فلزات یا نواحی نفوذی یا حتی لایه‌های پلی‌سیلیکون و غیره را تعیین کنند. مثلاً خطوط بسیار نازک اتصال، ممکن است در طول فرآیند ساخت قطع شوند یا خطوط بسیار نزدیک به هم در طول نحوهٔ تولید به اتصال کوتاه منجر گردند. به هرحال قوانین طراحی نوعا دو فاکتور را دنبال می‌کنند:

الف)بارآوری (Yielding) بالا یعنی نسبت ICهای تولیدی سالم به کل تولید آنها؛

ب)استفادهٔ حداقل مساحت از سطح ویفر.

البته این قوانین بسته به کارخانهٔ سازندهٔ IC می‌تواند متفاوت باشد و پیروی از آنها تضمین قطعی عملکرد صحیح IC نیست. بالعکس عدم رعایت آنها نیز به معنی عدم عملکرد صحیح IC نمی‌باشد. لذا در کل قوانین طراحی تنوع زیادی دارند. لیکن دو قانون کلی به شکل زیرند:

1- قوانین مایکرونی: در این نوع قوانین، محدودیت‌های چینش، مثل حداقل اندازه‌ها و فواصل مجاز بر حسب میکرومتر بیان می‌شوند،

2-قوانین λ لامبدائی: در این نوع قوانین محدودیت‌ها برحسب پارامتری با واحد λ بیان می‌شوند. این قوانین برای ساده‌سازی قوانین میکرونی ارائه می‌شوند. در واقع طراحی براساس این قوانین با تغییر در تکنولوژی و مقیاس عوض نمی‌گردند.

5-5-1 حداقل طول گیت مجاز:

معمولاً در مدارات دیجیتال، عدد به کار رفته برای توصیف هر تکنولوژی برابر با حداقل طول گیت مجاز برای آن تکنولوژی است که آن را **"حداقل اندازهٔ نما" (Minimum Feature Size)** نیز می‌یابند. مثلاً فرآیند $1.2\mu m$ یا $0.25\mu m$به ترتیب به معنی $L_{min}=1.2\,\mu m$ $L_{min}=0.25\,\mu m$ است. برای حالت کلی λ نصف این حداقل است.

$$\lambda = \frac{1}{2} L_{\min} \qquad (1)$$

وقتی گفته می‌شود که تکنولوژی با اندازهٔ نمای $0.5\mu m$، منظور این است که حداقل طول مجاز برای کانال ترانزیستور $0.5\mu m$ و نیز $\lambda = 0.25\mu m$ است.

قوانین طراحی، تعیین کنندهٔ حداقل پهنای مجاز لایه‌ها، حداقل فاصله میان دو لایه و حداقل هم‌پوشانی مجاز برای نواحی تماس و بالاخره ساختار هندسی ترانزیستورها است.

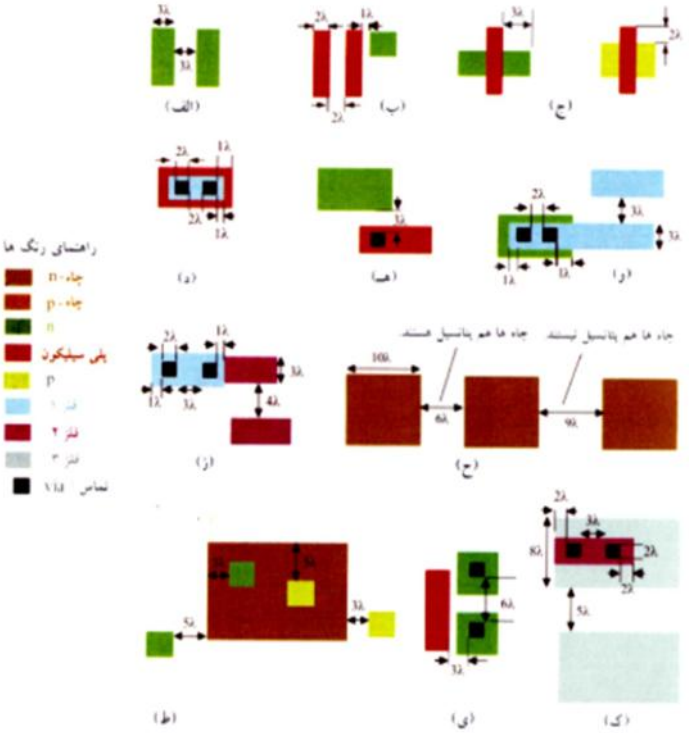
در **شکل 5-35** قوانین طراحی شرکت **MOSIS** (**MOS Implementation Service**) که یک مجموعهٔ قوانین معتبر ساخت **IC** است، دیده می‌شود.

مثلاً در شکل **"الف"** دیده می‌شود که پهنای نفوذ، حداقل 3λ است که بتوان مطمئن بود پس از ساخت، این پهنا احتمالاً قطع نمی‌گردد یا فاصلهٔ دو نفوذ مجاور نباید از 3λ کمتر شود تا اینکه احتمال اتصال کوتاه پیش نیاید.

در شکل **"ب"** حداقل پهنای پلی‌سیلیکون، حداقل فاصلهٔ دو پلی‌سیلیکون مجاور و همچنین حداقل فاصلهٔ پلی‌سیلیکون با لایهٔ نفوذی مجاورش را می‌توان دید. علت لزوم حداقل فاصلهٔ بین پلی‌سیلیکون و لایهٔ نفوذی در حوالی آن اطمینان از عدم تشکیل ترانزیستور ناخواسته است.

شکل **"ج"** قوانین امتداد برای پلی‌سیلیکون و نفوذهای ترانزیستورها را نشان می‌دهد. اگر لایهٔ پلی‌سیلیکون را بعد از قطع نفوذ به اندازهٔ کافی امتداد ندهیم، ممکن است پس از ساخت این ترانزیستور به شکل ترسیم شده در **شکل 5-36** درآید. بدین معنی که ترانزیستور بطور کامل تشکیل نشده و اتصال بین سورس و درین همواره برقرار بوده و کنترل شدنی نیست. به همین ترتیب، نفوذ باید پس از محل تقاطع و به اندازهٔ 3λ امتداد یابد.

در شکل **"د"** قوانین تماس پلی‌سیلیکون با فلز دیده می‌شود که باید حداقل $2\lambda \times 2\lambda$ باشند.



شکل 5-35 قوانین طراحی MOSIS برای CMOSهای قابل اندازه شدن (Scalable CMOS)

شکل 5-35 تشکیل یک ترانزیستور ناقص

به انضمام این نکته، در اطراف تماس، هر یک از لایه‌ها باید حداقل به اندازهٔ طول λ گسترش یابند تا از ایجاد اتصال بین دو لایه، تاحد زیادی اطمینان حاصل گردد. علت وجود قوانین مربوط به تماس، عدم همراستایی دقیق لایه‌ها پس از ساخت است.

شکلهای "ج" و "ط" مربوط به قوانین چاه‌ها می‌باشند. ابعاد چاه را نباید کمتر از 10λ و فاصلهٔ دو چاه مجاور را نباید کمتر از 6λ (در صورت هم‌پتانسیل بودن آنها) یا 8λ (در صورت غیرهم‌پتانسیل بون آنها) در نظر گرفت. به علاوه حداقل فاصلهٔ نفوذ p در چاه n و حداقل نفوذ P از چاه n به ترتیب 5λ و 3λ می‌باشند.

به هرحال قوانین لامبدائی را می‌توان در کلی‌ترین حالت خود به سه دستهٔ زیر تقسیم کرد:

*1-قوانین **SCMOS (Scalable CMOS)** برای تکنولوژی $1\mu m$ و بالاتر،*

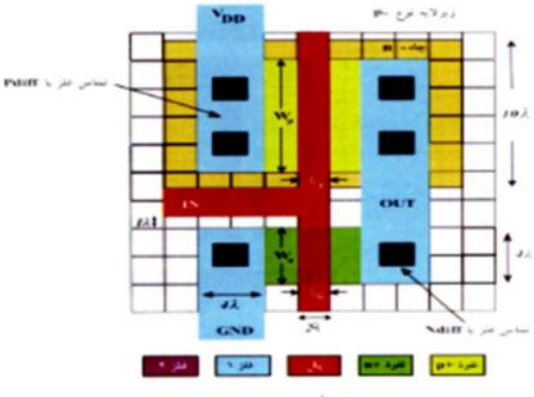
*2-قوانین زیر میکرون (**Submicron**) برای تکنولوژی کمتر از $1\mu m$ و بزرگتر از $0.25\mu m$،*

*3-قوانین زیر میکرون عمیق (**Deep Submicron**) برای تکنولوژی‌های جدید که کمتر از $0.25\mu m$ هستند مثل $0.18\mu m$، $0.13\mu m$ یا $0.09\mu m$.*

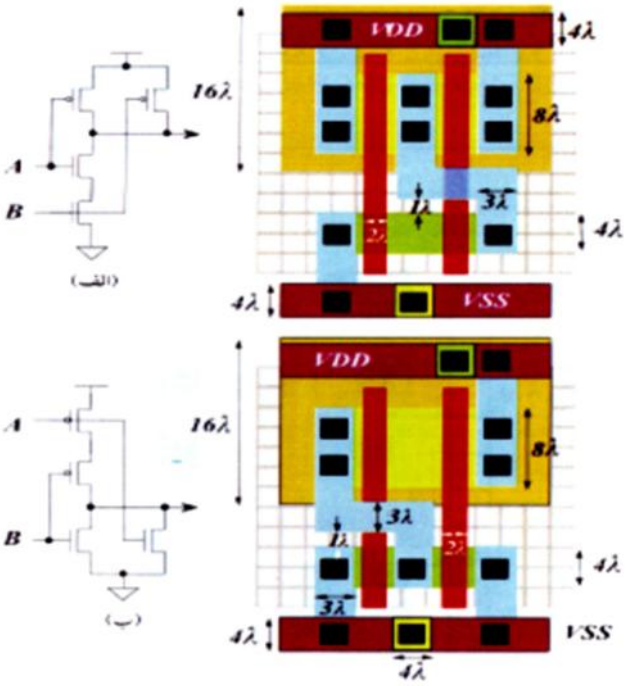
تذکر: توجه کنید که براساس قوانین طراحی موجود در **شکل 5-35** حداقل اندازهٔ کانال ترانزیستور $2\lambda \times 2\lambda$ مطابق **شکل 5-37** است.

شکل 5-37 نمایش حداقل ابعاد ترانزیستورهای MOS

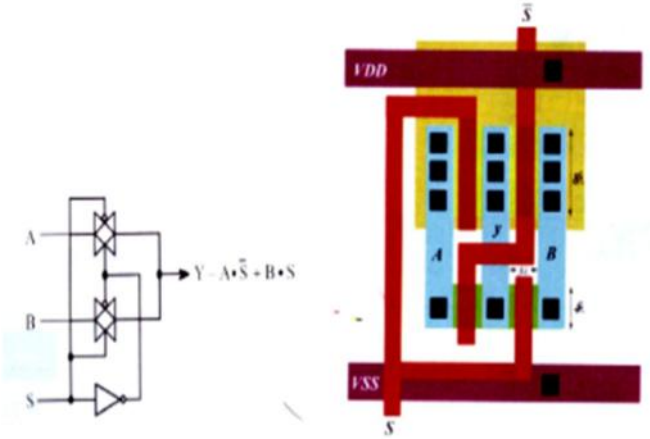
براساس نکات فوق در **شکل‌های 5-38** تا **5-41**، می‌توان طراحی یک معکوس کنندهٔ **CMOS**، گیت‌های **NAND**و **NOR** ، یک 2×1MUX و بالاخره یک تابع منطقی دلخواه $F = \overline{A.(B+C)}$ را مشاهده نمود.



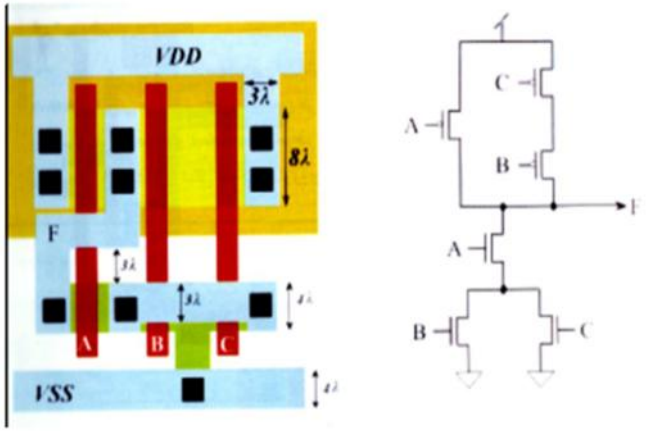
شکل 5-38 چینش معکوس کنندهٔ CMOS به کمک قوانین طراحی



شکل 5-39 چینش گیت‌های NAND و NOR



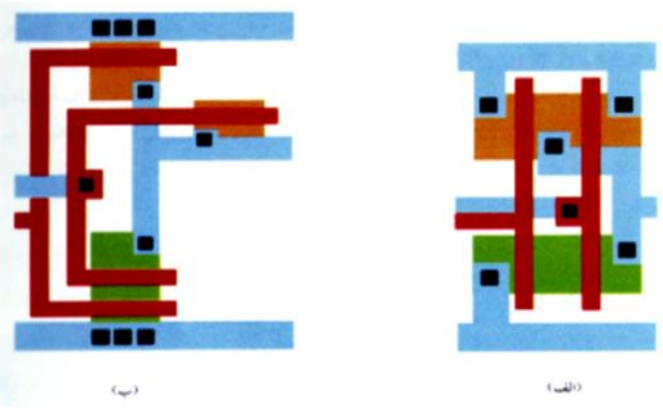
شکل **5-40** شماتیک یک **2×1MUX**، چینش یک **2× 1MUX** (بدون نمایش معکوس کننده)



شکل **5-41** شماتیک تابع منطقی $F = \overline{A(B+C)}$ و چینش آن

5-5-2 نحوهٔ انتخاب طراحی چینش:

تاکنون دیدیم که در طراحی چینش مدارها، می‌توان لایهٔ پلی‌سیلیکون را به صورت عمودی یا افقی قرار داد که ترسیمی از گیت‌های آن را میتوان در **شکل 5-42** مشاهده نمود.



شکل 5-42 شیوه‌های طراحی چینش الف)گیت‌های عمودی و ب)گیت‌های افقی

معمولاً مدارهائی با اندازه ترانزیستورهای مشابه یکدیگر، که هر یک دارای گنجایش خروجی محدودی باشند از شیوهٔ آرایش عمودی استفاده می‌کنند. این شیوه بهترین انتخاب برای گیت‌های ایستا با چندین ورودی و برای مسیر داده‌های ورودی می‌باشد. اما روش آرایش افقی برای مدارهائی که به ترانزیستورهای کوتاه و بلند نیاز دارند و همچنین برای گروه‌هائی که باید تعداد زیادی ترانزیستور را کنترل کنند، مناسب‌تر است.

5-6 چینش گیت‌های پیچیدهٔ منطق CMOS و گراف اولر

طراحی چینش اغلب گیت‌های **CMOS** را می‌توان با ردیفی از ترانزیستورهای نوع n در قسمت پائین ردیفی از ترانزیستورهای نوع p، همراه با اتصال مشترک از گیت‌های هم‌طراز شده، انجام داد.

قانون خط نفوذ: بیشتر گیت‌های ساده را می‌توان در ردیفی از ترانزیستورها که در یک قطعهٔ یکپارچه از نفوذ n تشکیل می‌شوند پیاده‌سازی کرد.

با برقراری این قانون ترانزیستورها خط نفوذی را تشکیل می‌دهند که توسط اتصالات گیت پلی‌سیلیکون قطع می‌شود.

معمولاً در روش طراحی خود کار چنین گیت‌هائی، مدار **CMOS** به گرافی تبدیل می‌شود که گره‌های آن، اتصالات سورس یا درین و همچنین لبه‌های آن ترانزیستورهایی هستند که آن گره‌ها را به هم متصل می‌کنند.

در حالت کلی قبل از طرح ترانزیستوری یک مجموعه یا سلول اولیه، لازم است محل قرار گرفتن ترانزیستورها و مسیردهی اتصالات آن تعیین گردند. در این روش، نمودارهای میله‌ای می‌توانند به عنوان ابزاری مناسب و طی سه مرحله زیر به کار گرفته شوند:

مرحلهٔ اول: طرح شماتیک مدار ترانزیستوری،

مرحلهٔ دوم: ساخت یک گراف موسوم به گراف اولری برای شبکه بالابر و پائین‌بر ،

مرحلهٔ سوم: طرح نهائی.

مرحلهٔ اول: طرح شماتیک مدار ترانزیستوری را قبلاً نیز دیده بودیم. به منظور درک روش طراحی می‌توان به عنوان مثال طرحی از تابع منطقی $F = AB + C.D + E$ را مطالعه می‌کنیم. طراحی شماتیک آن در مرحلهٔ اول براساس روند زیر صورت میگیرد.

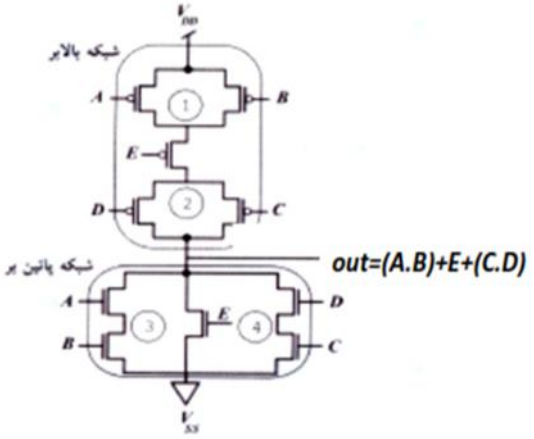
الف) به ترانزیستورها نام ورودی گیت‌های خود را نسبت می‌دهیم،

ب) نقاط اتصال سورس یا درین ترانزیستورها را شماره‌گذاری می‌کنیم.

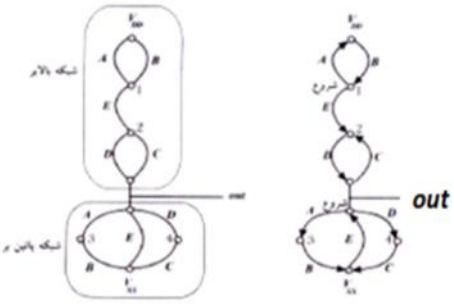
نتیجه به صورت ترسیمی در **شکل 5-43** است.

35

مرحلهٔ دوم: در این مرحله باید گرافی برای مدار ترسیم شود که آن را **گراف اولر** نامیم و مسیرهای اتصال درون آن را به نام **مسیر اولر** تعریف می‌کنیم. این گراف برای شبکهٔ بالابر و پائین‌بر ترسیم می‌شود. برای مثال فوق، ترسیم این گراف و مسیرهای موجود درون آن به صورت **شکل 5-44** است.



شکل 5-43 شماتیک مدار ترانزیستوری در طرح تابع منطقی $F = A.B + C.D + E$



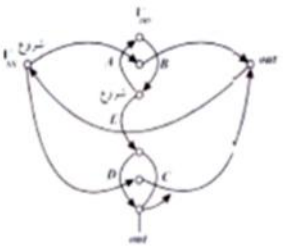
شکل 5-44 گراف و مسیر اولر برای تابع منطقی $F = A.B + C.D + E$

نکات لازم در ترسیم این گراف به شرح زیر می‌باشند:

الف) **ترسیم مسیر اولر**، یعنی مسیری که همگی لبه‌های گراف اولری را می‌پیماید به طوریکه هر لبه تنها یک بار ملاقات شود.

ب) **مسیر**، دنباله‌ای از نام ترانزیستورهاست. مثلاً فرض کنید که مسیر عبوری ابتدا از ترانزیستور A سپس B و نهایتا از C عبور کند. نام مسیر را {A,B,C} قرار می‌دهیم و آن را یک مسیر اولری می‌نامیم. توجه کنید که مسیرهای اولری متعددی برای شبکه‌های بالابر و پائین بر است. به علاوه مسیرهای اولری مشترک، لزوماً منحصر به فرد نیستند. در مثال فوق و با توجه به **شکل 5-38**، در شبکهٔ پائین بر مسیرهای {C,D,A,B,E}; {D,C,E,A,B}; {A,B,C,D,E} و . . . همگی مسیرهای اولری هستند.

ج) از بین مسیرهای اولری شبکهٔ بالابر و پائین‌بر، مسیری را که در هر دو مشترک است، مشخص می‌کنیم. با توجه به دوگانی مدارهای بالابر و پائین‌بر و همچنین گرافهای آنها، می‌توان گرافهای n و p را بر یکدیگر منطبق نمود. نتیجه در **شکل 5-15** ترسیم شده است.



شکل 5-45 انطباق مسیرهای شبکه‌های n و p

اگر دو شاخه در نمودار n یا p مجاور هم باشند، اتصال سورس به درین مشترک دارند و می‌توان با اتصال سورس-درین آن دو را با هم تلفیق کرد. همچنین اگر مسیر اولری مشترکی برای هر دو گراف n و p موجود باشد، می‌توان گیت را بدون شکستگی در ناحیهٔ نفوذ n و p طراحی کرد.

د) توجه کنید که امکان دارد برای یافتن مسیر مشترک لازم باشد که تابع را تغییر در فرم ظاهر نیز بدهیم.

مرحلهٔ سوم: اکنون می‌توان طرح چینش نهائی را پیاده نمود. این طرح نیز مطابق روند زیر است:

الف) خطوط افقی نظر به ابزارهای **pMOS** و همچنین ابزارهای **nMOS** را به صورت یکپارچه ترسیم می‌کنیم،

ب) ورودی‌ها را به شکل خطوط عمودی نظیر به گیت‌های ترانزیستورها و روی دو خط افقی ترسیم می‌نمائیم،

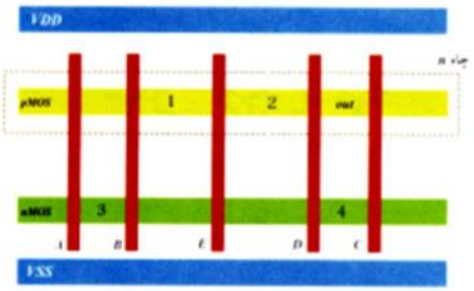
ج) ابزارهای pMOS را می‌توان در یک چاه n محصور کرد،

د) دو خط در بالا و پائین خطوط **nMOS** و **pMOS** جهت تعیین مسیرهای V_{SS} و V_{DD} ترسیم می‌نمائیم،

هـ) هر خط پلی‌سیلیکون را برطبق مسیر اولری، از چپ به راست نامگذاری می‌کنیم،

و) نقاط اتصال قطعات **nMOS** و **pMOS** را در شکل تعیین می‌کنیم.

نتیجه انجام مراحل فوق در **شکل 5-46** دیده می‌شود.



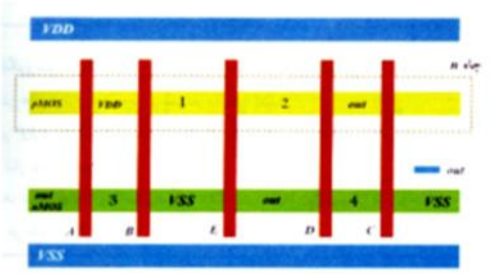
38

شکل 5-46 نمایش نقاط اتصال در چینش

در مثال فوق و براساس **شکل 5-44**، برچسب‌های اتصال 1، 2، 3 و 4 هستند. اتصال 1 گرهی است که بین ترانزیستورهای نوع E,B,A,P قرار دارد. مسیر اولری {A,B,E,D,C} است. بدین معنی که برطبق آن، ترانزیستور B از نظر فیزیکی مجاور ترانزیستور E است. لذا اتصال 1 باید بین B و E واقع شود. نهایتاً می‌توان از درین ترانزیستور A، مسیری را با فلز به اتصال 1 برقرار ساخت.

اتصال 2 نیز گرهی است که ترانزیستورهای نوعp ی E، D و C را مرتبط می‌سازد و چون در مسیر اولری ابتدا E و D و آنگاه C وجود دارد؛ اتصال 2 باید بین D و E واقع شود. نهایتاً از سورس ترانزیستور C مسیری را با فلز به اتصال 2 برقرار می‌کنیم.

اتصال 3 در ترانزیستورهای نوع n بین A و B و اتصال 4 نیز بین ترانزیستورهای C و D واقع می‌شود. منابع تغذیهٔ V_{DD}، V_{SS} و تمامی خروجی‌ها را در قطعات **nMOS** و **pMOS** مطابق **شکل 5-47** قرار می‌دهیم.



شکل 5-47 برچسب‌های V_{DD}، V_{SS} و خروجی

در این مثال‌ها تنها یک خروجی وجود دارد که از طریق گرهٔ واقع بین ترانزیستورهای C و D متصل به شبکهٔ بالا، تعیین می‌شود. در شبکه پائین بر این سیگنال به گرهی متصل می‌شود که سه ترانزیستور A، E و D در آن

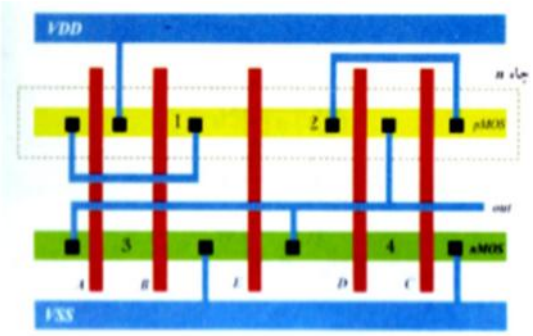
مشترک‌اند. مسیر اولری ترانزیستورهای E و D دارای یک کنتاکت بدون استفاده است و لذا برچسب خروجی در آن نقطه واقع خواهد شد.

V_{DD} تنها در شبکهٔ pMOS و در گرهٔ متصل بین ترانزیستورهای A و B قرار می‌گیرد.

V_{SS} تنها در شبکهٔ nMOS و در گرهٔ متصل بین ترانزیستورهای B و E قرار می‌گیرد.

ترانزیستور C دارای یک تماس بدون استفاده است که V_{SS} در آنجا واقع می‌شود (خروجی در **شکل 5-47** دیده می‌شود).

در آخرین مرحله، باید اتصال میانی قطعات انجام گیرد. توجه کنید که پلی‌سیلیکون و فلز 1 می‌توانند همپوشانی داشته باشند. نهایتاً نتیجه به **شکل 5-48** خواهد بود.



شکل 5-48 نمودار میله‌ای نهائی شکل 5-43

تذکر 1: در این طراحی لازم است که به نکات زیر توجه شود:

الف) تمامی مسیرهای اولری موجود در نمودار تعیین شوند؛

ب) یک مسیر اولری n و یک مسیر اولری p تعیین شوند که برچسب‌ها و نامگذاری مشابهی داشته باشند. در صورت لزوم باید شکل تابع را تغییر ظاهری داد.

ج) اگر مسیرها در مرحلهٔ "ب" یافت نشوند، گیت‌ها باید در حداقل نقاط شکسته شود تا به کمک مسیرهای اولری جداگانه، مرحلهٔ "ب" صورت پذیرد.

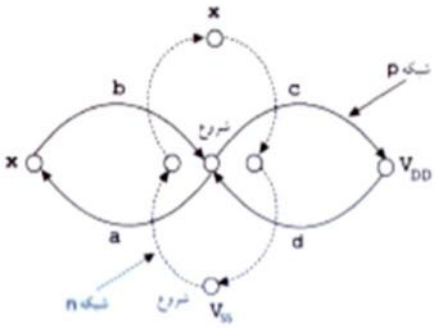
تذکر 2: از گراف اولر می‌توان خروجی یک تابع منطقی را نیز به دست آورد. برای چنین کاربردی، لبه‌های موازی را با هم OR و لبه‌های سری را با هم AND می‌کنیم. اگر مسیری از خروجی به V_{SS} را دنبال کنیم با شبکهٔ n مرتبطیم و خروجی نهائی، معکوس عبارت طی شده است. اگر مسیری از خروجی به V_{DD} را دنبال کنیم با شبکهٔ p مرتبطیم و برچسب هر لبه را باید قبل از AND یا OR کردن، NOT نمائیم.

مثلاً فرض کنید که گراف اولری تابع منطقی خاصی به شکل ترسیمی در **شکل 5-49** باشد.

تابع منطقی خروجی این مدار برابر است با:

شبکهٔ p $x=(\bar{a}+\bar{b})(\bar{c}+\bar{d})=(\overline{ab})(\overline{cd})=\overline{ab}+\overline{cd}$

شبکهٔ n $\bar{x}=ab+cd$



41

شکل **5-49** دیاگرام اولری یک تابع منطقی