Subject : 1

Date

«بسم الله الرحمن الرحیم»

جلسه ی اول

کتاب Digital Integrated Circuits A Design Perspective

Jan M. Rabaey

در آخر sequential تدریس می‌شود.

مقدمه: آقای بابیج (Babbage) اولین کامپیوتر را درست کرد و هزینه ساخت آن £ 17,470 شد. بر مبنای چرخ دنده کار می‌کرد و کارهایی مثل لگاریتم را هم می‌توانست انجام دهد. طرح‌های او به عمل نرسید و روی کاغذ ماند چون اشتباه بوده برداشت و تنها تکنولوژی ساخت در آن زمان ضعیف بود.

اولین کامپیوتر الکترونیکی ENIAC است. (1946)

سرعت کامپیوتر را با Bips می‌سنجند. سرعت انیاک به نسبت کامپیوترهای امروزی پایین‌تر از لامپ خلاء در آن استفاده شده اما حجم آن زیاد است. ترانزیستور می‌بایست جایگزین می‌شد اما اولین ترانزیستور در آزمایشگاه Bell در 1948 ساخته شد و این یک انقلاب بود.

از لحاظ سرعت، مصرف توان و ... ترانزیستور بهتر از انیاک بود.

©MICRO®

Subject : Date 2

ابتدا در سال 1960 منطق Bipolar شروع شد

و اولین IC ، اولین ترانزیستور دیجیتال در سال 1963 ساخته شد

اولین میکروپروسسور توسط اینتل ساخته شد و 2000 ترانزیستور داشت و سرعت آن 1MHz بود

(در سال 1971)

اولین پردازنده اسمش 4004 Intel بود.

امروزه در 2002 تا Pentium (IV) که چهار ... که حدود 42 یا 45 میلیون ترانزیستور در پنتیوم 4 هستند.

الان تا 500 میلیون به بالا است.

توسط آقای Moore (مور) Moore's Law در سال 1965 ، گرفت.

. تعداد ترانزیستور در chip ، 2 برابر می شود در هر 18 تا 24 ماه.

. تکنولوژی نیمه هادی ها باید به طور متوسط هر 18 ماه 2 برابر شود.

چرا این نظریه را داد؟

ایشان پیش بینی کرد که علم انسان هر 18 ماه 2 برابر می شود و برای اینکه دانش ما بیشتر عقب ...

به علم انسان برسد و عقب نماند مجبور است هر 18 ماه 2 برابر شود ، به خصوص اگر خود دانش ما بیشتر باشد

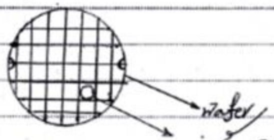
MICRO

Subject : ۶ Date

قابل لمس بشود.

یعنی تقریباً تعداد ترانزیستورها هر 1.26 سال دو برابر می‌شود.

دیگه دیدیم که cpu به روش ساخته شد.



به هر مربع یک Die می‌گویند.

ابعاد Die چگونه رشد کرده؟

تقریباً هر ۱۰ سال یکبار ابعاد Die چون تکنولوژی بالاتر می‌رود ابعاد ترانزیستورها کوچکتر می‌شود به عبارتی

ابعاد Die هم نباید خیلی تغییر کند یعنی در هر سال تنها ۷٪ رشد داشته یا هر ۱۰ سال یکبار

ابعاد ترانزیستورها ۲ برابر می‌شود.

فرکانس: تقریباً هر ۲ سال ۲ برابر شده فرکانس طبق قانون Moore محدود شده است.

همچنین برای مصرف توان هم تقریباً ۲ برابر است. یعنی طبق قانون Moore باید هر ۲ سال

۲ برابر شود که از روی نمودار ابتدا درست بود و بعد افت کرد و سپس رشد داشته است.

(حدی محدودها (حجم Die، حجم تکنولوژی و ...) گسترش یافته‌اند.)

MICRO

Subject : Date 9

چگالی توان: نشان می دهد چند وات در سانتی متر مربع مصرف می شود و واحد آن W/cm^2 است.

با توجه به رشدی که در نمودار داشتیم: چگالی توان در سال 2005 معادل نیروگاه اتمی و در سال 2010

چگالی توان معادل خروجی نازل موشک باید بوده باشد.

مصرف توان بالا خیلی بد است زیرا حرارت زیادی تولید می کند و این بد است.

از چالش های اساسی مصرف توان است.

چگالی توان بهتر از مصرف توان مفهوم را می رساند. مثلاً 1000 وات توان حرارتی تولید کنیم ولی

دمای اتاق پخش می شود، اما اگر روی یک نقطه متمرکز کنیم همان نقطه داغ می شود یعنی چند وات در

یک سانتی متر مربع توان مصرف می شود.

چرا خروجی موشک با وجود حرارت بسیار زیاد در ته آن ذوب نمی شود؟

چون سوخت موشک هیدروژن مایع (سرد است) می باشد که آن را قبل از سوخت از داخل

اگزوز موشک عبورش می دهند که اگزوز سرد شود و نباید بسوزد

ساخت موشک کار کشور آلمان بود که V1 و V2 را ساختند. طراحان موشک آلمان ها بعد به دو کشور

شوروی و آمریکا پیوستند.

موشک معروف آمریکایی ساترن که به کره ماه رفت.

موشک فضاپیما ساخت.

©MICRO

Subject : 5 Date

در موبایل هم میکروپروسسور هست.

چالش های VLSI در حوزه عمیقه (اسلاید 22 of 51)

Microscopic problems در ابعاد میکروسکوپیک	Macroscopic Issues در ابعاد ماکروسکوپیک
ultra-high speed design مشکل طراحی سیستم با سرعت بالا (یعنی سریع)	Time-to-Market زمانیکه طول می‌کشد به فروشگاه (یا به فروش) برسد یا زمان ارائه به بازار.
InterConnect مشکل ارتباطات	Millions of Gates تعداد گیتها بالا و حجم دقیق تعداد قطعه ترانزیستورها زیاد می‌شود
Noie Crosstalk	High-level Abstractions
Reliability, Manufacturability قابلیت اطمینان، قابلیت ساخت.	Reuse & IPs: Portability بیشتر کد را طوری می‌نویسیم تا از سیستم‌های قدیمی استفاده کند و - اینکه در اجرای سیستم‌های قبلی باشد.
Power Dissipation اتلاف توان	Predictability
clock distribution توزیع clock	etc.
Every thing looks a little Different	... and there's a lot of Them!

در صنعت زمان ارائه به بازار باید به این مطلب توجه داشت که مدت زمانی که وقت طراحی محصول خود را ارائه دهیم مدت کوتاهی باشد چون بعد از آن چیزهای جدیدی می‌آید و این محصول دیگر فروش نمی‌رود و این چالش است.

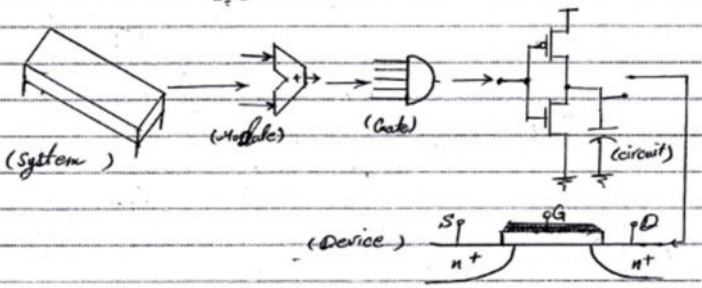
©MICRO

Subject :   Date

* از دیگر مشکلات محدودیت‌های [illegible] است مثلاً ویندوز vista مشکل داشت که نمی‌شد تبلت‌ها را روی آن نصب کرد. بلافاصله ویندوز seven (7) را ارائه دادند.

سطوح طراحی

System (یک فرم اطلاعات به ما می‌دهیم) ⟶ Module (زیرسیستم‌ها آن فرم اطلاعات را به ما می‌دهد) ⟶ Gate ⟶ circuit ⟶ Device (جایی که باید روی ویفر پیاده سازی شود.)



اول سیستم به صورت توصیفی بیان می‌شود که ما این چنین چیزی را می‌خواهیم. آن سیستم اطلاعات ماژول‌ها را تولید می‌کند. بعد یک مهندس طراح منطقی ماژول‌ها را دید، نگاه می‌کند که آیا این ماژول‌ها نیاز به بازطراحی دارد یا نه. اگر نه بعضی از ماژول‌ها را اصلاح می‌کند. بعد این ماژول‌های اصلاح شده به مرحله قبل برمی‌گردد و قسمت می‌کند که اگر احتیاج داشت آن را گرفته بود آن ماژول‌ها را اصلاح می‌کند.

©MICRO

Subject : 7 Date ....

معیارهای طراحی یا : Design Metrics

قیمت، قابلیت اطمینان، سرعت، مصرف توان و هزینه انرژی که باید به حجم تولید کار انجام شود.

- Cost of Integrated Circuits :

* NRE (non_recurrent engineering) costs

* Recurrent costs

هزینه طراحی و هزینه برگردنده.

هر سال 2003 هر ماسک 1 میلیون دلار قیمت داشت

قیمت Die :

$$\text{Die قیمت} = \frac{\text{قیمت wafer (با هزینه های تولید)}}{\text{تعداد Die ها}}$$

اسلاید 51 of 70

$$\text{Die cost} = \frac{\text{Wafer cost}}{\text{Dies per wafer} \times \text{Die yield}}$$

$$Y = \frac{\text{No. of good chips per wafer}}{\text{Total number of chips per wafer}} \times 100\%$$

$$\text{Dies per wafer} = \frac{\pi \times (\text{wafer diameter}/2)^2}{\text{die area}} - \frac{\pi \times \text{wafer diameter}}{\sqrt{2 \times \text{die area}}}$$

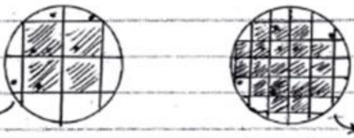
Subject : Date 8

(اسلاید 32 of 51)

$$\text{die yield} = \left(1 + \frac{\text{defects per unit area} \times \text{die area}}{\alpha}\right)^{-\alpha}$$

α is approximately 3

$$\text{die cost} = f(\text{die area})^4$$



هرچی die ها کوچکتر باشد بهتر است چون هم چیپ‌ها کمتر است و هم اینکه خرابی آن کمتر می‌شود. یعنی اگر ابعاد Die بزرگ شود، خرابی آن بیشتر می‌شود.

محقق می‌گوید yield ، 71٪ است یعنی از 100 تا Die ، 71 عدد از آن‌ها درست کار می‌کنند

chip	Metal layers	line width	wafer cost	Def./cm^2	Area mm^2
386DX	2	0.90	\$900	1.0	43

Dies/wafer	yield	Die cost
360	71%	\$4

$$\text{Die cost} = \frac{900\$}{360} \div 71\%$$

(900\$ → wafer cost; 360 → Dies per wafer; 71% → Yield)

MICRO

Subject : 9 Date

امروزه چون ابعاد Die بزرگ است خرابی ها از ۱ به ۱۰ آمده است که بیشتر شده. کیفیت

بالا رفته و قیمت Die هم بیشتر شده است.

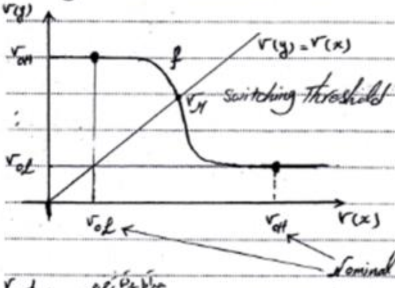
بسم الله الرحمن الرحیم

جلسه دوم 91 . 12 . 10

اسلاید 35 of 51

Dc operation

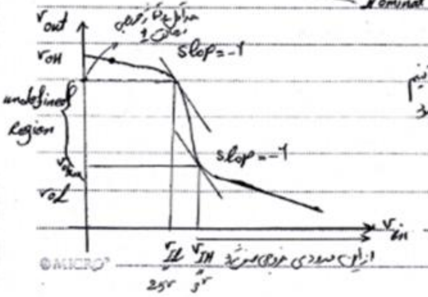
voltage Transfer characteristic

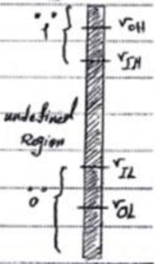


$V_{OH} = f(V_{OL})$

$V_{OL} = f(V_{OH})$

$V_M = f(V_M)$





Subject : Date ۱۰

به عنوان مثال :

$V_{OH\,min} = 4.5V$ $V_{IH\,min} = 3V$

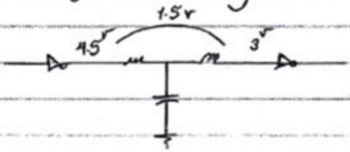
$V_{OL\,max} = 1V$ $V_{IL\,max} = 2.5V$

یعنی از 4.5 v به بالا یک می گیریم و از زیر 1 v صفر می گیریم و بین آنها undefine Region است.

$V_{IH\,min} = 3V$ یعنی اینکه اگر ورودی گیت ما از 3 به بالا باشد خروجی صفر می شود. $3\uparrow$ ▷o 0

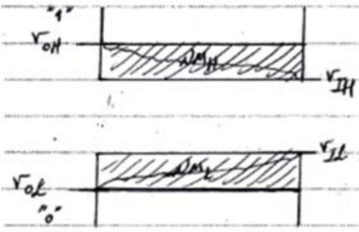
اسلاید 37 of 51

Definition of Noise Margins



برای مثال Noise Margin می رسیم → 1.5 nm

1.5 ولت می توانیم نویز داشته باشیم



$NM_H = V_{OH} - V_{IH}$

Noise Margin High

undifined Region

Noise Margin low

$NM_L = V_{IL} - V_{OL}$

$V_{OL} < V_{IL}$ ولتاژ ارسال شده ...

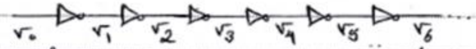
Noise Margin حاشیه نویز

در سمت ... و ...

Subject : 11

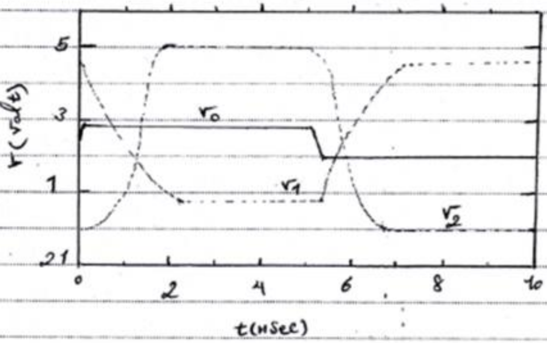
Date

Regenerative Property — اسلاید 41 of 51 خاصیت بازتولید



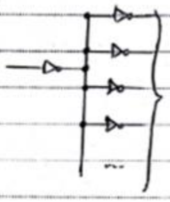
A chain of Inverters

بعضی اوقات سیگنال را تضعیف می کند ولی این گیت اینطوری نیست



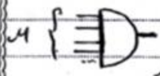
Simulated Response

Fan-out and Fan-in — اسلاید 42 of 51



این گیت اول را به چند تا گیت دیگر وصل کنیم که خروجی تغییر نکند را Fan-out می گوییم. گیت اول را هم تا آنجا می توانیم به چند تای دیگر وصل کنیم

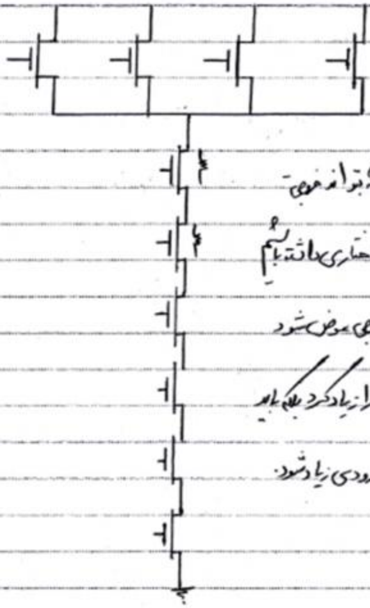
Fan-out N



یک گیت را با حداکثر چند ورودی می توان ساخت ← Fan-In
در این جا به عنوان مثال Fan-In برابر 4 می باشد

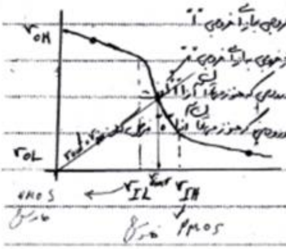
Fan-in M

Subject :   Date 12

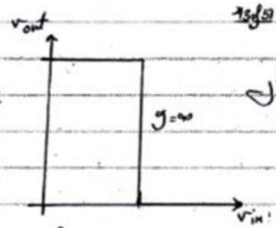


باید ساختاری جا آن باشد که بتواند خروجی
نخواسته شده را ایمن کند. اگر ساختاری داشته باشیم
که تعداد آن ورودی زیاد شود خروجی عوض شود
پس دیگر نمی‌توان ورودی را زیاد کرد بلکه باید
ساختار عوض شود در نتیجه ورودی زیاد شود.

The Ideal Gate



V_{OH}: حداکثر ولتاژ خروجی به ازای خروجی 1
V_{OL}: حداقل ولتاژ خروجی به ازای خروجی صفر
V_{IH}: حداقل ولتاژ ورودی که منطق [illegible] 1
V_{IL}: حداکثر ولتاژ ورودی که منطق [illegible] صفر



گیت ایده‌آل

اصلاح ده 93/3/2

$R_i = \infty$

$R_o = 0$

$Fanout = \infty$

$NM_H = NM_L = V_{DD}/2$

مشتق راست L و مشتق چپ H

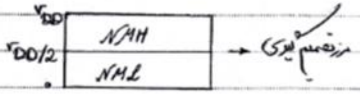
Subject : 13 Date

گیت ایده‌آل چگونه گیتی است؟

خروجی اگر V_{DD} باشد، Noise Margin باید بیشینه باشد در ناحیه undefine Region

نداشته باشیم به عبارتی Noise Margin، High با Noise Margin، low برابر بوده و

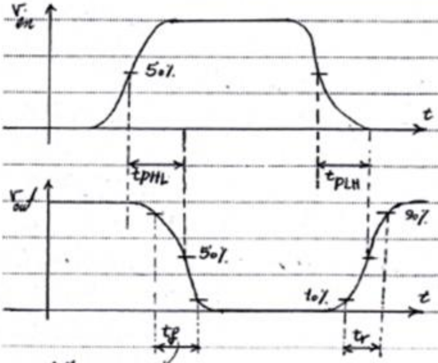
ماکزیمم مقدار را داشته باشیم یعنی هر کدام $\frac{V_{DD}}{2}$ باشند یعنی مرز تصمیم گیری $\frac{V_{DD}}{2}$ باشد.



اسلاید 49 of 51 تأخیر:

Delay Definitions

تعریف تأخیر:



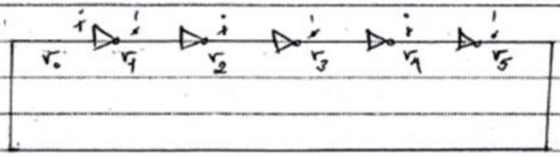
fall time (زمان افتادن)

t_{PHL}: تأخیر انتشار از High به low از لحظه‌ای که ورودی 50% تغییراتش را

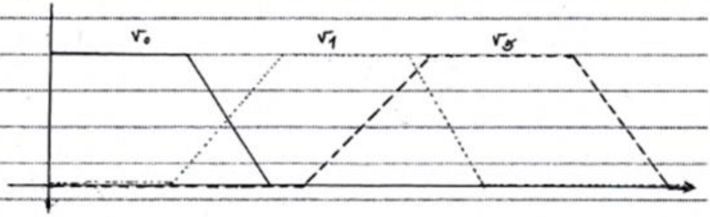
تا زمانی که خروجی از 50% عبور کند.

©MICRO

Subject :　　　　　　　　　　　　　　　　　　Date 14



Ring oscillator　　　اسیلاتور حلقوی　　　46 of 51 اسلاید



$T = 2 \times t_p \times N$

دوره تناوب ← T

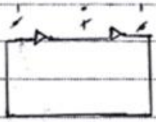
زمان انتشار ← t_p

تعداد گیت‌ها در شکل بالا 5 (N=5) ← N

تعداد گیت‌ها (N) :

اگر فرد باشد اسیلاتور می‌شود و اگر زوج باشد که نوسان نمی‌کند. در یکی از حالت‌ها پایدار می‌ماند

بستگی دارد به حالت اولیه ... به پایداری می‌رسد



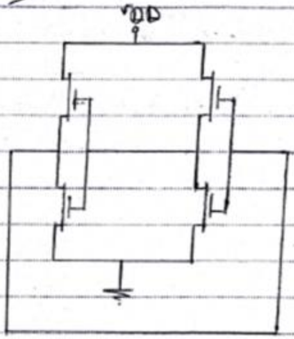
بای‌استیبل

تو زوج هستند دو حالت دارد: صفر / یک < پایدار می‌ماند

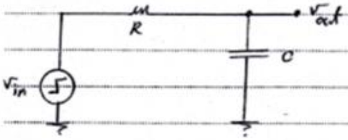
©MICRO

Subject : 15 — Date

[illegible] :



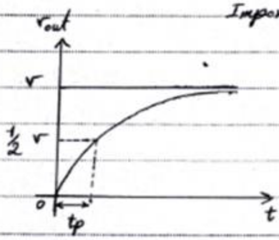
A first-order RC Network — اسلاید 47 of 51



$V_{out}(t) = (1 - e^{-t/RC})V$ → ورودی پالس

$t_p = \ln(2)\tau = 0.69RC$

Important model – matches delay of inverter



منحنی $V_{out}(t) = (1 - e^{-t/RC})V$

اگر در این فرمول به جای V_{out} ، $\frac{1}{2}V$ را قرار دهیم، می‌توانیم زمان t_p در حقیقت تأخیر انتشار را پیدا کنیم.

Subject : Date 16

$v_{out} = (1-e^{-t/\tau})v \rightarrow \frac{1}{2}v = (1-e^{-t/\tau})v \rightarrow$

$e^{-t/\tau} = 1-\frac{1}{2} = \frac{1}{2} \rightarrow \ln(e^{-t/\tau}) = \ln\frac{1}{2} \approx -0.69 \rightarrow$

$-t/\tau = -0.69 \Rightarrow t_p = 0.69\times\tau \rightarrow t_p = 0.69RC$

Power Dissipation (اتلاف توان) اسلاید 48 of 51

Instantaneous power: (توان لحظه‌ای)

$$P(t) = v(t)\,i(t) = v_{supply}\, i(t)$$

Peak Power:
نقطه حداکثر این جریان

$$P_{Peak} = v_{supply}\, i_{Peak}$$

Average Power:

$$P_{ave} = \frac{1}{T}\int_t^{t+T} p(t)\,dt = \frac{v_{supply}}{T}\int_t^{t+T} i_{supply}(t)\,dt$$

Energy and Energy-Delay اسلاید 49 of 51

Power-Delay Product (PDP) =

E = Energy per operation = $P_{av}\times t_p$

هرچه PDP کمتر باشد بهتر است چون توان کم می‌شود و تأخیر کم می‌شود.

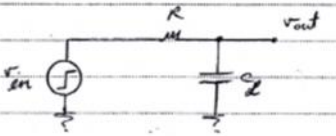
Subject : 17 Date

Energy - Delay product (EPD) =

quality metric of Gate = E × t_p

50 of 51

A First - order RC Network



$$E_{0\to1} = \int_0^T P(t)\,dt = V_{dd}\int_0^T i_{supply}(t)\,dt = V_{dd}\int_0^{V_{dd}} C_L\,dV_{out} = C_L \cdot V_{dd}^2$$

$$E_{cap} = \int_0^T P_{cap}(t)\,dt = \int_0^T V_{out}\, i_{cap}(t)\,dt = \int_0^{V_{dd}} C_L V_{out}\,dV_{out} = \frac{1}{2} C_L \cdot V_{dd}^2$$

Transistor Model for Manual Analysis

53 of 51

Table 3.2 Parameters for manual model of generic 0.25 μm CMOS process (minimum length device).

	V_{T0} (V)	γ ($V^{0.5}$)	V_{DSAT} (V)	k' (A/V^2)	λ (V^{-1})
NMOS	0.43	0.4	0.63	115×10^{-6}	0.06
PMOS	-0.4	-0.4	-1	-30×10^{-6}	-0.1

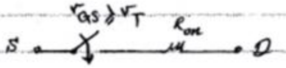
Subject : Date 18

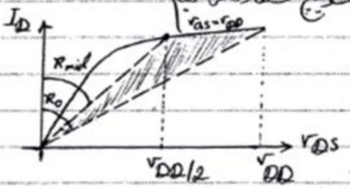
K′ ، NMOS ۲ تا ۳ برابر K′ ، PMOS است.

The Transistor as a Switch

اسلاید ۳۹

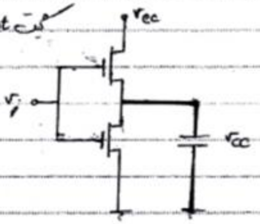
در مدار منبع از ترانزیستور به عنوان منبع جریان استفاده کردیم ولی در مدار VLSI از آن به عنوان سوئیچ استفاده می کنیم

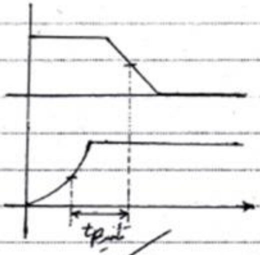




چون می خواهیم میزان مقاومت را در حالت روشن بودن محاسبه کنیم از خروجی $V_{DD}/2$ تا V_{DD} را در نظر گرفته است.

Not گیت





خروجی ترانزیستور از V_{DD} تغییر کند و به $V_{DD}/2$ برسد پس داریم ناحیه تک تک مقاومت را

حساب کرده میانگین می گیریم R_{on} بدست می آید یا مقاومت V_{DD} و $V_{DD}/2$ را بدست آورده و

©MICRO

Subject : 19   Date

میانگین را بدست می‌آوریم باز هم R_{on} بدست خواهد آمد چون خطی نیست V_{DD} و $V_{DD}/2$ تقریباً خط صافی است.

$$R_{on} = R_{eq} = \frac{1}{2}\left(\frac{V_{DD}}{I_{Dsat}(1+\lambda V_{DD})} + \frac{V_{DD}/2}{I_{Dsat}(1+\lambda V_{DD}/2)}\right) \approx \frac{3}{4}\frac{V_{DD}}{I_{Dsat}}\left(1-\frac{5}{6}\lambda V_{DD}\right)$$

مقاومت معادل تابعی از V_{DD} هم هست. V_{DD} هرچه بزرگتر باشد مقاومت کوچکتر می‌شود و برعکس.

$$I_D = K\frac{W}{L}(V_{gs} - V_T)^2$$

همیشه مقاومت PMOS، ۳ برابر NMOS است.

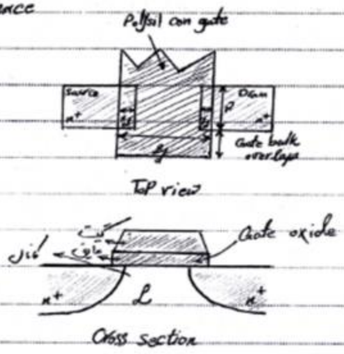
92.1.22

بسمه تعالی   جلسه‌ی سوم

اسلایدهای فصل سوم

خازن‌هایی که موقع ساخت ترانزیستور ایجاد می‌شوند در اینجا نمایش داده شده‌اند.

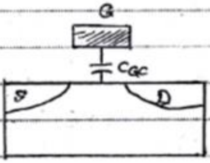
The Gate Capacitance   S 39 of 55

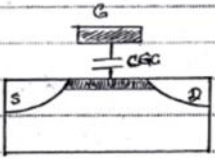


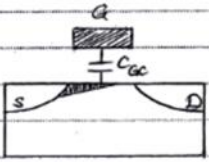
$$C_{gate} = \frac{\varepsilon_{ox}}{t_{ox}} WL$$

Subject : Date 20

S 42 of 55







OperationRegion	C_{gb}	C_{gs}	C_{gl}
cutoff	$C_{ox}WL_{eff}$	0	0
Triode	0	$C_{ox}WL_{eff}/2$	$C_{ox}WL_{eff}/2$
saturation	0	$(2/3)C_{ox}WL_{eff}$	0

Most important regions in digital design: Saturation and cut-off

خازن گیت تا بالک ایجاد می‌شود.

در حالت cutoff چون در کانال ایجاد شده خازن بین Gate و body یا substrait

می‌باشد و مقدار آن برابر است با : $C_{ox}WL_{eff}$ (دی‌الکتریک خازن جنس عایق گیت: C_{ox} و

سطح : WL_{eff})

MICRO

Subject : 21　　　　Date

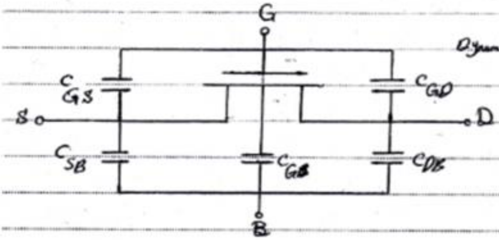
در حالت دوم کانال ایجاد شد Triode یا مقاومتی با اعمال الکتریکی از زیر گیت جذب شده و اومدند.

این خازن بین گیت و کانال است و دیگر به substrate نمی‌رسد. در این حالت C_{GS} و C_{GD}

داریم. در حالت سوم (saturation) منتها C_{GD} نداریم.

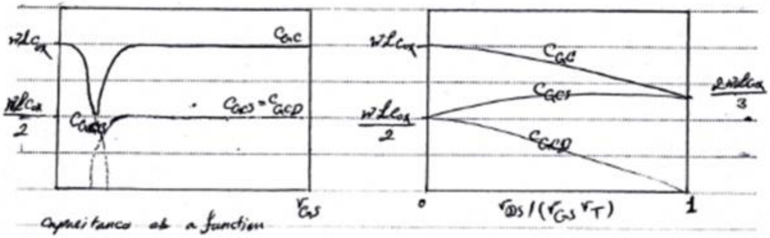
B 38 of 55

Dynamic behavior of Mos Transistor



B 41 of 55

Gate Capacitance



capacitance as a function of V_{GS} (with $V_{DS}=0$)

در ابتدا خازن گیت بادی است و بعد گیت کانال.

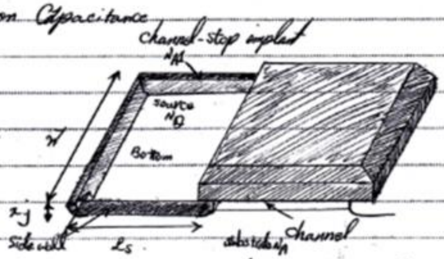
capacitance as a function of the degree of saturation

©MICRO

Subject : Date 22

پس هر وقت ثابت زمانی‌ها را خواستیم بدست بیاوریم باید ابتدا بسنجیم در چه ناحیه‌ای هستیم و مدار آن را معادل
مدل نماییم.

Diffusion Capacitance S.43 of 55



$$C_{diff} = C_{bottom} + C_{SW} = C_j \times Area + C_{jSW} \times PERIMETER$$

(Area: سطح کف — PERIMETER: محیط دیواره به جز یکی)

$$\Rightarrow C_{diff} = C_j \times L_S W + C_{jSW}(2L_S + W)$$

Capacitances in 0.25 μm CMOS process S.46 of 55

	C_{ox} ($fF/\mu m^2$)	C_O ($fF/\mu m$)	C_j ($fF/\mu m^2$)	m_j	ϕ_b (V)	C_{jsw} ($fF/\mu m$)	m_{jsw}	ϕ_{bsw} (V)
NMOS	6	0.31	2	0.5	0.9	0.28	0.44	0.9
PMOS	6	0.27	1.9	0.48	0.9	0.22	0.32	0.9

Chapter 4. The wire

در فصل اول در مورد VLSI و چالش‌های آن مورد صحبت شد.

Subject : 23 Date

در فصل دوم تکنولوژی ساخت ویفر و ... را بررسی کردیم

فصل سوم در مورد Device بود که خازن‌ها و مقاومت‌های آن بحث و بررسی شد.

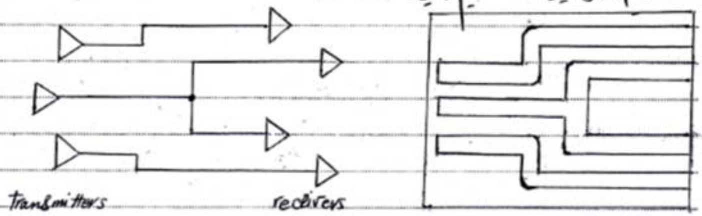
در فصل چهارم سیم‌کشی روی ویفر را بررسی می‌کنیم.

ترکیب R و C باعث می‌شود تأخیر داشته باشیم. با R و C مقدار پایینی تأخیر ایجاد می‌شود که

سبب تأخیر می‌شود. به این دلیل wiring مهم است چون باعث تأخیر در مدار می‌شود.

The wire

اگر سیم روی ویفر را نگاه کنیم به این صورت است:



schematics physical

ضخامت تمام سیم‌ها یکسان است پس باید پهنا را زیاد کنیم.

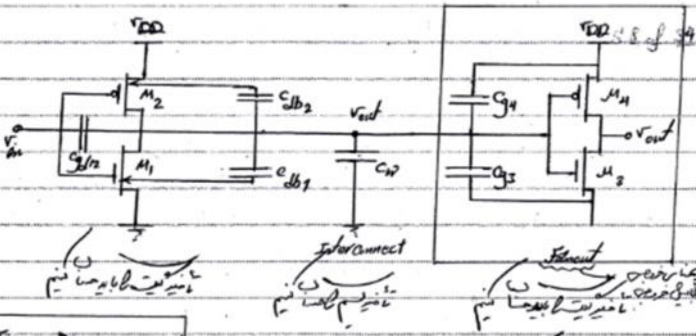
دو نوع تأخیر را باید در نظر بگیریم: ① خازن تولید شده در سیم‌ها ② تأخیر خود گیت

در نهایت تأخیرها را با هم جمع می‌کنیم.

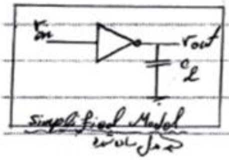
Subject : Date 24

اگر بخواهیم جریان بیشتر شود باید ضخامت و عرض بیشتر شود، ضخامت ها در اختیار ما نیست (ضخامت ها مربوط به تکنولوژی است) بلکه باید عرض ها را بیشتر کرد.

چطور سیم ایجاد می کنند؟ روی ویفر اکسید را می پوشانند و بعد جاهایی را که می خواهند حذف کنند لیتوگرافی می کنند و با اسید آنجاها را حذف می نمایند.



نهایتا تاخیر ها را باید با هم جمع کنیم.



سلف در فرکانس های پایین مانند اتصال کوتاه عمل می کند.

jwL امپدانس سلف

$w \uparrow \rightarrow$ امپدانس $\uparrow$

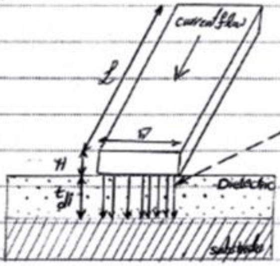
بین هر دو تا سیم یک خازن وجود دارد و همچنین بین سیم و زمین یک خازن وجود دارد.

©MICRO

Subject : 25

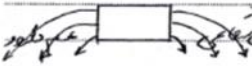
Date ....

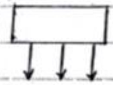
Capacitance: The parallel Plate Model



$$C_{int} = \frac{\varepsilon_{di}}{t_{di}} WL \qquad S_{wire} = \frac{S}{S \cdot S_L} = \frac{1}{S_L}$$

باید ببینیم سیم روی چه لایه‌ای است و بر اساس آن ε را پیدا کنیم.

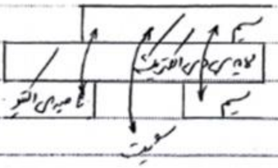




یک خازن علاوه بر اثرات صاف مستقیم باید آن‌ها را نیز در نظر بگیریم.

در جدول ... Wiring capacitances (0.25 μm CMOS) مثال داده شده است

Poly → جایی که گیت ما را تشکیل داده



هم سیم با سیم، هم سیم با گیت و هم سیم با ناحیه‌ی الکترود می‌تواند خازن ایجاد کند.

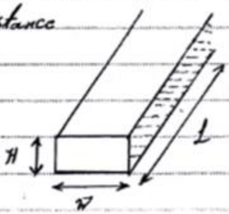
©MICRO®

Subject :   Date 26

ناحیه‌ی Poly و Active چرا با هم خازنی ندارند؟

چون ناحیه‌ی Active بعد از Poly ایجاد می‌شود. یعنی اول ناحیه‌ی Poly را ایجاد می‌کنیم و بعد ناحیه‌ی Active رسم، این دو ناحیه دی‌الکتریک نیست.

Wire Resistance



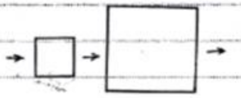
$R = \frac{\rho L}{H W}$

sheet Resistance R_0

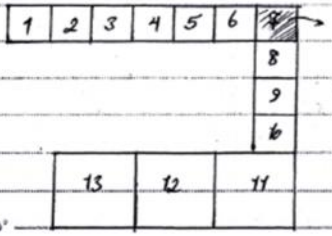
H: متفاوت

در تکنولوژی متفاوت ثابت است و اندازه‌ی آن تغییر نکند و فقط طول تغییر می‌کند.

$R_1 = R_2$ (چون نسبت $\frac{W}{L}$ برابر است)



پس برای محاسبه‌ی مقاومت سیم باید سیم مذکور را به مربع مربع تبدیل کنیم



در گوشه‌ها مقاومت 0.7 برابر می‌شود

12 تا مربع، 12 تا R_0

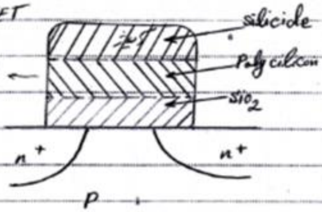
12 تا sheet Resistance داریم

MICRO

Subject : 27 Date ....

Polycide Gate MOSFET

سیلیسی که جهت رشد آن با پایین مقاومت است ایجاد کریستال می‌سازند



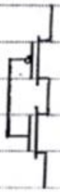
ترکیب فلزات با سیلیسیم : silicide : WSi_2 , $TiSi_2$, $PtSi_2$ and TaSi

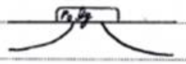
خاصیت فلزی پیدا می‌کند پایداری آن بیشتر شود و دما بالا آورده و یا برابر مقاومت آن کمتر از مقاومت Poly است.

Conductivity ≈ 8-10 times better than Poly

نکته: Note به صورت زیر است که گیت آنها به هم وصل می‌باشد به جای اینکه دو تا Gate بسازند

آنها را به هم وصل کنند Poly آن را بیشتر می‌سازند و از آن استفاده می‌شود.



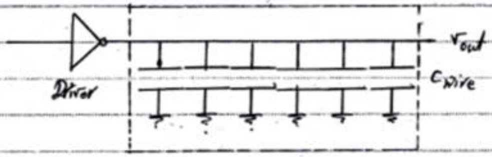


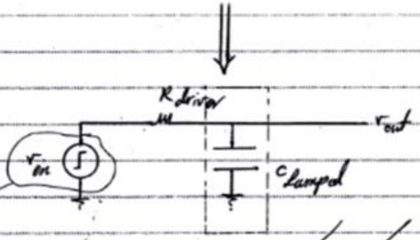
The Lumped Model

s 21

یک سیم خازن توزیع شده داره.

Subject : Date 28





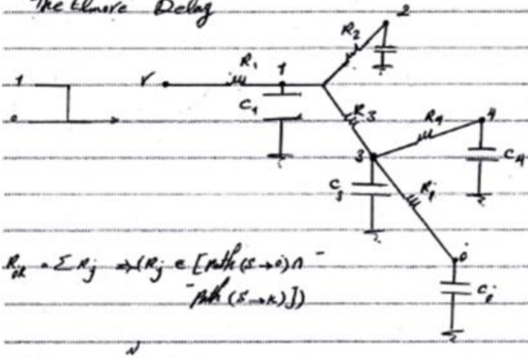
این بخش نقش گیت را بازی می کند

به جای سیم می توانیم فقط مقاومت معادل خازن بگذاریم

The Lumped RC-Model

S 27

The Elmore Delay



$$R_{ik} = \sum R_j \Rightarrow (R_j \in [path(s \to i) \cap path(s \to k)])$$

$$\tau_{Di} = \sum_{k=1}^{N} C_k R_{ik}$$

MICRO

Subject : 29 Date

مثلاً اگر بخواهیم بین نقطه‌ی i تا نقطه‌ی ۵ ثابت زمانی را بدست آوریم، خواهیم داشت:

ثابت زمانی تا نقطه i تا ۵ $= R_1C_1 + (R_1+R_3)C_3 + (R_1+R_3+R_i)C_i$

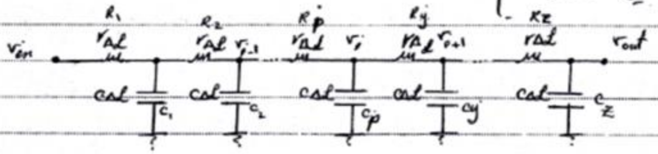
R_2 هیچ ربطی ندارد و در مسیر نیست و همچنین این خازن (خازن C_2) روی آن اثر ندارد.

این رابطه که الان نوشتیم رابطه آشنایی است.

The Elmore Delay

RC chain

ثابت زمانی این مدار را می‌خواهیم:



$$\tau_N = \sum_{i=1}^{N} R_i \sum_{j=1}^{N} C_j = \sum_{i=1}^{N} C_i \sum_{j=1}^{N} R_j$$

ثابت زمانی $\tau_N = R_1C_1 + (R_1+R_2)C_2 + \dots + (R_1+R_2+\dots+R_p)C_p + (R_1+\dots+R_p+R_q)C_q$

$+ \dots + (R_1 + \dots + R_z)C_z$

©MICRO®

Subject :   Date 30

Wire Model   S 22

مدل کنید

<u>Assume</u>: wire modeled by N equal-length segments

$$\tau_{DN} = \left(\frac{L}{N}\right)^2 (rc + 2rc + \dots + Nrc) = (rcL^2)\,\frac{N(N+1)}{2N^2} = RC\,\frac{N+1}{2N}$$

for large value of N:

$$\tau_{DN} = \frac{RC}{2} = \frac{rcL^2}{2}$$

پس چاره (یا مشکلات) سیم تأخیر انتشار بالاست (یعنی کم و زیاد کردن آن سیم تأخیر انتشار بالاست.)

نه عرض سیم است نه ارتفاع و مقطع، طول سیم آن تأثیرگذار است.

Chapter 5 : The Inverter   S 1 of 78

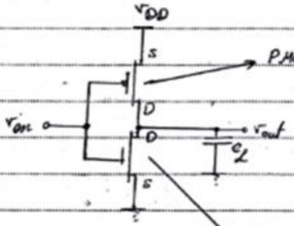
می‌خواهیم ببینیم ساختن یک گیت چه چیزی است؟

ساختن گیت Not از همه ساده‌تر است. ساختن گیت Not به صورت کامل بررسی شده است و در سایر گیت‌ها تعمیم داده می‌شود.

The CMOS Inverter : A First Glance   S 2

MICRO

Subject : 31 Date ......



PMos ⟷ $V_{DS} = V_{DD} - V_{out}$

این ترن T ⊖ عمل می‌کند

⊖ V_{th} $V_{GS} > V_{th}$

NMos ⟷ $V_{DS} = V_{out}$

⊕ V_{th} $V_{GS} > V_{th}$ این ترن T معمولی ⊕ کار می‌کند

معمولاً متقارن است.

هر آنچه جریان از بالا به پایین عبور کند چون نمی‌خواهیم مصرف توان بالا رود حتی‌الامکان این دو نباید باهم روشن باشند.

V_{in} ↑ → پایینی روشن و بالایی خاموش

جریان چون برقرار نیست (قطع است) در نتیجه مصرف توان صفر می‌باشد. لحظاتی که می‌خواهد تغییر وضعیت بدهد (در این لحظه گذرا) هر دو ترانزیستور روشن می‌شوند و در نتیجه مصرف توان داریم.

مصرف توان استاتیک نداریم (صفر است) ولی مصرف توان دینامیک داریم.

CMos Inverter S3

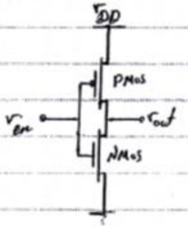
دارای اصلاحیه (S3) lay out یک std cell رسم شده است.

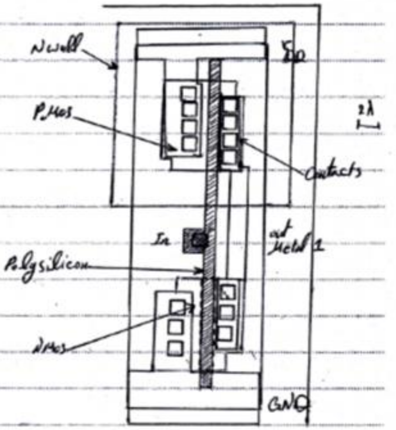
W بالایی از پایینی بیشتر است ← 2.5 برابر

تفاوت تحرک حامل‌ها n ، 2 برابر بیشتر از تحرک حامل P است.

©MICRO

Subject : Date 32





ترانزیستورهای P از نظر ابعاد 2 تا 3 برابر ترانزیستورهای N هستند.

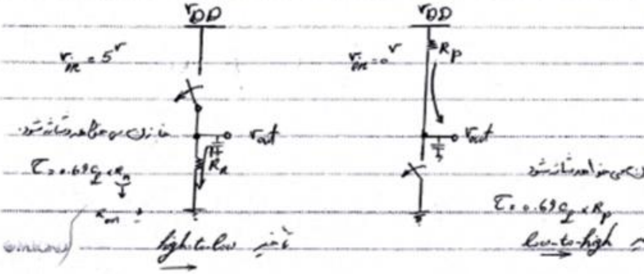
CMos Inverter §5

First-order DC Analysis

$V_{OL} = 0$

$V_{OH} = V_{DD}$

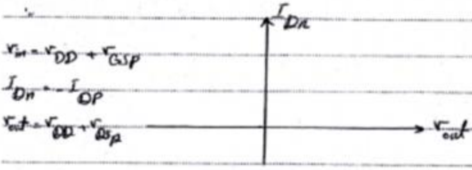
$V_M = f(R_n, R_p)$

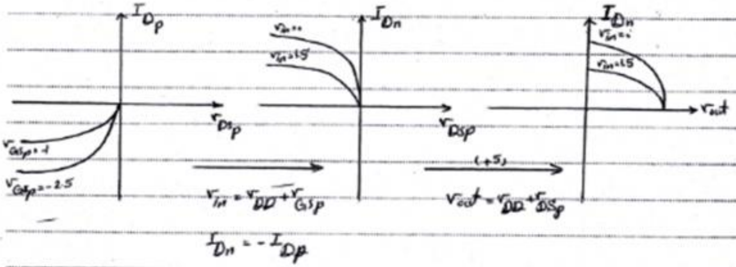


Subject : 33

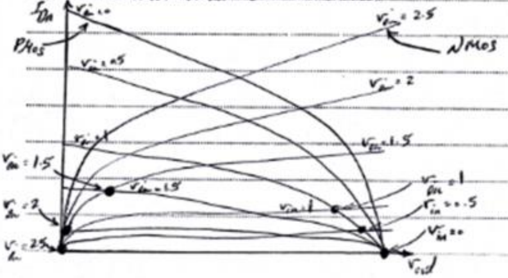
Date

PMos load lines





CMos Inverter load characteristics

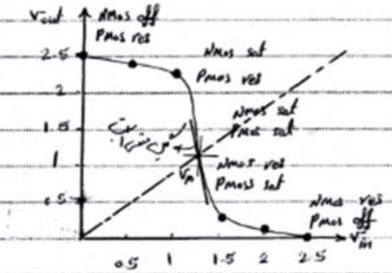


©MICRO®

Subject : Date 34

CMos Inverter VTC 56

خط‌ها بر خود نقاط کار را نشان می‌دهند

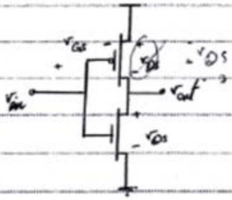


بسمه تعالی

1392.1.29

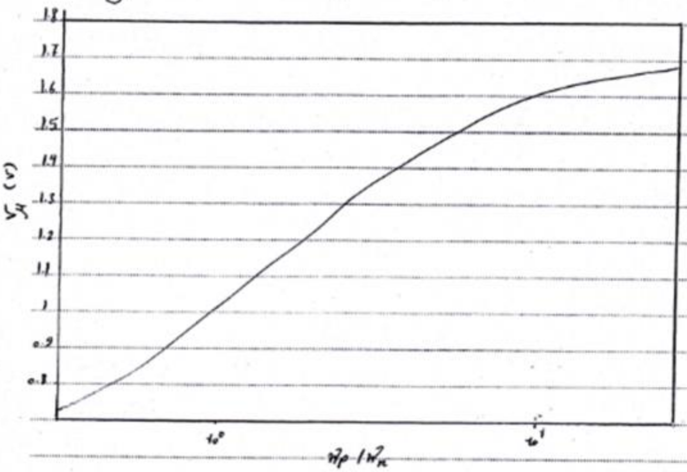
جلسه‌ی چهارم

در مدار این شکل گیت Not برای V_i های کوچک ترانزیستور NMOS خاموش و ترانزیستور PMOS روشن می‌باشد. برای $V_i = \frac{V_{DD}}{2}$ هر دو روشن و هر دو در ناحیه saturation هستند (الکترون) دقیقاً مدار مثل تقویت کننده می‌ماند که گین بالایی را می‌دهد. اگر نگاه کنیم در وسط شیب خط که نسبت $\frac{V_o}{V_i}$ یا همان گین را می‌دهد زیاد است و مدار مثل تقویت‌کننده است.



Subject : 35 Date

switching threshold as a function of Transistor Ratio



اگر V_1 و V_2 ، I_{D_1} ، I_{D_2} ← حدود تقریبی مساوی را در نظر بگیریم sat را برابر دهیم

و جواب‌ها را نداشته آنها را حل می‌کنیم تا V_M را بدست آوریم.

$$K_n V_{Dsat_n}\left(V_M - V_{Tn} - \frac{V_{Dsat_n}}{2}\right) + K_p V_{Dsat_p}\left(V_M - V_{DD} - V_{Tp} - \frac{V_{Dsat_p}}{2}\right) = 0$$

solving for V_M yields

$$V_M = \frac{\left(V_{Tn} + \frac{V_{Dsat_n}}{2}\right) + r\left(V_{DD} + V_{Tp} + \frac{V_{Dsat_p}}{2}\right)}{1+r} \quad \text{with } r = \frac{K_p V_{Dsat_p}}{K_n V_{Dsat_n}} = \frac{v_{sat_p} W_p}{v_{sat_n} W_n}$$

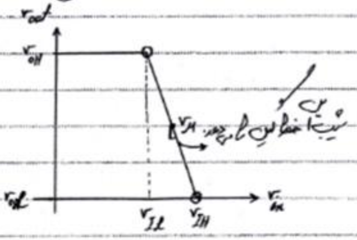
Subject : Date 36

در این نمودار هرچه مقدار $\frac{dv_o}{dv_i}$ کمتر باشد یعنی هرچه کمتر است و هرچه بیشتر است پس هرچه به

سمت چپ حرکت کنیم عرض P کم است در نتیجه ترانزیستور n ترانزیستور با نیمه قوی تر است و بالعکس یعنی

هرچه به سمت راست حرکت کنیم چون عرض P بیشتر است در نتیجه ترانزیستور P قوی تر می باشد.

Determining v_{IH} and v_{IL} S12



$$v_{IH} - v_{IL} = -\frac{(v_{OH} - v_{OL})}{g} = \frac{-v_{DD}}{g}$$

$$v_{IH} = v_M - \frac{v_M}{g} \qquad v_{IL} = v_M + \frac{v_{DD} - v_M}{g}$$

$$NM_H = v_{DD} - v_{IH} \qquad NM_L = v_{IL}$$

پس با v_M و g می توان مقادیر v_{IH} و v_{IL} را بدست آورد.

جایی که شیب بالایی زیاد شده هردو اشباع بوده اند.

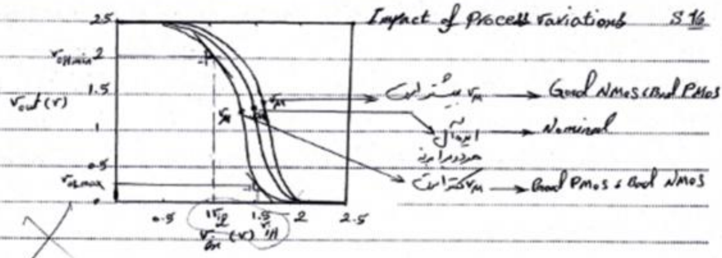
S13

$$g = -\frac{1}{I_D(v_M)} \frac{k_n v_{DSatn} + k_p v_{DSatp}}{\lambda_n - \lambda_p} \approx \frac{1+r}{(v_M - v_{Tn} - v_{Dsat}/2)(\lambda_n - \lambda_p)}$$

MICRO

Subject : 37 Date

Impact of Process variations S16



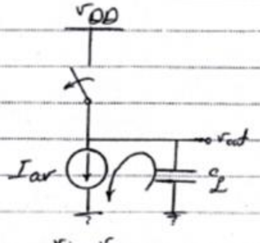
جاهایی که شیب ۱- است V_{oLow} ، V_{oHigh} ، V_{iLow} و V_{iHigh} را مشخص می‌کند.

با تغییر V_M در حقیقت نیز ما یعنی خط‌ها تغییر می‌کند. پس با تغییر ابعاد ترانزیستورها این جاها هم تغییر می‌کند و

در نتیجه N_M ها تغییر می‌کند.

CMOS Inverter propagation Delay S18

Approach 1 تغییر low به High



$V_{in} = V_{DD}$

$I_D = k\frac{w}{l}(V_{gs} - V_T)^2$ ، چون در ناحیه اشباع است (I)

©MICRO

Subject : Date 38

وقتی که شروع به تخلیه می کند V_{DS} کم می شود و ترانزیستور پایینی (NMOS) در ناحیه‌ی مقاومتی کار می کند

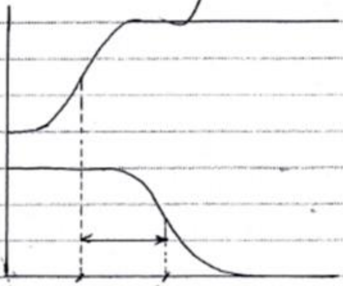
$$I_D = k\frac{W}{L}\left[(V_{GS}-V_T)\frac{V_{DS}}{2} - \frac{V_{DS}^2}{2}\right] \qquad (II)$$

پس منبع جریان به دو صورت (I) و (II) کار می کند، که ابتدا در ناحیه‌ی اشباع و بعد از آن در ناحیه‌ی تریود (یا مقاومتی) است اما می توان آن را با یک منبع جریان average جایگزین کرد

اگر I_{avg} را جایگزین کنیم →

$$t_{PHL} = \frac{C_L V_{swing}/2}{I_{av}} \sim \frac{C_L}{K_n V_{DD}}$$

تأخیر High به Low یعنی از جایی که ورودی ۵۰٪ می رسد تا جایی که خروجی به ۵۰٪ می رسد:



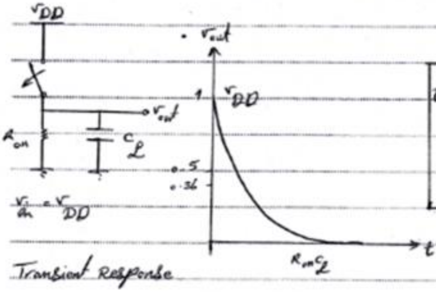
تأخیر High به Low

CMOS Inverter propagation Delay 3 19 of 78

Approach 2

Subject : 39 Date

در این کتاب به جای منبع جریان مقاومت گذاشته است. مقاومت معادل را داشته باشیم و تاخیر آن را از رابطه زیر بدست آوردیم:

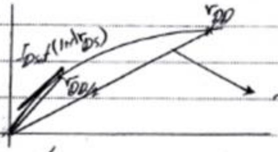


$$t_{PHL} = f(R_{on} \cdot C_L) = 0.69\, R_{on} C_L$$

ln(0.5)

Transient Response 5.21 of 72

ترانزیستور ما قرار است خروجی اش از V_{DD} به $V_{DD}/2$ برسد.



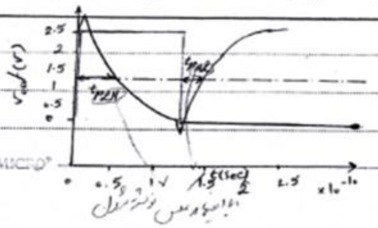
شیب این خط برابر مقاومت با توجه به خروجی V_{DD} است

مقاومت $R = \frac{V}{I}$

مقاومت معادل برابر است با: مقاومت در حالت های V_{DD} و $V_{DD}/2$ تقسیم بر ... از انتگرال استفاده می‌کنیم:

$$R_{eq} = \frac{1}{V_{DD}/2}\int_{V_{DD}/2}^{V_{DD}} \frac{V}{I_{Dsat}(1+\lambda V_{DS})}\, dV \approx \frac{3}{4}\frac{V_{DD}}{I_{Dsat}}\left(1+\frac{7}{9}\lambda V_{DD}\right)$$

with $I_{Dsat} = k'\frac{W}{L}\left((V_{DD}-V_T)V_{Dsat} - \frac{V_{Dsat}^2}{2}\right)$



$$t_p = 0.69\, C_L (R_{eqn} + R_{eqp})/2$$

Subject :   Date 9-

برای این مقاومت معادل را حساب کنیم در تکنولوژی 0.25 میکرو برابر با Req در پیوست مشخص است.

این مقاومت معادل بود و با توجه به خازن بار مشاهده می‌شود دلیل که مقاومت ترانزیستور که کم است زود خالی

شارژ خازن و مقاومت ترانزیستور P کم است.

تأخیر انتشار کلی مدار از رابطه $t_p = 0.69\,C_L\,(R_{eq_n} + R_{eq_p})/2$ بدست می‌آید. مدار خوب آن است

که این دو تأخیر با هم برابر باشند یعنی متقارن باشد.

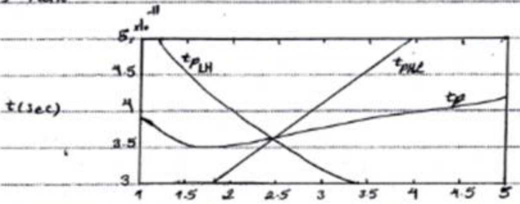
هرچه عرض ترانزیستور بیشتر باشد، مقاومت ترانزیستور کمتر می‌شود. اگر مقاومت کمتر باشد در نتیجه خازن

سریعتر تخلیه می‌شود. عرض بیشتر ← تأخیر High به Low کمتر می‌شود.

در ترانزیستور بالا (PMOS) هرچه عرض بیشتر باشد در نتیجه خازن سریعتر شارژ می‌شود پس تأخیر Low

به High کمتر می‌شود.

NMOS/PMOS ratio   S 25 of 78



β : $\beta = W_p/W_n$

Subject : 41 Date ______

(*) هرچه β ↑ ← عرض ترانزیستور P ↑ ← ترانزیستور P خوب است.

همچنین هرچه β ↓ (هرچه بیشتر نه مساوی) ← $\tau_p < \tau_n$ ← ترانزیستورها که ترانزیستور خوبی است ← هر دو شارژ

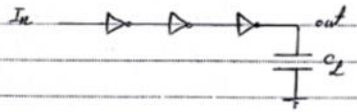
خازن تأخیر High به Low کم می‌شود.

Point (خیلی مهم): اگر ابعاد ترانزیستور P تقریباً 2 تا 2.5 برابر ابعاد ترانزیستور N باشد،

حالات ایجاد تأخیر متقارن می‌شود یعنی تأخیر High به Low و تأخیر Low به High تقریباً برابر

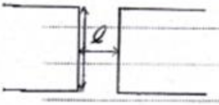
می‌شود. و اگر β تقریباً 2 باشد تأخیر کمترین مقدار را دارد.

Inverter chain S 28 of 71



C_L: خازنی که در خروجی قرار دارد.

C_L خازن بزرگی است در آن صورت تأخیر زیادی دارد خیلی کم نمی‌شود باید R (مقاومت) را کم کنیم در نتیجه باید ابعاد (W) را زیاد



کنیم. اگر ابعاد را زیاد کنیم باز خازن زیاد می‌شود پس به همین دلیل ابعاد را

یکدفعه زیاد نکنیم بلکه چند دفعه باید این کار را انجام داد.

حال مسئله اینجا مطرح می‌شود که این ترانزیستورها را چند تا در نظر بگیریم تا تأخیر حداقل شود؟

©MICRO

Subject : Date 42

$f^N = F = C_L / C_{g_{in}} \Rightarrow f = \sqrt[N]{F}$

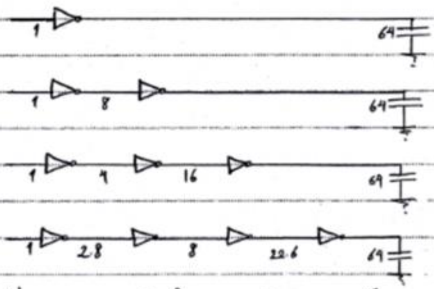
→ (c gate in) → خازن در طبقه‌ی اول

N: تعداد طبقات

f: نسبت ابعاد ترانزیستور بعدی به ابعاد ترانزیستور قبلی

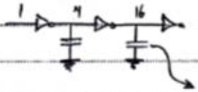
Buffer Design

S.41 of 78



N	f	F
1	64	65
2	8	18
3	4	15
4	2.8	15.3

$f^1 = 64$ $f^2 = 64 \rightarrow f = 8$ $f^3 = 64 \rightarrow f = 2.8$



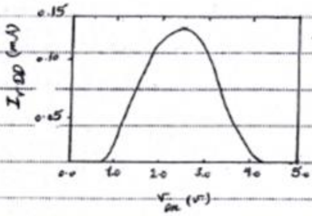
ابعاد خازن ۴ برابر قبلی بیشتر است.

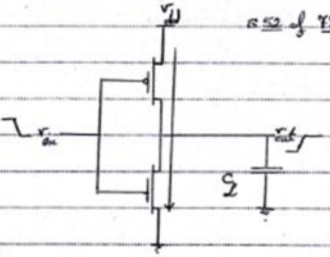
پس کاری کردیم که تاخیر همه‌ی طبقات برابر باشد و با استفاده از تعداد طبقات می‌توان ابعاد هر ترانزیستور را بدست آورد.

if $f = 2.7$ ($f \approx e$ عدد نپر) → تاخیر کم می‌شود

Subject : 43 Date

Short circuit Currents s 52 of 78





مصرف توان :

در مدار CMOS توان در حالت استاتیکی مصرف نمی‌شود چون یا ترانزیستور بالایی خاموش است

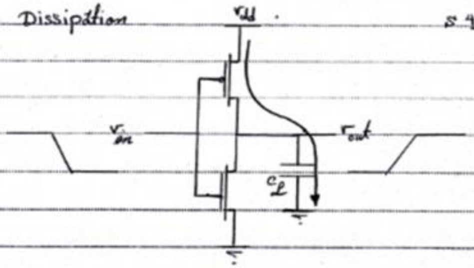
یا اینکه ترانزیستور پایینی خاموش می‌باشد، پس جریان نداریم و عملاً در حالت تغییر وضعیت Low به High یا

High به Low توان داریم که توان دینامیکی است.

فرکانس ↑ ⇒ مصرف توان ↑

(چون : مصرف توان ما بیشتر می‌شود ⇐ تعداد تکرار ایجاد پالس بیشتر می‌شود)

Dynamic Power Dissipation s 44 of 78



©MICRO

Subject : Date 44

$$Energy / Transition = C_L * V_{dd}^2$$

$$Power = Energy / transition * f = C_L * V_{dd}^2 * f$$

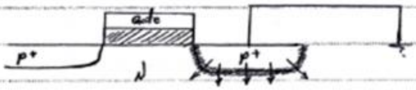
(f → فرکانس کار)

• تابعی از ابعاد ترانزیستور است.

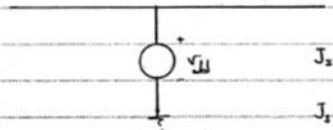
• برای کاهش توان احتیاج به کم کردن C_L ، V_{dd} و f داریم.

فرکانس را که نمی توان کم کرد چون می خواهیم هر روز مدارها را بسازیم که سریعتر باشند. V_{dd} را هم نمی توانیم کم کنیم و C_L را می توانیم کم کنیم که برای این کار باید ابعاد را کم کرد. البته V_{dd} را هم کم کنیم باز هم کم می شود.

Reverse – Biased Diode Leakage 5 56 of 78



Reverse leakage current



J_s = 10–100 pA/μm² at 25 deg C for 0.25 μm CMOS

J_s doubles for every 9 deg C!

از دیود حاصل ترانزیستور جریان نشتی معکوس که در بین مدار بسته عبور می کند توانی را ایجاد می کند ← توان نشتی

جریان معکوسی که داریم نشت می کند سبب توان نشتی می شود.

اگر بتوانیم ترانزیستورها را کم کنیم ⟹ از توان نشتی نمی توان چشم پوشی کرد.

اگر توان استاتیک نشتی را کم کنیم → توان نشتی قابل صرف نظر کردن است.

Subject : 15 Date

بسمه تعالی

جلسه ی پنجم 92.2.5

where does Power go in CMOS? ص 43 از 78

توان در CMOS صرف چه دسته‌هایی است؟

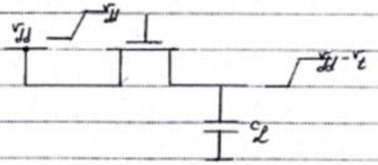
1- Dynamic Power Consumption → توان دینامیکی که در تغییر حالت‌ها مصرف می‌شوند

2- Short circuit Currents → جریان اتصال کوتاه → در مسیر supply می‌توانند ایجاد کنند

3- Leakage → توان نشتی که از جریان نشتی ناشی می‌شود

Modification for circuits with Reduced swing ص 45 از 78

مدارها با تقلیل و تغییر دامنه



اگر بین خازن و V_{dd} را نشان از ترانزیستور استفاده کنیم، ترانزیستور باعث می‌شود ولتاژ بالای خازن از $V_{dd} - V_t$ بالاتر نرود. پس ماکزیمم ولتاژ خازن $V_{dd} - V_t$ است.

$$E_{0 \to 1} = C_L \cdot V_{dd} \cdot (V_{dd} - V_t)$$

©MICRO

Subject :   Date 46

قانون‌ها از gate آ ... است مقدار مشترک امور جدید مطرح می‌شوند

Computing the capacitances   Pa: 184 Ref / 190   Example 5.4   ex.

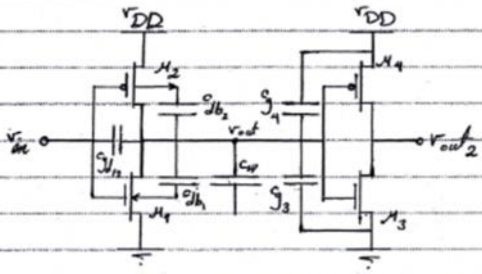


Figure 5.13   Pa: 190

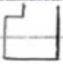
$V_{DD} = 2.5V$ در این شکل دو گیت Not موسوم

$2\lambda = 0.25\mu m \Rightarrow \lambda = 0.125\mu m$ layout در صفحه بعد آورده شده است.

ابعاد سورس $= 4\lambda \times 4\lambda = 16\lambda^2 + 3\lambda^2 = 19\lambda^2 \rightarrow$ ابعاد سورس

ابعاد درین $= 19\lambda^2$ (مثل سورس محاسبه شده)

محیط سورس $= 15\lambda$



محیط درین $= 15\lambda$

Subject. 47
Year. Month. Date. / /

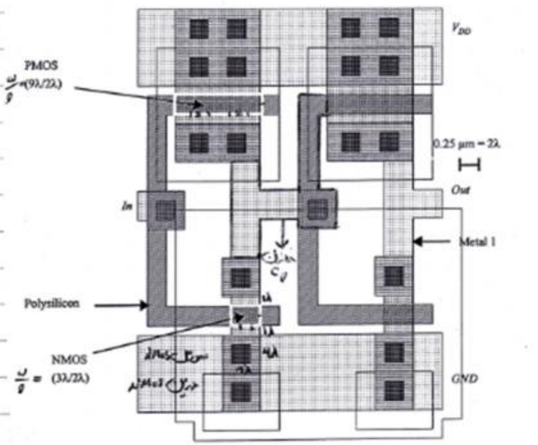


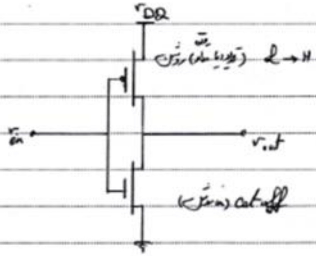
Figure 5.15 Layout of two chained, minimum-size inverters using SCMOS Design Rules (see also Color-plate 6).

Table 5.1 Inverter transistor data

	W/L	AD (µm²)	PD (µm)	AS (µm²)	PS (µm)
NMOS	0.375/0.25	0.3 (19λ²)	1.875 (15λ)	0.3 (19λ²)	1.875 (15λ)
PMOS	1.125/0.25	0.7 (45λ²)	2.375 (19λ)	0.7 (45λ²)	2.375 (19λ)

PAPCO

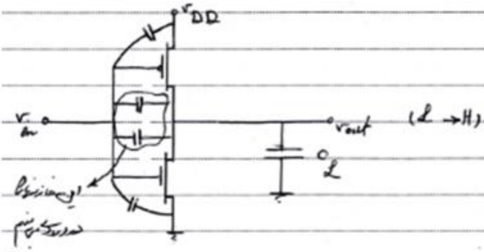
Subject:
Year. Month. Date. ( )



$C_{GS} = \frac{2}{3} C_G$ حالت اشباع

$C_{GS} = \frac{1}{2} C_G$ حالت ترایود

در دو حالت L→H و H→L مقدار C_L را حساب کرده است.



side wall junction (...) ابعاد ... x ...

Table 3.5 Capacitance parameters of NMOS and PMOS transistors in 0.25 μm CMOS process

	C_{ox} (fF/μm²)	C_o (fF/μm)	C_j (fF/μm²)	m_j	ϕ_b (V)	C_{jsw} (fF/μm)	m_{jsw}	ϕ_{bsw} (V)
NMOS	6	0.31	2	0.5	0.9	0.28	0.44	0.9
PMOS	6	0.27	1.9	0.48	0.9	0.22	0.32	0.9

PAPCO

Subject: 49
Year. Month. Date. ( )

با توجه به جدول $C_{jsw} = 0.28\ fF/\mu m$ که البته مقدار خازن در واحد طول است از طرفی محیط 15λ (4λ, 1λ, 4λ, 4λ)

می شود پس: sidewall junction: $C_{jsw} = 0.28 \times 15\lambda$ (محیط درین) $= 0.28 \times 15 \times 0.125\ \mu m = 0.28\ fF/\mu m$

Bottom junction capacitance: C_j : ظرفیت خازن کف → $C_j(NMOS) = \underbrace{19 \times 0.125 \times 0.125}_{19\lambda^2} \times 2\ fF/\mu m^2$

مجموع این دو خازن تشکیل C درین به substrait را می‌دهد البته با روابطی که در جدول نوشته

شده اند (C_{db_1})

$C_{wire} = 92/8^2\ \mu m^2 \times 30\ aF/\mu m^2$

$+ 72/8^2\ \mu m^2 \times 88$

$\rightarrow C_{wire} = 0.12\ fF$

$a: 10^{-15}$

$f: 10^{-18}$ (?)

THE CMOS INVERTER Chapter 5

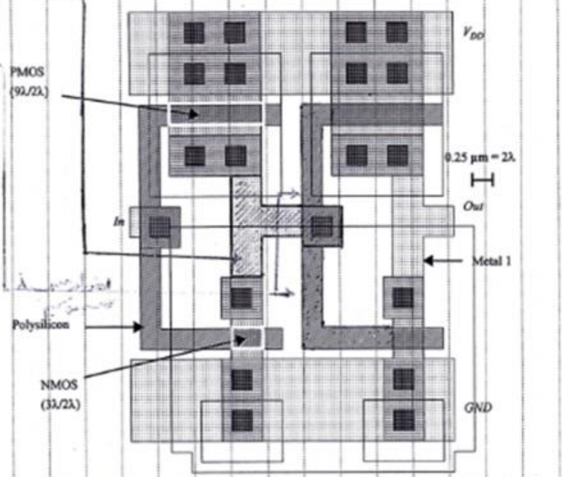
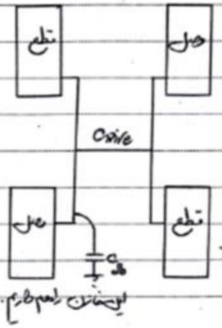


Figure 5.15 Layout of two chained, minimum-size inverters using SCMOS Design Rules (see also Color-plate 6)

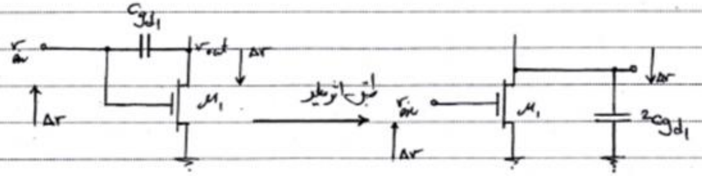
PAPCO

Subject. Year. Month. Date. ( )

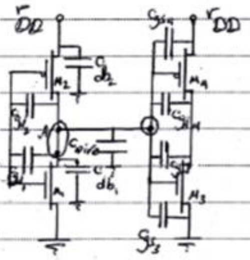
$C_{gd} + C_{gs}$ → نصف، نصف سایز



← فقط C_{gd} را می‌بینیم، C کامل را نمی‌بینیم چون قطع است.



پس دیدیم با جابجایی خازن طبق اثر میلر خازن جابجا شده دو برابر می‌شود.



می‌خواهیم تأخیر خروجی این را حساب کنیم، برای تأخیر

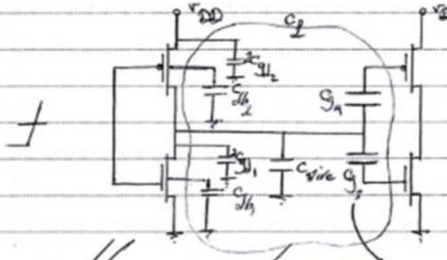
در نقطهٔ A خازن‌های خروجی طبقه اول و خازن‌های ورودی طبقه دوم دیده می‌شوند.

(table 5.2)

PAPCO

Subject: 51

Year. Month. Date. ( )



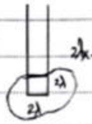
$(C_{gs_3} + C_{gD_3})W + C_{ox} W_n L_n$

می‌خواهیم تأخیر این حالت را حساب کنیم با توجه به اینکه خازن‌ها در
اولی و ورودی در دسترس می‌باشد از table 3.4 استفاده
کرده‌ایم.

تأخیر $= 0.69 \times$ مقاومت بالایی $\times C_L$

(مستطیل از زمین صرف‌نظر) بعضی از خازن‌ها

ابعاد خازن $متر^2$ × ظرفیت در متر مربع



خازن را محاسبه کرده

(خازن گیت شامل کوچکترین مربع‌ها)

Table 3.4 – Average distribution of channel capacitance of MOS transistor for different operation regions

operation Region	C_{GCB}	C_{GCS}	C_{GCD}	C_{GC}	C_G
cut off	$C_{ox}WL$	0	0	$C_{ox}WL$	$C_{ox}WL + 2C_oW$
resistive	0	$C_{ox}WL/2$	$C_{ox}WL/2$	$C_{ox}WL$	$C_{ox}WL + 2C_oW$
saturation	0	$(2/3)C_{ox}WL$	0	$(2/3)C_{ox}WL$	$(2/3)C_{ox}WL + 2C_oW$

Page: 147/183

PAPCO

Subject:
Year. Month. Date. ( )

Table 5.2 - Components of C_L (for high-to-low and low-to-high transition).

Page: 189/513

Capacitor	Expression	value (fF) (H→L)	value (fF) (L→H)
C_{gd1}	$2C_{GDon} W_n$	0.23	0.23
C_{gd2}	$2C_{GDop} W_p$	0.61	0.61
C_{db1}	$K_{eqn} AD_n C_J + K_{eqswn} PD_n C_{JSW}$	0.66	0.90
C_{db2}	$K_{eqp} AD_p C_J + K_{eqswp} PD_p C_{JSW}$	1.5	1.15
C_{g3}	$(C_{GDon} + C_{GSon}) W_n + C_{ox} W_n L_n$	0.76	0.76
C_{g4}	$(C_{GDop} + C_{GSop}) W_p + C_{ox} W_p L_p$	2.28	2.28
C_w	From Extraction	0.12	0.12
C_L	Σ	6.1	6.0

(اگر تأخیر دومی را خواستیم فقط خازن خروجی طبقه دوم را در نظر می‌گیریم و کاری به خازن طبقه اول نداریم.)

حال بعد از اینکه C_L را طبق جدول بالا بدست آوردیم نیاز به R_{eq} داریم.

چرا؟

R_{eq} 13 KΩ (W/L)

2.5 برابر

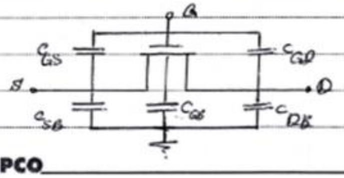
$R_{eq} \simeq 32.5$ $(W/L)_p$

(از دست نویس صفحه [illegible] R_{eq} را که آوردیم به چه دلیل استدلالی تحت شده است؟)

که تأخیر خروجی گیت اول در مدار گیت دوم را حساب کردیم.

$t_{\text{تأخیر}} = 0.69 \times R_{eq} \times C_L$

: Reminder



PAPCO

ex: (Page: 233/513) pdf اسلایدهای فایل

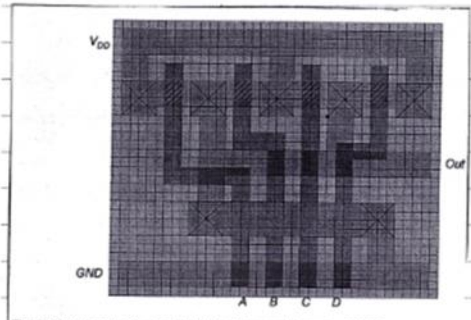
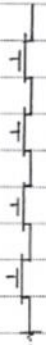


Figure 6.12 Layout a four-input NAND gate in complementary CMOS.

چهارتای پایینی سری شده اند.



$P_{gate\ A} = 19\lambda = 19 \times 0.125 = 0.0625$

خازن کف $= 20\lambda^2 \times$ ظرفیت خازن کف (fF/λ^2)

P خازن $= C_{SW} \times P$ ظرفیت خازن (fF/λ)

C_{SW} → side wall: $19\lambda + 2\lambda + \dots$

S_1 ابعاد $= S_{S_1} = 20\lambda^2$

$S_{D_1} = 9\lambda^2$ $S_{S_2} = 9\lambda^2$

$S_{D_4} = 20\lambda^2$

Subject.

Year. Month. Date. ( )

Table 6.1 Area and perimeter of transistors in 4 input NAND gate.

Transistor	W (μm)	AS (μm²)	AD (μm²)	PS (μm)	PD(μm)
1	0.5	0.3125	0.0625	1.75	0.25
2	0.5	0.0625	0.0625	0.25	0.25
3	0.5	0.0625	0.0625	0.25	0.25
4	0.5	0.0625	0.3125	0.25	1.75
5	0.375	0.296875	0.171875	1.875	0.875
6	0.375	0.171875	0.171875	0.875	0.875
7	0.375	0.171875	0.171875	0.875	0.875
8	0.375	0.296875	0.171875	1.875	0.875

It is assumed that the output connects to a single, minimum-size inverter. The effect of intra-cell routing, which is small, is ignored. The various contributions are summarized in Table 6.2. For the NMOS and PMOS junctions, we use $K_{eq} = 0.57$, $K_{eqsw} = 0.61$, and $K_{eq} = 0.79$, $K_{eqsw} = 0.86$, respectively. Notice that the gate-to-drain capacitance is multiplied by a factor of two for all internal nodes and the output node to account for the Miller effect (this ignores the fact that the internal nodes have a slightly smaller swing due to the threshold drop).

Table 6.2 Computation of capacitances for high-to-low transition at the output. The table shows the intrinsic delay of the gate without extra loading. Any *fan-out* capacitance would simply be added to the C_L term.

Capacitor	Contributions (H→L)	Value (fF) (H→L)
C_1	$C_{d1} + C_{s2} + 2 * C_{gd1} + 2 * C_{gs2}$	(0.57 * 0.0625 * 2+ 0.61 * 0.25 * 0.28) + (0.57 * 0.0625 * 2+ 0.61 * 0.25* 0.28) + 2 * (0.31 * 0.5) + 2 * (0.31 * 0.5) = 0.85fF
C_2	$C_{d2} + C_{s3} + 2 * C_{gd2} + 2 * C_{gs3}$	(0.57 * 0.0625 * 2+ 0.61 * 0.25 * 0.28) + (0.57 * 0.0625 * 2+ 0.61 * 0.25* 0.28) + 2 * (0.31 * 0.5) + 2 * (0.31 * 0.5) = 0.85fF
C_3	$C_{d3} + C_{s4} + 2 * C_{gd3} + 2 * C_{gs4}$	(0.57 * 0.0625 * 2+ 0.61 * 0.25 * 0.28) + (0.57 * 0.0625 * 2+ 0.61 * 0.25* 0.28) + 2 * (0.31 * 0.5) + 2 * (0.31 * 0.5) = 0.85fF
C_L	$C_{d4} + 2 * C_{gd4} + C_{d5} + C_{d6} + C_{d7} + C_{d8} + 2 * C_{gd5} + 2 * C_{gd6} + 2 * C_{gd7} + 2 * C_{gd8} = C_{d4} + 4 * C_{d5} + 4 * 2 * C_{gd6}$	(0.57 * 0.3125 * 2 + 0.61 * 1.75 *0.28) + 2 * (0.31 * 0.5)+ 4 * (0.79 * 0.171875* 1.9+ 0.86 * 0.875 * 0.22)+ 4 * 2 * (0.27 * 0.375) = 3.47fF

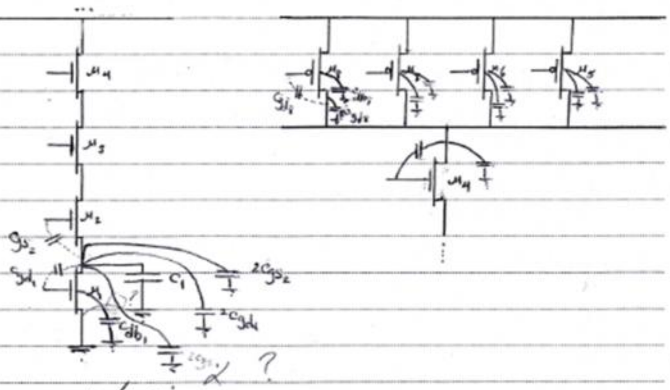
Using Eq. (6.4), we can compute the propagation delay as:

$$t_{pHL} = 0.69\left(\frac{13K\Omega}{2}\right)(0.85fF + 2 \cdot 0.85fF + 3 \cdot 0.85fF + 4 \cdot 3.47fF) = 85ps$$

The simulated delay for this particular transition was found to be 86 psec! The hand analysis gives a fairly accurate estimate given all assumptions and linearizations made. For example, we assume that the gate-source (or gate-drain) capacitance only consists of the overlap component. This is not entirely the case, as during the transition some other contributions come in place depending upon the operating region.

PAPCO

Subject: 55
Year. Month. Date. ( )



به جای هر transistor یک مقاومت می‌گذاریم. خازن‌ها هم حساب شوند پس از آن گره‌ها را گره دیگر تا خروجی را

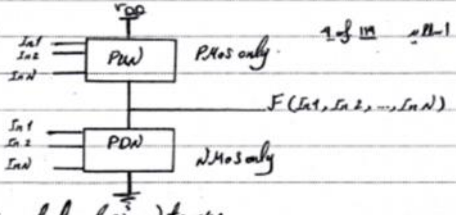
حساب نمود.

Chapter 6. Digital Integrated Circuits - A Design Perspective

در این فصل راجع به پیاده‌سازی مختلف لاجیک‌ها بحث می‌کنیم

Static Complementary CMOS

1 of 14 اسلاید II-1

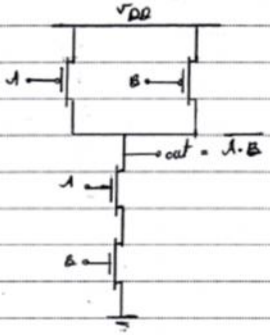


PUN and PDN are dual logic Networks

PAPCO

Subject:
Year. Month. Date. ( )

Example Gate: NAND



A	B	out
0	0	1
0	1	1
1	0	1
1	1	0

Truth Table of a 2 input NAND Gate

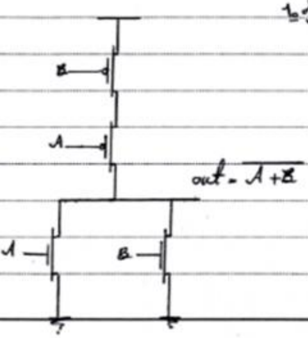
PDN: $G = AB$ → conduction to GND

PUN: $F = \bar{A} + \bar{B} = \overline{AB}$ → conduction to V_{DD}

(Conduction : هدایت، رسانایی، اتصال، تسلیم)

$\overline{G(In_1, In_2, In_3, \ldots)} \equiv F(\bar{In_1}, \bar{In_2}, \bar{In_3}, \ldots)$ α ?

Example Gate: NOR



A	B	out
0	0	1
0	1	0
1	0	0
1	1	0

Truth Table of a 2 input NOR Gate

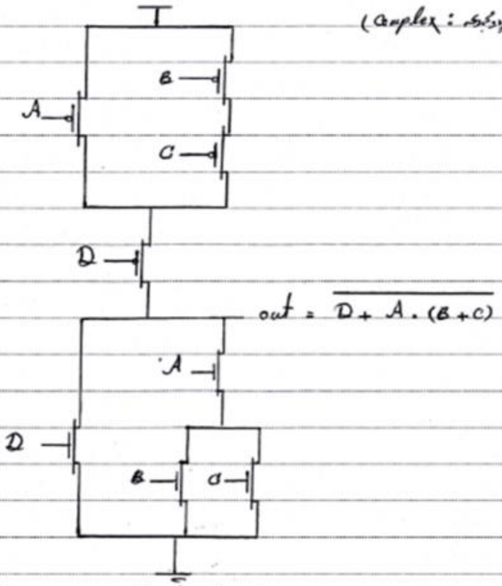
PAPCO

Subject: 52
Year. Month. Date. ( )

Complex CMOS Gate

11 of 114 اسلاید

(Complex : مجتمع، پیچیده، مختلط، ترکیبی)

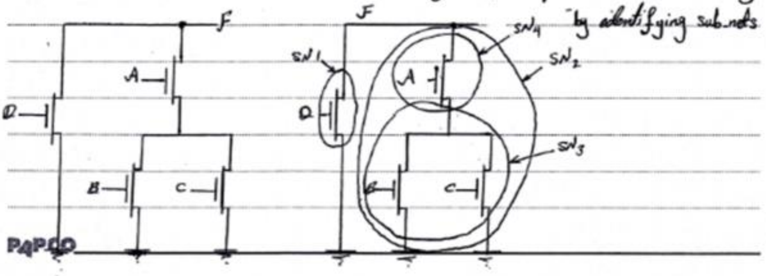


Constructing a complex Gate

12 of 114 اسلاید

(a) Pull-Down Network

(b) Deriving the pull-up network hierarchically by identifying sub-nets



Subject.
Year. Month. Date. ( )

بسمه تعالی

92.2.12

جلسه پنجم

فصل ششم

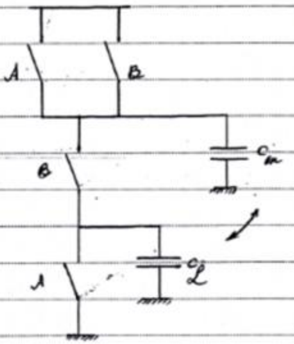
خواص CMOS کلاسیک : (pull down ، pull up)

۱) حاشیه نویز زیاد ۲) عدم وابستگی به سایز ۳) امپدانس خروجی کم

۴) امپدانس ورودی بالا ۵) جریان از بالا به پایین وجود ندارد.

۶) تاخیر انتشار به خازن load بستگی دارد.

در مدار NAND بسته به اینکه کدام ترانزیستور روشن یا خاموش باشد تاخیرهای متفاوتی به وجود می آید.



PAPCO

Subject: 61
Year. Month. Date. ( )

ابعاد ترانزیستورها : (size of transistor)

برای اینکه تأخیر high-to-low و low-to-high هم برابر باشند باید ترانزیستورها را براساس ابعادشان انتخاب کنیم.

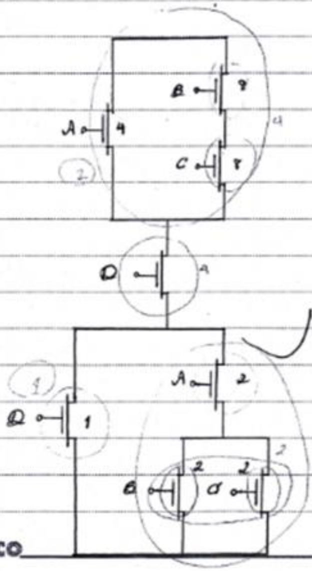
transistor های P ، مقاومتشان دو برابر مقاومت transistor های n می‌باشد.

پس ابعاد ترانزیستورهای P را دو برابر ابعاد ترانزیستورهای n در نظر می‌گیریم تا اینکه تأخیرشان کم باشد.

پس بدترین حالت را در نظر می‌گیریم، مثلاً در NAND باید یکی از ترانزیستورها روشن و دیگری خاموش باشد.

ابعاد ترانزیستور $\frac{W}{L}$ مثل مقاومت می‌باشد پس:

- باید ابعاد به گونه‌ای انتخاب شود که ابعاد ترانزیستورهای پایین که ترانزیستورهای n هستند نصف ابعاد ترانزیستورهای P شوند.



در شاخه‌ی موازی تنها یک شاخه دیده می‌شود، ابعاد مشابه n تمام ترانزیستورها را دارند.

PAPCO

Subject:
Year. Month. Date. ( )

Fan in:

به تعداد ورودی هایی که می توان به گیت داد گیت

اگر گیت با ورودی ها زیاد داشته باشیم تأخیر انتشار

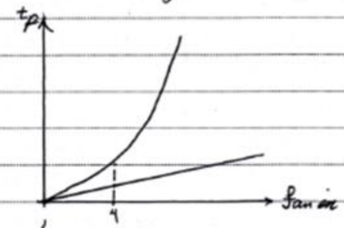
زیاد می شود.

بهترین حالت این است که بیشتر از ۴ ورودی حل نکنیم.

t_{PHL}

تأخیر انتشار low to high به صورت خطی تغییر می کند اما تأخیر انتشار high to low به صورت

توان دو افزایش می یابد. پس با افزایش ورودی ها تأخیر high to low زیاد می شود.



ترانزیستور پایینی چون بدترین حالت باید جریان تمام ترانزیستورها را داشته باشد پس باید ابعاد آن بزرگتر

باشد $M_1 > M_2 > M_3$

PAPCO

Subject: 63
Year. Month. Date. ( )

برای اینکه Fan in کاهش پیدا کند بهتر است از مدارهای ترکیبی با تعداد چهار ورودی استفاده کنیم و تعداد طبقات کم باشد.

Ratiod Logic:

تکنیک‌های دیگر برای ساخت مدارات مجتمع:

در این تکنیک یک مقاومت که نقش Pull-up را دارد به یک شبکه Pull-down داریم که بسته به روشن یا خاموش بودن آن یک تقسیم ولتاژ بین مقاومت و شبکه به وجود می‌آید.

$$V_{OL} = \frac{R_n}{R_L + R_n} \times V_{dd}$$

باید R_L بزرگ باشد تا R_n کوچک ← $V_L \downarrow$

مزایای قبل را ندارد اما حسن اصلی آن کم شدن ترانزیستورها و تعداد خازن‌ها تا است. توان مصرف می‌کند و V_{OL} هرگز صفر نمی‌شود و جریان از بالا به پایین وجود دارد.

عیب: ساخت مقاومت روی مدار، که به جای آن از ترانزیستور با P استفاده می‌شود که گیت آن به V_{SS} یا زمین وصل بوده به این تکنولوژی NMOS می‌گویند. اگر به جای مقاومت از P ترانزیستور استفاده شود، Pseudo_NMOS نامیده می‌شود.

PAPCO

برای اینکه مقاومت R_L بزرگ باشد ابعاد ترانزیستور کوچک و ترانزیستورهای پائینی باید کوچک باشند

که یک عیب بوجود می‌آید؛ زمان شارژ زیاد می‌شود و t_{PLH} زیاد می‌گردد.

$$V_{OL} = (V_{DD} - V_T)\left[1 - \sqrt{1 - \frac{K_p}{K_n}}\right]$$ → ابعاد ترانزیستور P

هرچه K_p کوچکتر باشد V_{OL} کمتر می‌شود.

و t_{PLH} مناسب است. برای کاهش آن می‌توان از دو ترانزیستور در طبقه Pull up آن

استفاده کرد. $M_2 \gg M_1$ که زمان در شارژ یک clock به M_1 داده و جاری از طریق آن شارژ می‌شود.

: DCVSL

ترکیب دو طبقه‌ای Pull Down است که توسط نیمه یک جسم متصل هستند و مکمل هم می‌باشند

که یکی خاموش و دیگری روشن.

مزیت این مدار ایجاد فیدبک مثبت است که باعث سرعت بالای مدار می‌شود.

A	B	out	$\overline{out}$
0	0	0	1
0	1	1	0
1	0	1	0
1	1	0	1

گیت XNOR ، XOR شرح داده شد.

PAPCO

Subject: 65

Year. Month. Date. ( )

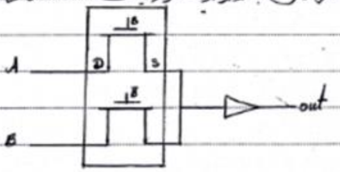
(تست Ch ، کانال طولانی می‌شود)

Pass - transistor :

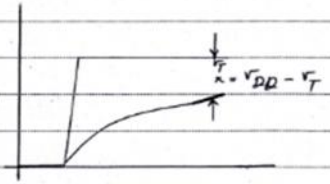
می‌توان با استفاده از پس ترانزیستور گیت AND را ساخت.

A	B	out
0	0	0
0	1	0
1	0	0
1	1	1

AND :



عیب این مدار



PAPCO