شناخت و برآورد کارائی مدار

فهرست

مقدمه 2

6-1 عملکرد یک مدار MOS 2

6-2 ارزیابی ظرفیت اتصالات میانی 4

6-2-1 تخمین ظرفیت 4

6-2-2 خازن گیت : 10

6-2-3 فرمول محاسبهٔ ظرفیت : 11

6-3 برآورد مقاومت 13

6-3-1 مقاومت ورقه ای (Sheet Resistance) : 15

6-3-2 مقاومت ترانزیستورهای MOS 17

6-3-3 محاسبهٔ مقاومت 18

6-3-4 مقاومت قطعات غیر مستقیم: 22

6-4 تخمین تأخیر اتصالات میانی 23

6-4-1 تأخیر المور (Elmore Delay) 29

6-5 مصرف توان در مدارهای CMOS 34

6-5-1 توان مصرفی جریان اتصال کوتاه: 35

6-5-2 توان مصرفی سوئیچینگ یک معکوس کنندهٔ CMOS: 36

6-6 حاصلضرب توان – تأخیر (Power-Delay-Product, PDP) 41

6-7 مقیاس بندی 42

6-7-1 تئوری مقیاس بندی: 42

6-7-2 تأثیرات بر معادلات ترانزیستور: 44

6-7-3 مقیاس بندی اتصالات: 56

6-8 روشی ساده برای محاسبهٔ تأخیر مدارهای منطقی 57

6-8-1 مدل خطی تأخیر: 58

6-8-2 محاسبهٔ تأخیر در گیتهای منطقی: 65

6-8-3 تأخیر در مدارات منطقی چند طبقه: 66

6-8-4 بهینه سازی مسیرهای مدار: 68

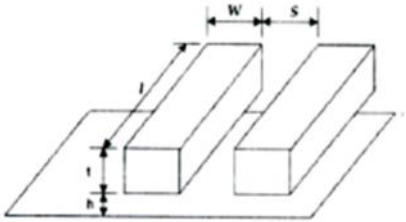
مقدمه

در طراحی یک مدار منطقی **CMOS** معمولاً لازم است که درون آی سی، ترانزیستورها را بهم متصل نموده تا عملکرد مورد نیاز حاصل شود. نحوهٔ اتصال این قطعات به کمک سیمهایی است که درون آی سی طراحی و نقش اتصال ها را (موسوم به **اتصال های میانی**) ایفا می کند. وجود این اتصالات میانی از چند دیدگاه اهمیت داشته و لازم است مورد بررسی قرار گیرند؛ دیدگاه استاتیک و دیدگاه دینامیک. در این فصل هر دو دیدگاه را مطالعه خواهیم نمود.

6-1 عملکرد یک مدار MOS

عملکرد یک مدار MOS از دو دیدگاه استاتیک و دینامیک توسط پارامترهای هر حالت قابل بررسی است. پارامترهایی که در عملکرد استاتیک مطرح می شوند عبارتند از ***مقاومت موجود بین اتصالات*** و نحوهٔ محاسبه آن همراه با **میزان توان مصرفی** آنها که منجر به افزایش توان مصرفی آی سی نیز خواهد شد. بهمین ترتیب،

پارامترهایی که در عملکرد دینامیک دخیل هستند عمدتاً **رفتار خازنی اتصالات** است که میتوانند عوامل ایجاد تأخیر در عملکرد آی سی باشند. لذا در این مرحله، لازم است این موارد شناخته و تخمینی از آنها بدست آید که طبیعتاً در درک عملکرد آی سی بسیار نیز تعیین کننده هستند. بعنوان مثال به **شکل 1-6** که نشانگر دو سیم مجاور یکدیگر است توجه کنید.



شکل 1-6 ترسیمی از اتصالات میانی

ابعاد سیمها و فاصلهٔ بین آنها مشخص شده اند و فضای اطراف آنها نیز دی الکتریک است. در این رابطه میتوان تعاریف زیر را بیان نمود:

گام سیم (Pitch) *: مجموع پهنا و فاصله را یک گام سیم می نامیم.*

نسبت هندسی (Aspect Ratio) *: نسبت ضخامت به پهنای سیم، t/w را نسبت هندسی نامیم.*

هم شنوایی (Crosstalk) *: دی الکتریک بین سیمها معمولاً از جنس SiO_2 بوده که قابلیت جایگزینی با موادی با ضریب دی الکتریک کم را نیز دارد. در تکنولوژیهای گذشته سیمهای اتصالات میانی نسبتاً پهن و ضخیم و دارای مقاومت کم و البته مدار حاصل نسبتاً کند بود، بطوریکه امکان شبیه سازی اتصالات با یک خازن فشرده (Lumped) وجود داشت. حال آنکه در تکنولوژی*

امروزه سیمها بسیار باریکتر و جهت افزایش حجم و کاهش ابعاد بسیار بهم نزدیکترند و این خود آثار خازنهای پارازیتی را به دنبال دارد. در عملکرد سوئیچ، این خازنها میتوانند عوامل تولید آثار انتقالی از یک سیم به سیم دیگر شوند که این پدیده هم شنوایی نام دارد.

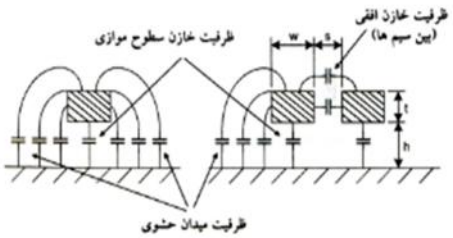
با پیشرفت تکنولوژی تعداد سیمها و حتی تعداد لایه ها افزایش یافته و لذا این، اتصالات میانی بودند که عملکرد بسیار پیچیده تری نسبت به خود ترانزیستور از خود نشان می دادند. مثلاً در فرآیند $0.18\mu m$ بین 6 تا 8 لایهٔ فلزی موجود است که تعداد لایه ها نیز به تناوب رو به افزایش است و این خود بر میزان پیچیدگی محاسبات خازنهای پارازیتی و حتی مقاومتهای نظیر به این اتصالات خواهد افزود.

6-2 ارزیابی ظرفیت اتصالات میانی

همانطوریکه ذکر شد خازنهای پارازیتی از عوامل مهم ایجاد القاء، بین دو سیم یا حتی دو Via هستند. البته اثر این خازنها معمولاً خیلی زیاد نیست اما در یک آی سی میتواند باعث بازنمود نامناسبی از عملکرد آن شود. محاسبهٔ دقیق آنها معمولاً پیچیده است لیکن تخمین از میزان آنها حائز اهمیت است.

6-2-1 تخمین ظرفیت

در این روش میتوان هر سیم مجزا را که بر روی زیر لایه واقع شده است بعنوان یک هادی نسبت به سطح زمین در نظر گرفت و در واقع با زیر لایه بشکل زمین برخورد نمود. با این ایده، ظرفیت سیم دارای دو جزء است یکی ظرفیت سطح موازی، از قسمت پایین تا زمین، و دیگری ظرفیت ناشی از میدانهای اطراف هادی (میدانهای حشوی) که در طول لبهٔ یک هادی با ضخامت محدود قابل ارزیابی است. ضمن اینکه مجاورت دو سیم موجود در یک لایهٔ معین نیز آثار پارازیتی را ایجاد می نماید. بهرحال این توصیف در **شکل 2-6** نشان داده شده است.



شکل 2-6 اثر میدانهای جانبی (حشوی) در ظرفیت خازن

ظرفیت خازنهای مربوط به سطوح موازی عبارت است از:

$$\varepsilon_{ox} = \varepsilon_0 \varepsilon_r \quad (1) \qquad \text{و} \qquad C = \frac{\varepsilon_{ox}}{h} WL$$

که در آن ε_{ox} ضریب نفوذ پذیری عایق و ε_r ضریب نفوذپذیری نسبی آن است. در **جدول 1-6** میتوان تعدادی از این ضرائب نفوذپذیری را مشاهده نمود.

جدول 1-6 ضریب نفوذپذیری نسبی مواد

ماده	ε_r
خلا	1
آیروژل	≅1.5
پلی میدها	3-4
دی اکسید سیلیکون	3.9

3.1	فلوريد سيليكون (SiOF)
2.6	پلی مر (SiLK)
7.5	نيتريد سيليكون (Si_3N_4)
9.5	آلومينيوم
11.7	سيليكون

در مورد خازنهای جانبی یا حشوی معمولاً مدل دقیقی وجود ندارد و عمدتاً ارزیابی آنها کمک روشهای عددی مختلف صورت میگیرد. مثلاً در **جدول 2-6** بعضی از میزان ظرفیتهای مربوط به خازنهای مرسوم در تکنولوژی TSMC CMOS با میزان $0.18\mu m$ دیده می شود.

جدول 2-6 ظرفیت خازنهای نمونه در تکنولوژی TSMC $0.18\mu m$

(1aF [Ato-Farad]=10^{-18}F)

پارامترهای ظرفیت	n^+	n^+									
سطحی (زیرلایه)	962	1196	104	37	18	13	8	8	3	69	$aF/\mu m^2$
سطحی			8522	50	19	13	11	9	8		$aF/\mu m^2$

											(n^+)
$aF/\mu m^2$								8229			سطحی (p^+)
$aF/\mu m^2$		4	5	7	10	17	59				سطحی (پلی)
$aF/\mu m^2$		5	6	9	14	37					سطحی (فلز1)
$aF/\mu m^2$		6	9	14	38						سطحی (فلز2)
$aF/\mu m^2$		9	14	36							سطحی (فلز3)
$aF/\mu m^2$		14	36								سطحی (فلز4)
$aF/\mu m^2$		35									سطحی (فلز5)
$aF/\mu m$			23	40	53	58			218	257	جانبی (زیرلایه)

7

جانبی (پلی)											aF/μm
جانبی (فلز1)											aF/μm
جانبی (فلز2)											aF/μm
جانبی (فلز3)											aF/μm
جانبی (فلز4)											aF/μm
جانبی (فلز5)											aF/μm
هم پوشان (n^+)								774			aF/μm
هم پوشان (p^+)								675			aF/μm

جانبی (پلی)		62	38	29	23	19	17				aF/μm
جانبی (فلز1)			58	35		22	19				aF/μm
جانبی (فلز2)				51	34	26	22				aF/μm
جانبی (فلز3)					52	34	27				aF/μm
جانبی (فلز4)						56	35				aF/μm
جانبی (فلز5)							56				aF/μm
هم پوشان (n^+)								774			aF/μm
هم پوشان (p^+)								675			aF/μm

مثال : اگر سیگنالهایی موجود باشند که در طولهای نسبتاً بلند اعمال می گردند (مثلاً سیگنال کلاک)،

میتوانند ظرفیتهایی تا حدود چند ده پیکوفاراد ایجاد کنند و لذا طول این گونه از سیمها میتواند

بسیار مهم باشد. مثلاً فرض کنید برای اندازه های die بین 1 و 2 سانتیمتر سیمهای آلومینیومی مورد استفاده طولی حدود 10 سانتیمتر داشته باشند . اگر پهنای آنها $1\mu m$ و در تکنولوژی $0.18\mu m$ در دومین لایه مسیر دهی شوند ظرفیت خازن کل چقدر است؟ فرض کنید مقدار ظرفیت خازن موازی در واحد سطح فلز $18\frac{aF}{\mu m^2}$ و ظرفیت خازن محیطی یا حشوی $58\frac{aF}{\mu m}$ باشد.

ظرفیت خازن موازی: $(0.1\text{x}10^6\mu\text{m}^2)\text{ x }18\text{ aF}/\mu\text{m}^2 = 1.8\text{pF}$

ظرفیت خازن محیطی: $2\text{ x }(0.1\text{x}10^6\mu\text{m}^2)\text{ x }58\text{ aF}/\mu\text{m}^2 = 11.6\text{pF}$

ظرفیت کل: $1.8 + 11.6 = 13.4\text{pF}$

عامل تنزل کارایی دیگری که میتواند محاسبه شود، خازن تزویجی یا پارازیتی بین دو سیم مجاور است. در **جدول 6-3** بطور تقریبی ظرفیت بین دو سیم موازی در یک لایه، با فرض حداقل فاصلهٔ بین آنها برای تکنولوژی $0.25\mu m$ را میتوان مشاهده نمود.

جدول 6-3 ظرفیت خازن بین دو سیم موازی

آلومینیومی در واحد طول برای تکنولوژی $0.25\mu m$

لایه	پلی	فلز1	فلز2	فلز3	فلز4	فلز5
ظرفیت (aF/μm)	40	95	5	85	85	115

مثلا" برای دو سیم بطول 10 سانتیمتر از جنس آلومینیوم در این تکنولوژی، اگر ظرفیت بین آنها $95\frac{aF}{\mu m}$ باشد

ظرفیت کل حاصل برابر است با : $C_{int} = 100mm \times 95\frac{aF}{\mu m} = 9.5fF$

6-2-2 خازن گیت :

برای هر ترانزیستور می توان یک خازن گیت با عنوان خازن گیت استاندارد و با نماد C_g تعریف نمود. این خازن به سبب وجود گیت پلی و زیر لایه تولید میشود. مثلاً برای ترانزیستورهای نوع n و p در تکنولوژی $0.18\mu m$ $C_g \simeq 8.42\frac{fF}{\mu m^2}$ است. در عمل میتوان کل خازن گیت برای هر ترانزیستور **MOS** را با ضرب کردن مساحت ناحیه فعال WXL در C_g نیز تعیین نمود. برخی از ویژگیهای ظرفیتی برای تکنولوژی $0.18\mu m$ در جدول زیر دیده می شود :

جدول 4-6 برخی ویژگیهای ظرفیتی تکنولوژی $0.18\mu m$

ساختار	ظرفیت ($\frac{aF}{\mu m^2}$)
ظرفیت تحتانی سیمهای نفوذ n	962
ظرفیت کناری سیمهای نفوذ n	257
ظرفیت تحتانی سیمهای نفوذ p	1196
ظرفیت کناری سیمهای نفوذ p	218
ظرفیت خازنهای سطحی فلز 1	37
ظرفیت خازنهای سطحی پلی	104

ظرفیت خازنهای همپوشانی n^+	774
ظرفیت خازنهای همپوشانی p^+	675

تذکر : با توجه به جدول، دیده می شود که ظرفیت خازنهای نفوذی از ظرفیت خازنهای فلز یا پلی بسیار بزرگتر هستند و لذا میتوان نتیجه گرفت که از نواحی با نفوذ بزرگ اجتناب کنیم.

6-2-3 فرمول محاسبهٔ ظرفیت :

اگر فرمول محاسبهٔ ظرفیت را بتوان وابسته به فاصله دو هادی، سطوح مقابل آنها و جنس محیط دانست میتوان برای محاسبهٔ ظرفیت ناحیهٔ نفوذ و همچنین ظرفیت پلی / فلز بشکل زیر عمل نمود :

الف) ناحیه نفوذ

ظرفیت کل برابر با جمع ظرفیت تحتانی و جانبی است که در آن:

1- *ظرفیت نفوذ تحتانی متناسب با مساحت است و میزان آن بر واحد سطح از روی تکنولوژی مورد بحث تعیین شده و با C_{bot} نشان داده می شود.*

2- *ظرفیت نفوذی کناری که متناسب با جنس محیط است و مجدداً نیز ظرفیت نظیر به جنس محیط بسته به نوع تکنولوژی با C_{side} نشان داده می شود. توجه کنید که C_{side} عمق نفوذ مورد استفاده در تکنولوژی را شامل می گردد.*

با تفکیک بند 1 و 2 برای دو ظرفیت نفوذی سطحی و جانبی، ظرفیت کل برابر است با:

$$C = [C_{bot}(fF/\mu m^2) \times \text{مساحت}] + [C_{side}(fF/\mu m) \times \text{محیط}] \qquad (2)$$

ب) پلی / فلز

در این حالت ظرفیت کل جمع ظرفیت سطحی و ظرفیت محیطی است و در آن :

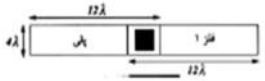
1- ظرفیت سطحی متناسب با مساحت است و میزان آن در واحد سطح نیز بسته به تکنولوژی مورد استفاده با C_{plate} بیان می گردد.

2- ظرفیت محیطی نیز که در این حالت باز هم وابسته به جنس محیط اطراف است و از روی تکنولوژی مورد استفاده بکمک مقدار طولی آن به میزان C_{fringe} محاسبه می گردد.

با تفکیک بند 1 و 2 برای این حالت نیز ظرفیت کل برابر است با:

$$C = [C_{plate}(fF/\mu m^2) X \text{مساحت}] + [C_{fringe}(fF/\mu m) X \text{محیط}] \qquad (3)$$

مثال: ظرفیت خازنی ساختار **شکل 3-6** را بدست آورید اگر از مساحت حفرهٔ تماسی صرف نظر گردد.

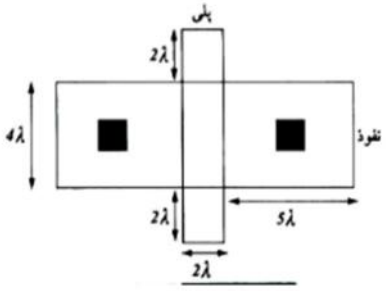


شکل 3-6

پلی: $(12\lambda \times 4\lambda) \times C_{ploy}$ (plate) + $2 \times (12\lambda + 4\lambda) \times C_{ploy}$ (fringe)

فلز 1: $(12\lambda \times 4\lambda) \times C_{metal1}$ (plate) + $2 \times (12\lambda + 4\lambda) \times C_{metal1}$ (fringe)

مثال: در **شکل 4-6** ظرفیت خازن ورودی گیت ترانزیستور MOS را تعیین کرده اگر در تکنولوژی $0.25\mu m$ بوده، $W=0.36\mu m$ اختیار شده و ضخامت لایهٔ اکسید $6nm$ با ضریب دی الکتریک نسبی $\varepsilon_{r,SiO_2} \cong 3.9$ باشد. ظرفیت خازن سطحی پلی برای با میدان $88\ aF/\mu m^2$ و ظرفیت جانبی آن $54\ aF/\mu m^2$ است.



شکل 4-6

ظرفیت خازن گیت برابر است با:

$$C_g = A \times C_{ox} = 2 \times 4\lambda^2 \times \frac{8.85\times10^{-12}\times3.9}{6\times10^{-9}} \approx 0.72pF \qquad (\lambda \approx 0.125)$$

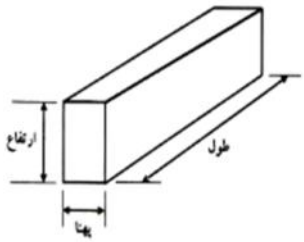
$$C_{ploy} = (2\lambda+2\lambda)\times 2\lambda \times C_{ploy}(plate) + (6\lambda+6\lambda)\times C_{ploy}(fringe) =$$
$$8(0.125)^2 \times 88 + 12(0.125)\times 54 = 92aF$$

6-3 برآورد مقاومت

پارامتر قابل محاسبهٔ دیگر در طرح مدارات **VLSI** می تواند میزان مقاومت باشد که فاکتور تعیین کننده در مقدار تأخیر بهنگام انتشار سیگنال است. بسته به جنس سیم و ابعاد آن مقاومت یک سیم تغییر می کند که با فرمول زیر برای مقاومتی به **شکل 5-6** میتوان آن را محاسبه کرد:

طول x مقاومت ویژه

$$\text{مقاومت} = \frac{\text{ارتفاع x پهنا}}{\text{طول}}$$



شکل 5-6 توصیف ابعاد یک قطعه سیم در تعیین مقاومت آن

در **جدول 5-6** نیز مقاومت ویژهٔ بعضی از مواد ثبت شده است. دیده می شود که مثلاً مس مقاومت ویژهٔ کمتری دارد ولی آلومینیوم به دلیل هزینهٔ کمتر و سازگاری با مدارات مجتمع، اهمیت خاصی را دارا است بطوریکه قبل از نسل $0.18\mu m$ از آلومینیوم استفاده می شده است.

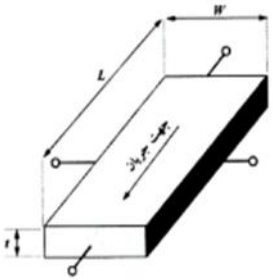
در رابطه با آلومینیوم و مس عمدتاً هرگاه مقطع سیم مورد نظر تنزل یابد، در هر دو مورد مقاومت، کمی افزایش می یابد. لیکن جهت بهبود مشخصهٔ مربوط به مهاجرت الکتریکی، از مس بیشتر استفاده می گردد. با این حال مس را باید توسط یک سد نفوذی با هدایت کم محصور کرد که خود منجر به کاهش مقطع معادل آن و لذا مقاومتش خواهد شد. اما برای آلومینیومی به چنین سدی نیاز نمی باشد.

جدول 5-6 مقاومتهای ویژهٔ بعضی از فلزات در دمای 22°

ماده	ρ (Ω–m)
نقره (Ag)	$1.6x10^{-8}$
مس (Cu)	$1.7x10^{-8}$
طلا (Au)	$2.2x10^{-8}$
آلومینیوم (Al)	$2.7x10^{-8}$
تنگستن (W)	$5.5x10^{-8}$
مولیبدنیوم (Mo)	$5.3x10^{-8}$
تیتانیوم (Ti)	$43x10^{-8}$

6-3-1 مقاومت ورقه ای (Sheet Resistance) :

فرض کنید که برای یک قطعه مطابق آنچه در **شکل 6-6** دیده می شود، بخواهیم مقاومت آنرا تعیین نماییم.



15

شکل 6-6 یک هادی با ابعاد معین

مقاومت این قطعه برابر است با :

$$R = \rho \frac{L}{tW} = (\frac{\rho}{t}) \frac{L}{W} \equiv R_{Sheet} \frac{L}{W} \quad (4)$$

در این رابطه ρ مقاومت ویژه و R_{Sheet} بعنوان مقاومت ورقه ای تعریف می شود که واحد آنرا بشکل اهم بر مربع ($\Omega/\square$) بیان کرده و میتوان برای لایه های مختلف، مقدار آن را بدست آورد. نمونه ای از این مقاومت برای تکنولوژی **TSMC CMOS** $0.18\mu m$ در **جدول 6-6** گردآوری شده است.

جدول 6-6 مقاومت ورقه ای نمونه ای در تکنولوژی TSMC $0.18\mu m$

پارامترهای فرآیند	نفوذ n^+ (سیلیسید)	نفوذ p^+ (سیلیسید)	پلی (سیلیسید)	فلز 1	واحد
مقاومت ورقه ای	6.8	7.6	7.9	0.08	$\Omega/\square$
مقاومت تماس	11.1	11.7	10.2		Ω

پارامترهای فرآیند	فلز 2	فلز 2	فلز 2	چاه -n	واحد
مقاومت ورقه ای	0.08	0.08	0.08	933	Ω/□
مقاومت via	5.20	10.65	15.59		Ω

لایه های فلزی بالاتر دارای مقاومت ویژهٔ کمتری هستند چرا که سطح مقطع بزرگتری دارند. لذا مقاومت لایه های بالاتر فلزی کمتر است. مقاومتها بسته به فلز بودن یا نبودن متفاوتند . مثلاً مقاومت فلزی ایکه از جنس آلومینیوم یا مس است کاملاً مشخص می باشد. مقاومت پلی سیلیکون، لایه های نفوذی یا چاه ها بسته به میزان دوپینگ دارد. در رابطه با لایه های پلی و نفوذی عمدتاً میتوان جهت کاهش مقاومت، از ترکیب سیلیکون و تیتانیوم استفاده نمود که خود مولد ماده ای موسوم به **سیلسید** است. مقاومتها اصولاً دارای ضریب دمایی مثبت اند و این ضریب برای نواحی نفوذی و چاهها قابل ملاحظه است.

6-3-2 مقاومت ترانزیستورهای MOS:

قبلاً دیدیم که مشخصهٔ ولتاژ – جریان ترانزیستور **MOS** غیر خطی است لیکن در نواحی خاص میتوان رفتار این قطعه را بشکل یک مقاومت (نظیر به مقاومت درون کانال) مطالعه نمود. در ناحیهٔ خطی یا تریودی، برای این ترانزیستور میتوان مقاومتی را متصور شد که برابر است با:

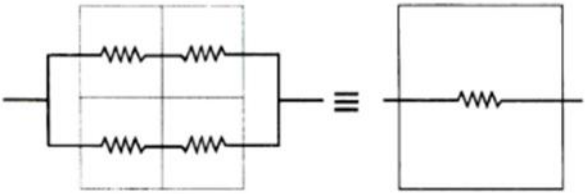
$$R_{on} = K\frac{L}{W}\Omega \qquad (5)$$

$$K \cong \frac{1}{\mu C_{ox}(V_{GS} - V_{Th})} \qquad (6)$$

ضریب K همان مقاومت ورقه ای محسوب می شود که برای ترانزیستور نوع n و p در محدوده ای بین 1000 تا 30000 اهم بر مربع واقع می شود و این خود تابعیت نسبت به موبیلیتی حاملهای اکثریت را دارا است و البته در یک تکنولوژی مشخص دارای مقدار معینی است.

6-3-3 محاسبهٔ مقاومت:

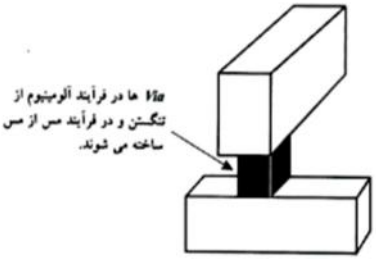
توسط اندازه گیری ابعاد قطعات سیمها در چنیش یک مدار میتوان میزان Ω/□ قطعه را بدست آورد. اگر میزان مقاومت یک مربع معلوم باشد میتوان برای هر شکل دلخواهی که ترکیبی از این مربعات باشد، مقاومت را تعیین کرد. ترکیبات، مشابه با ترکیبات سری و موازی در مقاومتها هستند. مثلاً فرض کنید که مقاومت یک مربع معین 1Ω باشد. مقاومت ترکیبی از چهار مربع به این فرم که در **شکل 6-7** ترسیم شده است عبارت است از ترکیب سری دو مقاومت 1 اهمی که با ترکیب سری دو مقاومت 1 اهمی دیگر، موازی شده و نهایتاً مقاومت 1 اهمی کل را به دست می دهند.



شکل 6-7 توصیف مقاومت بشکل مربعی دلخواه با میزان ثابت و به هر بعد

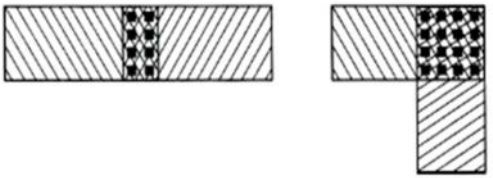
لذا میتوان دریافت که مقاومت یک ماده بشکل مربع ربطی به ابعاد مربع نداشته و همواره ثابت است و این چیزی است که آن را بنام R_{Sheet} یا مقاومت ورقه ای تعریف نمودیم. با چنین ایده ای میتوان مقاومت هر سیم را با اندازه گیری نسبت ظاهری آن تعیین کرد.

در رابطه با اتصالات و نیز Viaها، میتوان مقاومت آنها را بسته به جنس مادهٔ تماس و اندازهٔ آن مشابه با آنچه که در **شکل 8-6** دیده می شود، بدست آورد، مقادیر نوعی بین 2 تا 20 اهم هستند.



شکل 8-6 نمایش Via در اتصال دو لایه

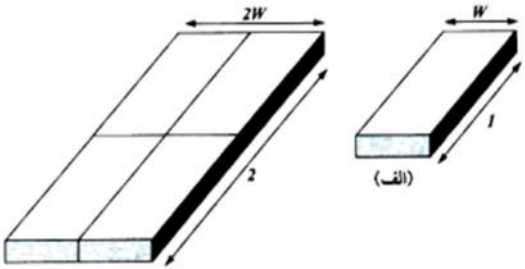
بدلیل تراکم جریان در اطراف تماسها میتوان جهت تشکیل اتصالاتِ با مقاومت کم از چندین تماس استفاده نمود. لذا در عمل معمولا" استفاده از چندین تماس کوچک بجای یک تماس بزرگ شبیه به **شکل 9-6** ارجعیت دارد.



شکل 9-6 استفاده از چندین Via برای اتصالاتی با مقاومت کم

بهر حال با توجه به آنچه ذکر شد میتوان توسط یک دید ساده، مقاومت چینشی را با تقسیم شکل مورد نظر به قطعات مستطیلی ساده، که مقاومت آنها براحتی بدست می آیند، تعیین و محاسبه نمود. مثلاً اگر در **شکل 10-6**

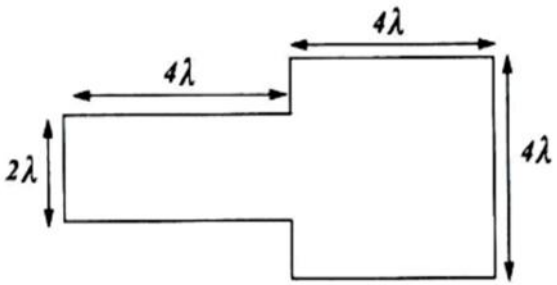
الف مقاومت ورقه ای R_{Sheet} باشد، میتوان دریافت که مقاومت قطعهٔ **شکل 10-6 ب** با **شکل 10-6 الف** یکسان است چرا که طول و پهنا هر دو، دوبرابر شده اند.



شکل 10-6 الف) یک قطعهٔ دلخواه با ابعاد معین و مقاومت ورقه ای R_{Sheet}

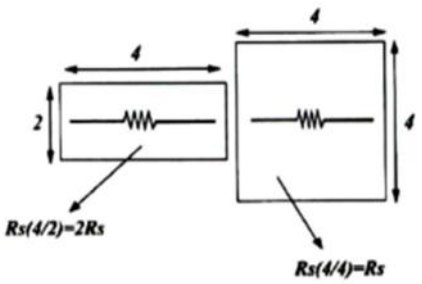
ب) قطعهٔ "الف" که دارای ابعاد بزرگتری است

مثال: مقاومت فلزی شکل 11-6 را بر حسب R_{Sheet} نمایید.



شکل 11-6 یک قطعهٔ فلزی دلخواه

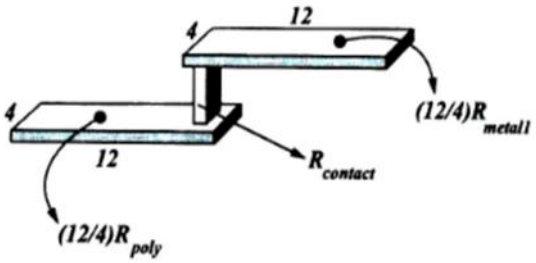
میتوان شکل فوق را بدو قسمت، مطابق آنچه در **شکل 12-6** دیده می شود تقسیم نمود.



شکل 12-6 تقسیم قطعه فلزی شکل 11-6 به دو جزء

مقاومت قسمت سمت چپ معادل با $\frac{4}{2}R_{Sheet}$ و مقاومت قطعه سمت راست $\frac{4}{4}\times R_{Sheet}$ است که از سری کردن این دو، مقاومت کل $3R_{Sheet}$ خواهد شد.

مثال: مقاومت ترکیبی پلی / فلز در **شکل 13-6** چیست ؟



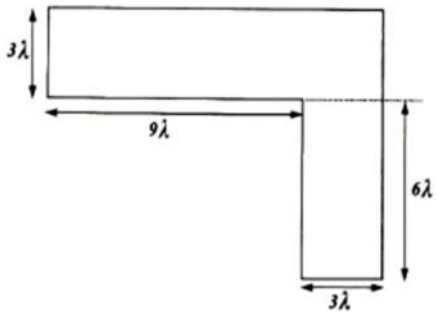
شکل 13-6 نمایش یک قطعه پلی به فلز

در این حالت میتوان مطابق با آنچه دیدیم مقاومت کل را بشکل $\frac{12}{4}\times R_{Sheet}^{Poly}$ سری شده با مقاومت $R_{Sheet}^{Contact}$ و سپس سری با مقاومت ورقه ای $\frac{12}{4}R_{Sheet}^{Metal}$ بصورت زیر تعیین کرد :

$$R_{Sheet}^{Total}=3R_{Sheet}^{Poly}+R_{Sheet}^{Contact}+3R_{Sheet}^{Metal}$$

6-3-4 مقاومت قطعات غیر مستقیم:

در بعضی موارد و در چینش قطعات روی سطح آی سی، معمولاً همیشه مسیرهای مستقیم وجود ندارند و در بعضی موارد یک مسیر دارای قطعات سیمی عمود بر هم است. مثلاً فرض کنید بخواهیم مقاومت قطعه ترسیم شده در **شکل 14-6** را تعیین کنیم اگر R_{Sheet} معلوم باشد.



شکل 14-6 مسیر غیرمستقیم یک سیم

طبیعی است که عبور جریان در قطع $3\lambda\times9\lambda$، سپس چرخش آن از درون مربع جانبی $3\lambda\times3\lambda$ و ورود آن به مقطع $6\lambda\times3\lambda$ میتواند پیشنهاد تجزیهٔ شکل را به سه ناحیه ایجاد کند. اما ناحیهٔ مربعی $3\lambda\times3\lambda$ که خود دارای مقاومت ورقه ای R_{Sheet} است (ناحیهٔ مربع شکل)، نمی تواند کل مقاومت ورقه ای R_{Sheet} را نشان دهد چرا که این مقاومت نظیر به مسیر عبوری جریان بشکل عمودی است. در این حالت معمولاً یک تقریب قابل قبول چنین است که:

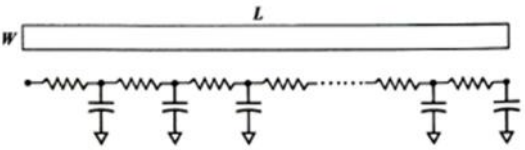
« هر گوشه را معادل نصف یک مربع اختیار کنیم»

با این توصیف می توان مقاومت ورقه ای کل را نظیر به سه مقاومت ورقه ای معادل با قطعهٔ $3\lambda \times 9\lambda$ ($\frac{9}{3} \times R_{Sheet}$) مقاومت ورقه ای گوشه ($\frac{1}{2} \times R_{Sheet}$) و مقاومت قطعهٔ $3\lambda \times 6\lambda$ ($\frac{6}{3} \times R_{sheet}$) یعنی کلاً (3+0.5+2) R_{Sheet} در نظر گرفت.

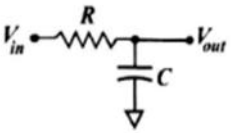
6-4 تخمین تأخیر اتصالات میانی

میتوان با توجه به مدلسازی سیم با یک خط انتقال، مدل تأخیری آنرا بدست آورد. مدل مداری یک خط انتقال میتواند از ترکیب مقاومتها و خازنهایی باشد که برای طول معینی می توانند مطابق **شکل 15-6** بیان شوند.

اگر زمان عبور در طول این خط اتصال میانی از زمانهای افت و خیز کمتر باشد (چیزی که معمولاً در مدارات رخ می دهند) تقریب ساده شدهٔ خط انتقالی برای یک خط اتصال میانی بصورت شبکهٔ فشردهٔ نشان داده شده در **شکل 16-6**، قابل استفاده خواهد بود.



شکل 15-6 مدل خط انتقالی یک سیم جهت تعیین تأخیر در آن



شکل 16-6 مدل فشردهٔ *RC* برای یک خط اتصال میانی

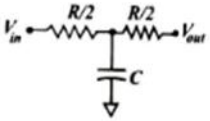
به کمک این مدل میتوان تأخیر شبکه را نیز بدست آورد. بدین معنی که فرض کنید در ابتدا خازن موجود در **شکل 16-6** تخلیه بوده و در $t=0$ سیگنال ورودی V_{in}، یک پاس پلهٔ بالا رونده باشد. ولتاژ خروجی این مدار برابر است با :

$$V_{out} = V_{DD}(1 - e^{-t/RC}) \qquad (7)$$

از تعریف t_{PLH}، که ولتاژ خروجی بالارونده در آن به نقطهٔ 50٪ می رسد:

$$t_{PLH} \simeq 0.69RC \qquad (8)$$

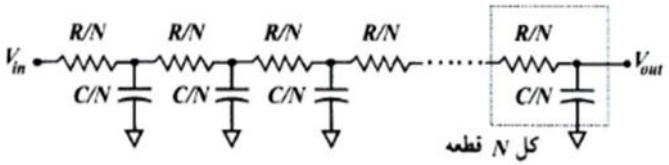
در عمل این مدل، مدل مناسبی نیست و نمی تواند بعنوان مدل پاسخگوی رفتار عملی بکار گرفته شود. لذا مدل دیگری مثل **شکل 17-6** استفاده میشود که در آن مقاومت کل خط به دو بخش تقسیم می شود و آن را مدل T می نامیم:



شکل 17-6 مدل فشردهٔ T برای یک خط اتصال میانی

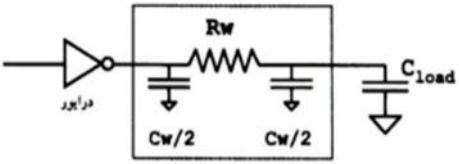
تعمیم این مدل براساس تکرار شبکهٔ T و با توجه به این نکته که هر نقطه حاوی یک مدار T باشد، می تواند بصورت **شکل 18-6**، موسوم به مدل نردبانی ارائه گردد.

بدیهی است دقت مدل با کاربرد و تعداد قطعهٔ بیشتر، یا N بالاتر، افزایش یافته لیکن در قبال آن آنالیز پیچیده تر خواهد شد.



شکل 6-18 مدل نردبانی شامل N قطعهٔ مشابه از خط اتصال

مدل دیگری که میتوان در عمل بکار گرفت و از پاسخ آن تا حدودی اظهار رضایت نمود، مدل Π است که در **شکل 6-19** دیده می شود.



شکل 6-19 مدل Π که در محاسبهٔ تأخیر اتصالات قابل استفاده است

میتوان نشان داد که میزان تأخیر در این مدل از رابطهٔ زیر بدست می آید:

$$\text{تأخیر} = R_{Driver}\frac{C_W}{2} + (R_{Driver} + R_W) \times (\frac{C_W}{2} + C_{load}) \qquad (9)$$

بهرحال در هر یک از مدلهای مورد استفاده برای یک اتصال میانی، یکسری نکات کلی وجود دارند که میتوان آنها به شکل زیر دسته بندی کرد:

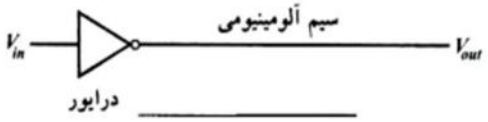
1- تأخیرها با RC (حاصلضرب مقاومت در خازن) متناسب هستند.

2- *برای سیمهای اتصال هیچگاه از قطعات نفوذی استفاده نمی شود و این نوع از عمل تنها برای اتصالات با طولهای بسیار کوتاه قابل قبول است چرا که استفاده از قطعات نفوذی تأخیر را شدیداً در طولهای بالا افزایش خواهد داد.*

3- *برای اتصالات کوتاه قطعات پلی تنها کاندید مناسب هستند.*

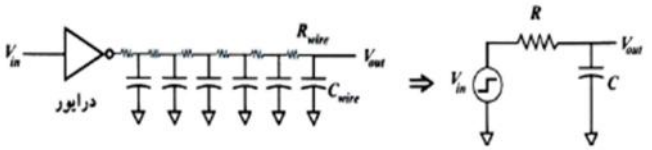
4- *افزایش طول سیم به معنی تأخیر زیادتر در آن است که میتوان این تأخیر را تقریباً با* L^2 *متناسب دانست.*

مثال: معکوس کننده ای مطابق **شکل 6-20** به قطعه سیم آلومینیومی متصل شده است. برای سیم فرض کنید که ظرفیت کل آن 13.4pf، $R_{Sheet} = 0.08\Omega/\square$ طول کل 10 سانتیمتر و پهنای 1μm مفروض است. اگر مقاومت راه انداز (درایور) 10kΩ باشد، $T_{50\%}$ و $t_{90\%}$ چقدر است ؟



شکل 6-20 اتصال یک راه انداز به یک سیم آلومینیومی

اگر فرض کنیم که بتوان مدل فشرده ایرا مطابق **شکل 6-21** برای این اتصال استفاده نمود:



شکل 6-21 مدل فشردهٔ RC جهت محاسبهٔ تأخیر شکل 6-20

در این صورت مقاومت سیم بشکل زیر است :

$$R = (R_{Sheet} \times \frac{L}{W}) + R_{Driver} = 0.08 \times \frac{10^5}{1} + 10 = 18k\Omega$$

با توجه به رابطهٔ (8)، زمان $T_{50\%}$ برابر است با :

$$\tau_{PLH} \simeq 0.69RC \simeq 166 \text{ nsec}$$

و زمان رسیدن به $t_{90\%}$ نیز :

$$T_{90\%} = \text{Ln}(10)\, RC \simeq 555 \text{ nsec}$$

خواهد بود.

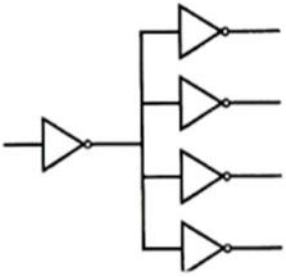
مثال: فرض کنید معکوس کننده ای با مقاومت موثر 3kΩ یک بار F04ی را مطابق **شکل 6-22** با ظرفیت 25fF راه اندازی می کند. بار F04 یک بار حاصل از 4 معکوس کننده است که با خود راه انداز مشابه اند (Fun-out of four).

الف) تأخیر کلی چقدر است ؟

ب) فرض کنید یک فلز M1 از جنس آلومینیوم را به خروجی این معکوس کننده متصل کرده ایم. این فلز دارای مقاومت ورقه ای □/Ω 0.08 ، طول 1mm و پهنای 0.25μm است. مشروط بر آنکه ظرفیت خازنِ سیم در واحد طول 160fF/mm باشد، C_W و R_W را در یک مدل Π تعیین کنید اگر مقاومت Via برای M1 با ناحیه نفوذ 11 اهم باشد.

27

ج) برای مجموعه حاصل از ترکیب «ب» تأخیر کل چقدر است ؟



شکل 22-6 معکوس کننده ایکه راه اندازی یک بار F04 را انجام می دهد

الف) تأخیر کل در این مرحله از مقاومت خروجی و همچنین ظرفیت کل، بصورت زیر بدست می آید:

$$\text{تأخیر کل} = R \times C = 3k\Omega \times 25fF = 75\ psec$$

ب) R_W از ترکیب دو مقاومت بدست می آید؛ مقاومت تطیر به Via ها و مقاومت سیم. مقاومت Via در ابتدا و انتهای سیم اتصال موجود است و برای هر یک 11 اهم، لذا کل مقاومت Via برابر با 22 اهم بدست می آید.

مقاومت سیم نیز برابر است با:

$$R_{سیم}\ \Omega/\square = R_{Sheet} \times \frac{L}{W} = 0.08 \times \frac{10^3}{0.25} = 320\Omega$$

و لذا مقاومت R_W برابر است با:

$$R = 22 + 320 = 342\ \Omega$$

28

و بالاخره ظرفیت سیم یعنی C_W برای سیم به طول 1mm برابر است با:

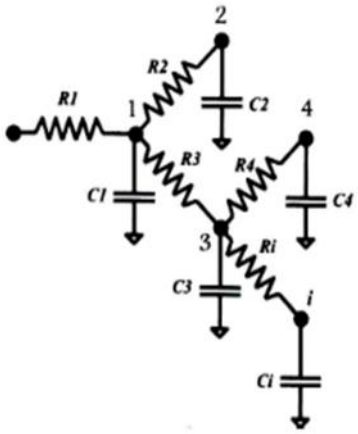
$$C_W = 160\frac{fF}{mm} \times 1mm = 160\,fF$$

ج) تأخیر حاصل از ورود سیم به اتصال میان دو معکوس کنندهٔ چپ و مجموعهٔ چهار معکوس کنندهٔ راست با توجه به فرمول (9) برابر است با:

$$\text{تأخیر کل} = 3k\Omega \times \frac{160}{2}fF + (3k\Omega + 342\Omega) \times (\frac{160}{2}fF + 25fF) = 591\text{sec}$$

6-4-1 تأخیر المور (Elmore Delay)

مدل دیگری که میتوان در محاسبهٔ یک خط اتصال میانی از آن استفاده نمود می توانید به **شکل 23-6** نمایش داده شود.



شکل 23-6 شبکه درختی RC با چندین شاخه

در این شبکهٔ درختی چند ویژگی به شرح زیر موجود است:

1. *هیچ حلقهٔ ترانزیستوری در این مدار وجود ندارد،*
2. *همه خازنها در این مدار درختی بین یک گره و زمین واقعند،*
3. *یک گرهٔ ورودی برای کل مدار موجود است،*
4. *از گرهٔ ورودی بهرگرهٔ دیگر مدار تنها یک مسیر منحصر بفرد وجود دارد.*

بمنظور تعیین تأخیر کل، لازم است که برای این شبکه درختی تعاریف زیر را انجام دهیم:

الف) P_i یک مسیر منحصر بفرد از گرهٔ ورودی به گرهٔ iام است (i=1,2,3,...,N).

ب) $P_i \cap P_j = P_i$ حاوی بخشی از مسیر قرار گرفته بین ورودی و گرهٔ iام است که برای مسیر بین ورودی و گرهٔ jام، مشترک است.

ج) با فرض اینکه سیگنال ورودی یک پالس پله در $t=0$ باشد، تأخیر در گره iام این درخت RC که به **تأخیر المور** معروف است برابر خواهد بود با:

$$\tau_{Di} = \sum_{j=1}^{N} C_j \sum_{K \in P_j} R_K = \sum_{k=1}^{N} C_k . R_{ik} \qquad (10)$$

مثلاً در گرهٔ iام از مدار درختی **شکل 23-6**، تأخیر المور برابر است با:

$$\tau_{Di} = \sum_{k=1}^{5} C_k R_{ik} = C_1 R_{i1} + C_2 R_{i2} + C_3 R_{i3} + C_4 R_{i4} + C_5 R_{i5}$$

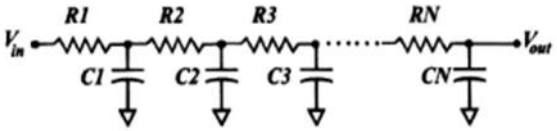
$$R_{ik} = \sum R_k , \qquad \forall R_k \left[path(in \to i) \cap path(in \to k) \right]$$

$$R_{i1} = (R_1 + R_2 + R_i) \cap R_1 = R_1$$
$$R_{i2} = (R_1 + R_2 + R_i) \cap (R_1 + R_2) = R_1$$
$$R_{i3} = (R_1 + R_2 + R_i) \cap (R_1 + R_2) = (R_1 + R_2)$$
$$R_{i4} = (R_1 + R_2 + R_i) \cap (R_1 + R_2 + R_4) = (R_1 + R_2)$$
$$R_{i5} = (R_1 + R_2 + R_i) \cap (R_1 + R_2 + R_i) = (R_1 + R_2 + R_i)$$

و لذا:

$$\tau_{DN} = R_1C_1 + R_1C_2 + R_1C_3 + R_2C_3 + R_1C_4 + R_2C_4 + (R_1 + R_2 + R_i)C_i$$

توجه کنید که اگر در حالت خاص برای مقاومتهای R_j با میزان j زوج، مقدار $R_j \to \infty$، آنگاه همان شبکهٔ نردبانی بصورت **شکل 24-6** بدست می آید. برای شبکهٔ نردبانی می توان فرض کرد که کل شبکه، حاوی یک شاخهٔ واحد است.



شکل 24-6 شبکهٔ نردبانی RC شامل یک شاخه

برای این شبکه تأخیر اِلمور از ورودی به خروجی یعنی تا گرهٔ Nام برابر است با:

$$\tau_{DN} = \sum_{j=1}^{N} C_j \sum_{k=1}^{j} R_k \qquad (11)$$

و برای حالتی که همهٔ مقاومتها $\frac{R}{N}$ و همهٔ خازنها $\frac{C}{N}$ باشند (شبیه به **شکل 18-6**) تأخیر اِلمور از ورودی به خروجی برابر است با :

$$\tau_{DN} = \sum_{j=1}^{N}\left(\frac{C}{N}\right)\sum_{k=1}^{j}\left(\frac{R}{N}\right) = \left(\frac{C}{N}\right)\left(\frac{R}{N}\right)\sum_{j=1}^{N}\sum_{k=1}^{j}1 = \left(\frac{C}{N}\right)\left(\frac{R}{N}\right)\frac{N(N+1)}{2} = RC\frac{N+1}{2N} \qquad (12)$$

که برای N بسیار بزرگ، $\frac{RC}{2}$ است. این تأخیر با آنچه که در رابطهٔ (8) بدست آوردیم قابل مقایسه است و دیده می شود که کمتر از آن می باشد. در واقع اگر طول خط اتصال میانی به قدر کافی بزرگ بوده و زمانهای خیز و افت

موجهای سیگنال با زمان عبور در طول خط، قابل مقایسه باشد آنگاه خط اتصال میانی را باید به شکل یک خط انتقال مدل کرد. برای سیمی به مقاومت در واحد طول $r=\frac{R}{L}$ و خازن در واحد طول $c=\frac{C}{L}$ با توجه به رابطهٔ (12) تأخیری به شکل زیر را داریم:

$$\tau=\frac{rcL^2}{2} \qquad (13)$$

قبل از خاتمهٔ بحث در ارتباط با تأخیر، میتوان به نکات زیر اشاره نمود:

1- تأخیر اصولاً با ظرفیت خازن بار نسبت مستقیم دارد و لذا در مدارات سریعتر لازم است خازن موجود در بار گیت را به حداقل رسانید.

2- تأخیر بصورت معکوس با ولتاژ منبع تغذیه متناسب است، بدین معنی که افزایش ولتاژ تغذیه سبب کاهش تأخیر می گردد.

3- تأخیر با ضریب K در ترانزیستور عکس دارد، بدین معنی که افزایش پهنا یا کاهش طول ترانزیستور موجب کاهش تأخیر آن خواهند شد.

مثال: یک سیم یکنواخت آلومینومی به طول 1000μm و پهنای 4μm موجود است. مقدار مقاومت ورقه ای آن 0.08Ω/□ است. ظرفیت خازن سطحی بین این لایه از آلومینیوم و زیر لایه، $30\frac{aF}{\mu m^2}$ و ظرفیت خازن جانبی آن در تکنولوژی 0.18μm نیز $30\frac{aF}{\mu m}$ می باشد.

الف) مقاومت کل سیم چقدر است؟

ب) ظرفیت کل مربوط به این سیم چقدر است؟

ج) تأخیر انتشار در مدل شبکهٔ RC چه میزان است ؟

د) فرض کنید این سیم را با شبکهٔ 10 قطعه ای توزیع شدهٔ RC مدل نمائیم. برای این حالت تأخیر چقدر خواهد شد ؟

الف) $R=0.08\Omega/\square \times (1000\mu m/4\mu m)=20\Omega$

ب)
$$C_{pp}=30\frac{aF}{\mu m^2}\times 1000\mu m\times 4\mu m=120\,fF$$

$$C_{fring}=30\frac{aF}{\mu m}\times 2\times(1000+4)\mu m=60.24\,fF$$

$$\Rightarrow \quad C_{Total}=C_{pp}+C_{Fring}=180.24\,fF$$

ج)
$$\tau_P=\tau_{PHL}=\tau_{PLH}=0.69RC=2.49P\sec$$

د)
$$\tau=RC\frac{N+1}{2N}=RC(0.55)=1.98p\sec$$

مثال: فرض کنید مطابق **شکل 25-6** اتصالی از جنس آلومینیوم از دو قطعه، هریک بطول 500µm تشکیل شده است، بطوریکه پهنای یکی 2µm و دیگر 6µm باشد. مشخصات فلز شبیه به مثال قبل است.

الف) مقاومت کل را تعیین کنید.

ب) ظرفیت کل را بدست آورید.

ج) تأخیر انتشار شبکهٔ RC را با استفاده از مدل فشرده بدست آورید.

الف)
$$R_A=0.08\times\frac{500}{2}=20$$

$$R_B = 0.08 \times \frac{500}{6} = 6.67 \Rightarrow R_{Total} = 26.67 = R_A + R_B$$

$$C_{PPA} = 30\frac{aF}{\mu m^2} \times (500 \times 2) = 30\,fF \qquad \text{(ب)}$$

$$C_{PPB} = 30\frac{aF}{\mu m^2} \times (500 \times 6) = 90\,fF$$

$$C_{fringe_A} = 30 \times ((2 \times 500) + 2) = 30.06\,fF$$

$$C_{fringe_B} = 30 \times ((2 \times 500) + 6 + 4) = 30.3\,fF$$

$$C_{Total} = 210.36\,fF$$

$$\tau = 0.69RC \cong 3.87\,p\,\text{sec}. \qquad \text{(ج}$$

6-5 مصرف توان در مدارهای CMOS

مدارهای **CMOS** همانطوریکه در فصول قبل دیده بودیم عموماً مصرف توان کمی دارند. اما همین مصرف کم می تواند در دو حالت استاتیک و دینامیک بیان شود. در حالت استاتیک توان مصرفی وابسته به جریان نشتی ترانزیستورهاست چرا که تنها عوامل کشندهٔ جریان از منبع تغذیه، ترانزیستورهای نوع n و p (که دوگان یکدیگر نیز می باشند) بوده و میزان جریان نشتی آنها با افزایش ابعاد ترانزیستور، زیاد می شود. لذا می توان تقریبی از توان استاتیک را بصورت زیر نوشت:

$$P_{Static} = \sum_{i=1}^{n} \text{ولتاژ تغذیه} \times \text{(جریان نشتی ترانزیستور i)} \qquad (14)$$

که در آن n تعداد ترانزیستورهای مدار **CMOS** است.

در حالت دینامیک، توان مصرفی متناظر با توانی است که در اثر تغییر حالت ورودی، در خروجی ایجاد می شود. این توان خود نظیر به شارژ خازنهای بار بوده و تخمینی از آن بشکل زیر است:

$$P_{Dynamic} = V_{DD}^2 \times C_{load} \times f \qquad (15)$$

در این رابطه، C_{load} خازن کل حاوی خازنهای ترانزیستورها و سیم هاست و f تعداد دفعات سوئیچینگ گیت در واحد زمان است. طبیعی است که اگر به ازاء هر پریودِ کلاک، مدار تغییر حالت دهد، f همان فرکانس کلاک خواهد بود.

مثال: توان مصرفی دینامیک یا پویا را در یک بافر با کلاک 50MHZ که خازن بار 100fFی را روی آی سی راه اندازی می کند تعیین کرده اگر V_{DD}=3.3 ولت باشد.

$$P_{Dynamic} = C_{load} \times V_{DD}^2 \times f$$

$$= 100 \times 10^{-15} \times (3.3)^2 \times 50 \times 10^6$$

$$\simeq 54.45\ \mu\text{Watt}.$$

6-5-1 توان مصرفی جریان اتصال کوتاه:

در عمل برای گیتهای **CMOS** میتوان بدلیل پله ای نبودن پالسهای درون مدار و وجود زمانهای خیز و افت غیر صفر، توان مصرفی دیگری را موسوم به ***توان مصرفی جریان اتصال کوتاه*** محاسبه نمود. این توان، با توجه به نام آن، توانی است که در هنگام تغییر وضعیت پالس نظیر به روشن بودن ترانزیستورهای n و p بشکل همزمان تولید شده و صرفاً در شرایط سوئیچینگ وجود دارد. البته در عمل، این توان مقدار بسیار کوچکی دارد و در بیشتر موارد قابل صرف نظر کردن است. مشروط برآنکه I_{peak} جریان اشباع شبکه های n و p بوده (که خود با ابعاد ترانزیستور

ارتباط مستقیم دارد) و t_{sc} مدت زمانی باشد که تغییر حالت در شبکه رخ داده یا هر دو شبکه روشن هستند، توان مصرفی اتصال کوتاه برابر است با:

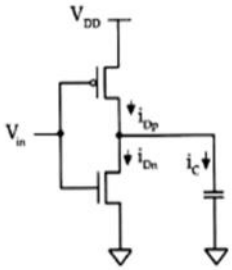
$$P_{sc} = V_{DD} \times I_{peak} \times t_{sc} \times f \qquad (16)$$

که برای یک معکوس کنندهٔ **CMOS** میتوان t_{sc} را بشکل زیر تعریف کرد:

$$t_{sc} = \frac{V_{DD} - 2V_{Tn}}{V_{DD}} \left(\frac{t_r + t_f}{1.6} \right) \qquad (17)$$

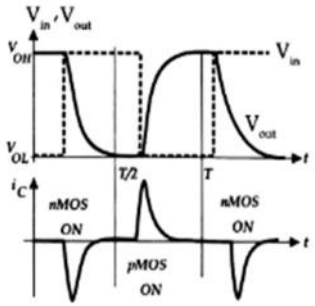
6-5-2 توان مصرفی سوئیچینگ یک معکوس کنندهٔ CMOS:

رابطهٔ (15) که بیانگر توان دینامیک است را میتوان برای یک معکوس کنندهٔ **CMOS** اثبات نمود. بدین منظور یک معکوس کننده را به شکل زیر در نظر بگیرید:



شکل 6-25 معکوس کنندهٔ CMOS در تعیین توان مصرفی پویا

فرض کنید که برای ولتاژ ورودی، t_r و t_f قابل اغماض باشد. در **شکل 6-26** شکل موج ورودی، خروجی و جریان خازن دیده می شود.



شکل 26-6 شکل موجهای ورودی، خروجی و جریان خازن

در طول فرآیند سوئیچینگ CMOS

با تغییر وضعیت ولتاژ ورودی از "0" به "1" ترانزیستور **pMOS** خاموش شده و **nMOS** شروع به هدایت کرده تا C_{load} از طریق آن دشارژ شود. در این حالت جریان خازن همان جریان لحظه ای مربوط به درین **nMOS** نیز می باشد. در حالتی که ولتاژ ورودی از "1" به "0" تغییر وضعیت دهد، ترانزیستور **nMOS** خاموش و **pMOS** هدایت را آغاز می نماید بطوریکه C_{load} از طریق آن شارژ می گردد و لذا جریان خازن و جریان لحظه ای درین **pMOS** یکسان خواهند بود.

مشروط بر پریودیک بودن سیگنال ورودی و خروجی متوسط توان تلف شده در یک پریود برابر است با:

$$P_{avg} = \frac{1}{T}\int_0^T v(t)i(t)dt \qquad (18)$$

و با توجه به هدایت هریک از ترانزیستورهای p و n در طول نصف پریود، این توان برابر است با:

$$P_{avg} = \frac{1}{T}\left\{\int_0^{T/2} v_{out}(t)i_{Dn}(t)dt + \int_{T/2}^{T} [V_{DD} - v_{out}(t)]i_{Dp}(t)dt\right\} \qquad (19)$$

و از طرفی جریان درین هریک از ترانزیستورها برابر است با:

$$i_{Dn}(t) = -C_{load}\frac{dv_{out}}{dt} \qquad (20)$$

$$i_{Dp}(t) = C_{load}\frac{dv_{out}}{dt} \qquad (21)$$

با جایگذاری روابط (20) و (21) در رابطهٔ (19) و استفاده از روابط:

$$i_{Dn}(t)dt = -C_{load}dv_{out} \quad \& \quad i_{Dp}(t)dt = C_{load}dv_{out}$$

و سپس گرفتن انتگرال، میتوان توان متوسط مصرفی در یک پریود را به شکل زیر بدست آورد:

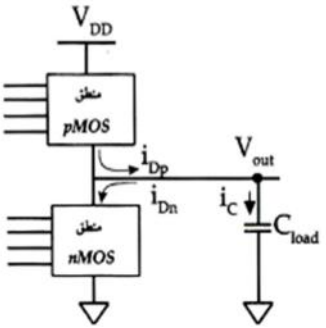
$$P_{ave} = V_{DD}^2 C_{load} f \qquad (22)$$

که همان رابطه (15) است.

تذکر 1 : با توجه به رابطهٔ (22) یا (15) دیده می شود که در یک معکوس کنندهٔ **CMOS** افزایش فرکانس معادل با افزایش توان مصرفی گیت است و لذا در شرایط سوئیچینگ با سرعت بالا دیگر نمی توان یک معکوس کنندهٔ **CMOS** را گیت با اتلاف کم در نظر گرفت.

تذکر 2 : توان مصرفی یک معکوس کنندهٔ **CMOS** مستقل از مشخصات و اندازه های ترانزیستورهاست لذا زمانهای تأخیر سوئیچینگ در مقدار توان مصرفی، طی فرآیند سوئیچینگ، تأثیر نداشته چرا که توان دینامیک تنها برای شارژ و دشارژ کردن خازن خروجی از V_{OL} تا V_{OH} یا عکس آن مصرف میگردد.

تذکر 3: بدلیل آنکه توان دینامیک محاسبه شده در رابطهٔ (22) مستقل از ویژگیهای خود گیت بوده و تنها جهت شارژ و دشارژ خازنِ بار ایجاد می گردد، رابطهٔ (22) بمنظور تخمینی از توان دینامیک، قابل استفاده در تمامی مدارهای **CMOS** دلخواه است. با یک توصیف کلی از مدارِ **CMOS** دلخواه بصورت آنچه در **شکل 6-27** دیده می شود، می توان علت این نکته دریافت.

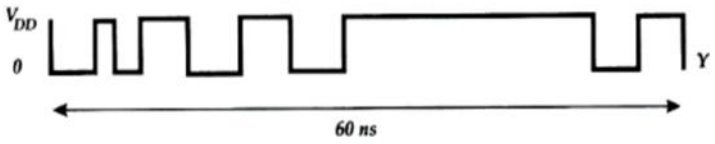


شکل 6-27 طرح یک مدار منطقی CMOS دلخواه در بیان توان مصرفی

تذکر 4: فرکانس f در رابطهٔ (22) مشروط بر آنکه در هر پریود یک تغییر حالت از "0" به "1" و بالعکس داشته باشیم، همان فرکانس کلاک است. اما در حالت کلی ممکن است چنین وضعی برقرار نباشد و لذا بسته به نوع گیت و تعداد دفعات تغییر در ورودی که تغییر خروجی را به دنبال داشته باشد، لازم است این فرکانس تصحیح شود. این عمل توسط ضرب آن در فاکتوری بنام ***فعالیت سوئیچینگ*** صورت میگیرد. مثلاً در یک گیت **NAND** در سه حالت، خروجی "0"، و در یک حالت "1" است. لذا باید در طول عملکرد مدار منطقیِ **CMOS** از یکسری ضرائب و رفتارهای آماری استفاده نمود تا فاکتور فعالیت سوئچینگ تعیین

گردد. بدیهی است این فاکتور در هر مدار، تابع آن مدار است وحتی اگر همهٔ ورودیها با فرکانس کلاک عوض شوند، لزوماً خروجی با همان فرکانس کلاک عوض نخواهد شد.

مثال: فرض کنید رفتار سوئیچینگ خروجی یک گیت بصورت **شکل 6-28** باشد. میانگین توان مصرفی دینامیک را برای تناوب تعیین شده بدست آورید اگر $C = 108fF$ و $V_{DD} = 2.5V$ باشد. از مولفه های توان مربوط به جریان اتصال کوتاه و نشتی، همچنین از ظرفیتهای خازن هم پوشانی و پیوندی صرف نظر کنید.



شکل 6-28 شکل موج خروجی یک مدار دلخواه CMOS

با توجه به شکل فرکانس سوئیچینگ برابر است با :

$$f = \frac{1}{(60.5)} \cong 83.3MHZ$$

$$P = CV_{DD}^2 f \cong 56.3\mu W$$

6-6 حاصلضرب توان – تأخیر (Power-Delay-Product, PDP)

یکی از معیارهای انتخاب یک گیت، که خود حاوی تأخیر آن گیت و توان مصرفی است، فاکتوری است بنام PDP که به نوعی متوسط انرژی لازم برای گیت نیز می باشد. این فاکتور در اصل بیانی است از متوسط انرژی مصرفی گیت وقتی گیت از "0" به "1" یا بالعکس سوئیچ میکند. صرف نظر از توان نشتی و اتصال کوتاه میتوان این فاکتور را بصورت زیر در نظر گرفت:

$$PDP = C_{load} V_{DD}^2 \qquad (23)$$

این انرژی بصورت گرما در گیت تلف شده و در عمل حداقل سازی آن می تواند بعنوان هدف طراحی باشد. بعبارت دیگر، در یک طراحی مناسب لازم است که C_{load} یا V_{DD} یا هر دو، در حداقل مقدار ممکن طرح شوند.

در توصیف رابطهٔ (23) معمولاً فرض می شود که از تعریف، میتوان PDP را بشکل زیر نوشت:

$$PDP = 2P_{ave}^{*}\tau_p \qquad (24)$$

که در آن P_{ave}^{*} متوسط توان مصرفی سوئیچینگ در حداکثر فرکانس عملکرد گیت و نیز τ_p متوسط تأخیر در انتشار است. فاکتور 2 به جهت تعیین توان مصرفی کل در دو وضعیت سوئیچینگ "0" به "1" و بالعکس است. با این بیان می توان رابطهٔ (24) را بشکل زیر نیز نوشت:

$$PDP = 2\left(C_{laod}V_{DD}^2 \underbrace{f_{\max}}_{\frac{1}{\tau_{PHL}+\tau_{PLH}}}\right)\underbrace{\tau_p}_{\frac{\tau_{PHL}+\tau_{PLH}}{2}} = C_{laod}V_{DD}^2 \qquad (25)$$

که همان رابطهٔ (23) است.

6-7 مقیاس بندی

در تکنولوژی **MOS VLSI**، آنچه که عملاً دنبال می شود افزایش ظرفیت تعداد گیتها یا ترانزیستورهای **MOS** موجود درون یک آی سی در ازاء حجم معینی از آن است. این نکته بدین معنی است که میتوان ابعاد و همچنین اتصالات درونی قطعات را تا حد زیادی کوچک و کوچکتر نمود. البته کوچک کردن فاکتورهای فوق نمی تواند بصورت نامتناهی باشد، چرا که محدودیتهای مشخصه ای و فیزیکی ترانزیستورهای با ابعاد کوچکتر از حد معین، رفتار قطعه را عوض خواهد نمود. لذا در عمل، میتوان ترانزیستورها را طوری تنزل ابعاد داد که اولاً مشخصات قابل انتظار آنها تغییر نکرده و ثانیاً تکنولوژی مورد استفاده بتواند چنین قطعه ای را تولید کند. این کاهش سیستماتیک ابعاد کلی قطعات در یک آی سی بر طبق قدرت تکنولوژی مورد استفاده بنام ***مقیاس بندی*** ***(Scaling)*** قطعات تعریف و شناخته می شود. بسته به نوع اثر منحصر به فردی که مقیاس بندی روی مشخصه ترانزیستور (یا مدار) و همچنین محدودیت آن می گذارد، می توان مقیاس بندی را به سه گروه کلی تقسیم نمود:

1- مقیاس بندی کامل یا میدان ثابت (Full or Constant Field Scaling)

2- مقیاس بندی ولتاژ ثابت (Constant Voltage Scaling)

3- مقیاس بندی افقی یا جانبی (Lateral Scaling)

مقیاس بندیِ همهٔ طبقات یک مدار با یک میزان معین، منتج به کاهش مساحت اشغالی و لذا افزایش چگالی آی سی (که منظور همان تراکم قطعات درون آی سی است) می گردد. در توصیف مقیاس بندی، از ضریب ثابتی بنام ***ضریب مقیاس بندی*** (S یا a)، که عددی بزرگتر از 1 نیز می باشد، استفاده می گردد. پس از آن کلیهٔ ابعاد ترانزیستورهای با اندازهٔ بزرگتر به این ضریب تقسیم شده تا مقیاس بندی صورت گیرد.

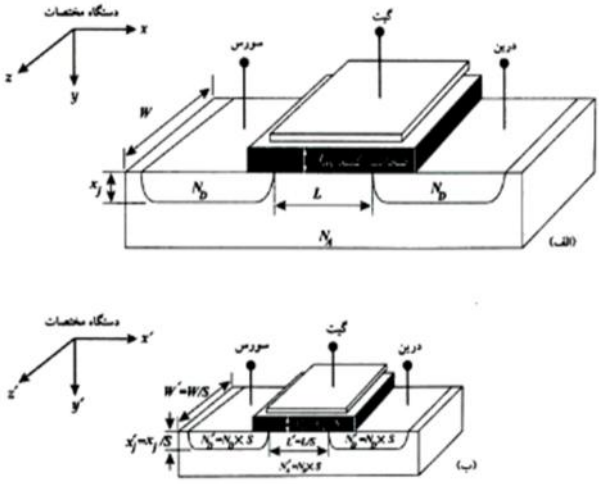
6-7-1 تئوری مقیاس بندی:

میتوان آنچه را که بعنوان مقیاس بندی ذکر شده در **شکل 29-6** در رابطه با ابعاد و غلظت نواحی مختلف مشاهده نمود.

این نوع مقیاس بندی، بنام مقیاس بندیِ سه بعدی همانگرد (Isotropic 3-D Scaling) نیز مشخص می شود که با توجه به ورود محور X در این عمل، میتوان کمیتهای مقیاس بندی شده را بشکل زیر نوشت:

$$L' \cong \frac{L}{S} \quad , \quad W' \cong \frac{W}{S} \quad , \quad t'_{ox} \cong \frac{t_{ox}}{S} \quad , \quad x'_j \cong \frac{x_j}{S} \qquad (26)$$

توجه کنید که در این روابط اولاً $S>1$ است و ثانیاً مسافتها با فاکتور S^2 کوچک می شوند، بعبارت دیگر ابعاد سطح بشکل $\frac{1}{S^2}$ تنزل خواهد یافت. **جدول 6-7** خلاصه ای از این مقیاس بندی را نشان می دهد.



شکل 6-29 مقیاس بندی یک ترانزیستور MOS با فاکتور S

الف) ترانزیستور اصلی، ب) ترانزیستور مقیاس بندی شده

جدول 6-7 مقیاس بندی یک ترانزیستور MOS

کمیت	پیش از مقیاس بندی	پس از مقیاس بندی
طول کانال	L	$L'=L/S$
پهنای کانال	W	$W'=W/S$
ضخامت اکسید گیت	t_{ox}	$t_{ox}' = t_{ox}/S$
عمق نفوذ	x_j	$x_j' = x_j/S$
ولتاژ منبع تغذیه	V_{DD}	$V_{DD}' = V_{DD}/S$
ولتاژ آستانه	V_{Th}	$V_{Th}' = V_{Th}/S$
چگالیهای آلایش	N_A و N_D	$N_A' = SN_A$ & $N_D' = SN_D$

تذکر: توجه کنید که کلیهٔ فاکتورهای ابعادی و ولتاژها در ضریب 1/S ضرب شده اند در حالیکه غلظت ناخالصی یا دوپینگ نواحی مختلف در ضریب S ضرب میشود.

6-7-2 تأثیرات بر معادلات ترانزیستور:

در بررسی معادلات، لازم است از ابتدا اثر تغییرات غلظت را بررسی نمود. با توجه به **شکل 29-6**، دیده می شود که مقیاس بندی، لزوماً به منزلهٔ تغییر در میزان ناخالصی نواحی مختلف، بگونه ای است که بتواند جبران کاهش ابعاد ترانزیستورها را به دنبال داشته باشد. معادلهٔ اصلی که در آن میتوان اثر چنین تغییراتی را دخیل نمود، معادلهٔ پواسن است. اگر در فضای سه بعدی فرض کنیم که:

$$x' \equiv \frac{x}{S} \quad , \quad y' \equiv \frac{y}{S} \quad , \quad z' \equiv \frac{z}{S} \qquad (27)$$

آنگاه معادلهٔ پواسن به شکل زیر است:

$$\frac{1}{S^2}\nabla'^2 \varphi(x', y', z') = -\frac{\rho(x', y', z')}{\varepsilon} \qquad (28)$$

که در آن ρ و φ بصورت مقیاس بندی شده ارائه می شوند اما ε بدلیل خصلتِ خودِ نیمه هادی، تغییر نمی کند.

بعلاوه ∇' بصورت زیر تعریف می گردد:

$$\nabla' \equiv \frac{\partial}{\partial x'}\hat{a}_x + \frac{\partial}{\partial y'}\hat{a}_y + \frac{\partial}{\partial z'}\hat{a}_z \qquad (29)$$

نهایتاً با فرض:

$$\rho'(x', y', z') = S^2 \rho(x', y', z')$$

میتوان معادلهٔ جدید پواسن را بشکل زیر نوشت:

$$\nabla'^2 \varphi(x', y', z') = -\frac{\rho'(x', y', z')}{\varepsilon} \qquad (30)$$

اکنون می توان هر یک از گروههای مقیاس بندی را به شکل مجزا بررسی نمود.

الف) مقیاس بندی کامل یا میدان ثابت (مرتبه اول) :

در این نوع مقیاس بندی، معمولاً سعی برآن است که اندازهٔ میدان های الکتریکی درونی یک ترانزیستور همچنان با مقیاس بندیِ اعمال شده، ثابت باقی بماند. براین اساس، میتوان اثر مقیاس بندیِ کامل را بر روی مشخصه های ولتاژ – جریان مطالعه نمود. در مرحلهٔ اول، ظرفیت خازن اکسید گیت در واحد سطح بصورت زیر خواهد شد.

$$C'_{ox} = \frac{\varepsilon_{ox}}{t'_{ox}} = S\frac{\varepsilon_{ox}}{t_{ox}} = SC_{ox} \qquad (31)$$

توجه کنید که نسبت ظاهری W/L، با W'/L' یکی است و لذا فاکتور K_n با ضریب S مقیاس بندی می شود. با توجه به تقسیم شدن ولتاژها به فاکتور S جریان درین برابر است با:

$$I'_D(linear) = \frac{K'}{2}[2(V'_{GS} - V'_{Th})V'_{DS} - V'^2_{DS}]$$

$$= \frac{SK_n}{2}\cdot\frac{1}{S^2}[2(V_{GS} - V_{Th})V_{DS} - V_{DS}^2] = \frac{I_D(linear)}{S} \qquad (32)$$

و همچنین جریان درین در ناحیهٔ اشباع نیز برابر است با:

$$I'_D(Saturation) = \frac{K'_n}{2}(V'_{GS} - V'_{Th})^2 = \frac{SK_n}{2}\frac{1}{S^2}(V_{GS} - V_{Th})^2 = \frac{I_D(Saturation)}{S} \qquad (33)$$

اکنون از روابط (32) و (33) می توان دریافت که جریان یک **MOS** نیز در هنگام مقیاس بندی رفتاری شبیه به ولتاژ داشته، یعنی بر S تقسیم می گردد. با این توصیف در رابطه با توان مصرفی می توان فاکتور مقیاس بندی را $\frac{1}{S^2}$ در نظر گرفت. بعبارت دیگر:

$$P' = I'_D V'_{DS} = \frac{I_D}{S}\cdot\frac{V_{DS}}{S} = \frac{1}{S^2}P \qquad (34)$$

تذکر 1: با توجه به نتیجهٔ حاصل از رابطهٔ (34)، دیده می شود که مقیاس بندی کامل باعث کاهش توان مصرفی با فاکتور $\frac{1}{S^2}$ خواهد شد. اما، همزمان اگر چگالی توان مصرفی در واحد سطح مد نظر باشد، میتوان دریافت که تغییری در این پارامتر بوجود نمی آید چرا که سطح نیز با همین ضریب تنزل خواهد داشت.

تذکر 2: با توجه به اینکه ظرفیت خازنِ گیت، $C_g = WLC_{ox}$ است و نظر به آنچه که در مورد تأخیر آی سی و نقش خازن گیت دیده بودیم، پس خازن گیت با فاکتور $\frac{1}{S}$ تنزل خواهد یافت. بطوریکه انتظار می رود که ترانزیستورِ مقیاس بندی شده، دارای عملکردِ بهتری است. بعلاوه، تنزل ابعادِ آی سی معادل با کاهش ظرفیت خازنها و مقاومتهای پارازیتی مختلفِ مدار می گردد که خود به منزلهٔ کارآیی مناسبتر آی سی خواهد بود.

شبیه به آنچه که در **جدول 7-6** دیدیم، در **جدول 8-6** میتوان آثار مربوط به مقیاس بندی را در مشخصه های اصلی ترانزیستورها جمع آوری نمود.

ب) مقیاس بندی با ولتاژ ثابت:

دیدیم که در مقیاس بندیِ کامل، ولتاژها با ضریب $\frac{1}{S}$ تنزل کردند. لیکن در مقیاس بندی با ولتاژ ثابت، ایده چنین است که با پیشرفت تکنولوژی که خود منجر به کاهش ابعاد نیز می گردد، ولتاژها ثابت باشند. براین اساس، تئوری مقیاس بندی با ولتاژ ثابت شکل می گیرد. در این حالت تغییر اندازه ها از **6** به **1** میکرون امکان پذیر است و با تثبیت ولتاژ منبع تغذیه روی **5** ولت، تأخیرها با فاکتور $\frac{1}{S^2}$ کاهش می یابند.

جدول 8-6 آثار مقیاس بندی در مشخصات اصلی ترانزیستورها

کمیت	پیش از مقیاس بندی	پس از مقیاس بندی
ظرفیت خازن اکسید در سطح	C_{ox}	$C_{ox}' = SC_{ox}$
ظرفیت خازن گیت	C_g	$C_g' = C_g/S$

جریان درین	I_D	$I_D' = I_D/S$
توان مصرفی	P	$P' = P/S^2$
چگالی توان	$P/$ مساحت	$P'/$ مساحت $= P/$ مساحت
مقاومت	$R = V_{DD}/I_D$	$R' = R$
تاخیر	$\tau \propto RC$	$\tau' = \tau/S$
فرکانس کلاک	$f = 1/\tau$	$f' = Sf$
مساحت تراشه	A	$A' = A/S^2$

اما در مقایسه با مقیاس بندی کامل ذکر این نکته ضروریست که در مقیاس بندی کامل، تنزل ولتاژ و ابعاد با فاکتور $\frac{1}{S}$ اثری بر میدانِ درونِ قطعه ندارد. در حالیکه در مقیاس بندی با ولتاژ ثابت اگر ابعاد، تنزل به شکل $\frac{1}{S}$ را داشته باشند میدان درون ساختار S برابر می شود. چنین افزایش در میدان الکتریکی درون ساختار، میتواند منجر به ایجاد سرعت اشباع رانش برای حاملها، رخداد آثار میدانهای الکتریکی شدید و حتی مسألهٔ شکست در قطعهٔ نیمه هادی شود. لذا، به نظر می رسد که مقیاس بندی ولتاژها همیشه عملی نیست و لازم می شود که مقیاس بندی کامل هم انجام شود. مثلاً، فرض کنید که می خواهیم مدارهای مختلف را (مثل **TTL** و **CMOS**) به یکدیگر متصل کنیم و در میان آنها به مدارهای واسط سومی نیاز داریم که در یک سطحِ معینِ ولتاژ، باید تغذیه شوند. معمولاً از **TTL** دو قطبی میتوان برای ارتباط با آی سی **CMOS** استفاده نمود و البته در تحریک آی سی **TTL**، ولتاژ 5 ولت و **CMOS** ولتاژی در ناحیهٔ 2.5 تا 3.3 ولت نیاز می باشد. از انجا که استفاده از دو منبع تغذیه

بشکل همزمان و درون یک آی سی، منطقی به نظر نمی رسد، میتوان با استفاده از مقیاس بندی ولتاژ ثابت، ولتاژهای **MOSFET** را بشکل زیر تثبیت کرد:

$$V_{GS}^{'} = V_{GS} \qquad \& \qquad V_{DS}^{'} = V_{DS} \tag{35}$$

که با اعمال این روابط به معادلات ترانزیستورهای **MOS** خواهیم داشت:

$$I_{D}^{'} = SI_{D} \qquad \text{و} \qquad I_{D,Sat}^{'} = SI_{D,sat} \tag{36}$$

تلفیق روابط (35) و (36) در رابطه با توان مصرفی، معادل با افزایش توان با فاکتور S است چرا که:

$$P' = I_{D}^{'} V_{DS}^{'} = SP \tag{37}$$

بعبارت دیگر: **استفاده از مقیاس بندی ولتاژ ثابت، عامل افزایش توان مصرفی است.**

بهرحال، آنچه در مقیاس بندیِ تحت ولتاژ ثابت، قابل پیش بینی است، تغییر در مشخصه های ترانزیستورها نسبت به مقیاس بندی کامل است. ظرفیت خازن اکسید گیت در واحد سطح، C_{ox}، با ضریب S زیاد می شود [رابطهٔ (31)] . این نکته معادل با افزایش پارامتر هدایت انتقالی با همان ضریب S خواهد بود. بدلیل ثابت بودنِ ولتاژهای ترمینالها، جریان خطی و اشباع درین برابر است با:

$$I_{D}^{'}(lin) = \frac{K_{n}^{'}}{2}\left[2(V_{Gs}^{'} - V_{Th}^{'})V_{DS}^{'} - V_{DS}^{'2}\right]$$

$$= S\frac{K_{n}^{'}}{2}\left[2(V_{GS} - V_{Th})V_{DS} - V_{DS}^{2}\right] = SI_{D}(lin) \tag{38}$$

$$I_{D}^{'}(sat) = \frac{K_{n}^{'}}{2}\left[V_{GS}^{'} - V_{Th}^{'}\right]^{2} = S\frac{K_{n}}{2}\left[V_{GS} - V_{Th}\right]^{2} = SI_{D}(sat) \tag{39}$$

تذکر : یکی از نتایج روابط (38) و (39) در رابطهٔ با چگالی جریان درین، که نسبت جریان درین به سطح مقطع آن است، رشد چگالی جریان درین با فاکتور S^2 است. چرا که جریان درین با ضریب S و سطح مقطع با ضریب $\frac{1}{S^2}$ مقیاس بندی می شوند. این نکته می تواند عامل مشکلات غیر قابل پیش بینی در یک ترانزیستور **MOS** باشد.

در رابطه با توان مصرفی نیز می توان دریافت که توان مصرفی نیز S برابر می شود. در واقع از آنجا که جریان درین S برابر می شود در حالیکه ولتاژ درین به سورس ثابت است، پس باید رابطهٔ زیر برقرار باشد:

$$P' = I_D' V_{DS}' = (SI_D)V_{DS} = SP \qquad (40)$$

بطوریکه چگالی سطحی توان نیز S برابر می شود. خلاصهٔ آنچه که در این نوع مقیاس بندی ذکر گردید، در **جدول 6-9** و **6-10** (صفحهٔ بعد) گردآوری شده است.

جدول 6-9 مقیاس بندی ولتاژ برای پارامترهای ترانزیستور MOS

کمیت	پیش از مقیاس بندی	پس از مقیاس بندی
طول کانال	L	$L'=L/S$
پهنای کانال	W	$W'=W/S$
ضخامت اکسید گیت	t_{ox}	$t_{ox}' = t_{ox}/S$
عمق نفوذ	x_j	$x_j' = x_j/S$
ولتاژ منبع تغذیه	V_{DD}	بدون تغییر

ولتاژ آستانه	V_{Th}	بدون تغییر
چگالیهای آلایش	N_A و N_D	$N_A' = S^2 N_A$ & $N_D' = S^2 N_D$

تذکر: با توجه به ردیف آخر **جدول 6-9**، دیده می شود که غلظت دوپینگ در فرآیند مقیاس بندی با ولتاژ ثابت، با فاکتور S افزایش می یابد. دلیل این مطلب توسط برقراری روابط بار- میدان قابل توصیف و اثبات است.

ج) مقیاس بندی افقی:

در این روش تنها طول گیت مقیاس بندی شده، طول جدید گیت بشکل $L' = \frac{1}{S}$ بیان می گردد و این معادل با تنزل اندازهٔ گیت است. لذا گاهی این روش را روش کاهش گیت یا انقباض گیت **(Gate Shrink)** نیز می نامیم. معمولاً وقتی در یک نسل از تکنولوژی، مراحل پیشرفت دنبال میشود، اندازهٔ کانال با کاهش اندکی در طول گیت، طوری تغییر می یابد که سرعت ترانزیستورها کمی زیادتر شود. با مراجعه به تدوین نتایج اثر این نوع مقیاس بندی که در **جدول 6-11** گزارش شده است، میتوان مشاهده نمود که اگر بعنوان مثال تغییر در میزان تأخیر مد نظر باشد، تنها با کاهش 5٪ طول گیت، تأخیر به میزان 0.91 تنزل خواهد یافت.

جدول 6-10 آثار مقیاس بندی ولتاژ ثابت در مشخصات ترانزیستور MOS

کمیت	پیش از مقیاس بندی	پس از مقیاس بندی

کمیت	پیش از مقیاس بندی	پس از مقیاس بندی
ظرفیت خازن اکسید در سطح	C_{ox}	$C_{ox}' = SC_{ox}$
ظرفیت خازن گیت	C_g	$C_g' = C_g/S$
جریان درین	I_D	$I_D' = I_D/S$
توان مصرفی	P	$P' = P/S^2$
چگالی توان	مساحت/P	مساحت/P'=مساحت/P'
مقاومت	$R = V_{DD}/I_D$	$R' = R$
تاخیر	$\tau \propto RC$	$\tau' = \tau/S$
فرکانس کلاک	$f = 1/\tau$	$f' = Sf$
مساحت تراشه	A	$A' = A/S^2$

جدول 11-6 آثار مقیاس بندی افقی بر مشخصات یک ترانزیستور MOS

(ادامه در صفحهٔ بعد)

کمیت	پیش از مقیاس بندی	پس از مقیاس بندی
ظرفیت خازن اکسید در سطح	C_{ox}	$C_{ox}' = C_{ox}$

جریان درین	I_D	$I_D^{'} = SI_D$
توان مصرفی پویا	P	$P^{'} = SP$
چگالی توان	$P/$ مساحت	$P'/$ مساحت$= S^2 P/$ مساحت
طول کانال	L	$L' = L/S$
پهنای کانال	W	$W' = W$
ضخامت اکسید گیت	t_{ox}	$t_{ox}^{'} = t_{ox}$
عمق نفوذ	x_j	$x_j^{'} = x_j$
چگالیهای آلایش	N_A و N_D	$N_A^{'} = N_A$ & $N_D^{'} = N_D$
ولتاژها	V_{DD} و V_{Th}	$V_{DD}^{'} = V_{DD}$ و $V_{Th}^{'} = V_{Th}$
چگالی جریان	$I/$ مساحت	$I'/$ مساحت$= SI/$ مساحت
مقاومت	$R = V_{DD}/I_D$	$R' = (1/S)R$
تاخیر	$\tau \propto RC$	$\tau' = \tau/S^2$
فرکانس کلاک	$f = 1/\tau$	$f' = S^2 f$
مساحت تراشه	A	$A^{'} = A/S^2$

مثال: میکروپروسور سوپر اسکای سوپر پایپ لاین (**JMR II**) یک پردازشگر با تکنیک پردازش موازی و کاملاً سازگار با سری **X86** می باشد که در تکنولوژی 0.25µm ساخته شده و منبع 2.5 ولت میتواند این میکرو را با فرکانس 100MHZ و توان مصرفی 10W راه اندازی کند.

الف) اگر مقیاس بندی به تکنولوژی 0.13µm تنزل یابد سرعت و توان مصرفی در مقیاس بندی با ولتاژ ثابت چه تغییری خواهد کرد؟

ب) اگر ولتاژ منبع تغذیه در تکنولوژی 0.13µm به 0.13V مقیاس بندی کامل شود، سرعت و توان مصرفی چه می شوند؟

ج) فرض کنید بخواهیم توان مصرفی را با تکنولوژی 0.13µm در 10Watt ثابت نگهداریم. اولاً از چه ولتاژی بایداستفاده نمود و ثانیاً سرعت عمل میکرو چقدر میشود؟

الف) اگر تبدیل از مقیاس بندی 0.25µm به 0.13µm صورت گیرد پس:

$$S = \frac{0.25}{0.13} = 1.9$$

با توجه به اینکه زمان با $\frac{1}{S^2}$ مقیاس بندی می شود پس سرعت با فاکتور S^2 افزایش مییابد. لذا فرکانس برابر است با:

$$f = (1.9)^2 \times 100 = 361MHZ \qquad (41)$$

و توان نیز با فاکتور S بزرگتر خواهد شد.

$$P = 1.9 \times 10 = 19Watt$$

ب) در مقیاس بندی کامل، سرعت با ضریب S و توان با ضریب $\frac{1}{S^2}$ مقیاس بندی می شوند و لذا با همان **S** در مرحلهٔ "الف":

$$f = 1.9 \times 100 = 190MHZ$$
$$P = \frac{1}{(1.9)^2} \times 10 = 2.7Watt$$

ج) با توجه به تغییر در نوع تکنولوژی، مجدداً $S \simeq 1/9$ است و به دلیل تغییر در ولتاژ به جهت کاهش ابعاد، مقیاس بندی با ولتاژ ثابت و همچنین مقیاس بندی افقی نمیتواند استفاده شود. لذا مجدداً مقیاس بندی کامل صورت گرفته که در آن ابعاد با ضریب $\frac{1}{S}$ تنزل می یابند (به **جداول 7-6** تا **6-11** توجه کنید). اگر ولتاژ با ضریب $\frac{1}{u}$ تنزل یابد پس:

$$V_{DS}^{'} = \frac{V_{DS}}{u} \quad \& \quad I_D^{'} = \frac{S}{u^2} I_D$$

که با وجود توان ثابت، باید رابطهٔ زیر برقرار باشد:

$$V_{DS}^{'} I_D^{'} = V_{DS} I_P \quad \Rightarrow \quad S = u^3$$
$$\Rightarrow \quad u = \sqrt[3]{S} = 1.24 \quad \therefore \quad \underline{V = 2Volt}$$

سرعت نیز با فاکتور $\frac{S^2}{u} = 2.91$ مقیاس بندی می شود و لذا :

$$f = 2/91 \times 100 = 29/MHZ$$

6-7-3 مقیاس بندی اتصالات:

در مقیاس بندی اتصالات، لازم است که آثار خازنی با توجه به کوچکتر شدن قطعات بطور جدی مطالعه و لحاظ شود. بدین معنی که اگر در تکنولوژی های قدیمی تر دقت شود، می توان ملاحظه نمود که پهنا و فاصلهٔ بین سیمها کوچک می شدند در حالیکه ضخامت آنها ثابت باقی ماده یا حداقل با ضریب کمتری مقیاس بندی می شدند. علت این مطلب، جلوگیری از بزرگ شدن مقاومت سیمها با ضریب S^2 است. لیکن در تکنولوژیهای جدیدتر، بدلیل کوچک تر شدن قطعاتِ فلزی، خازنهای جانبی یا حشوی بزرگتر شده و حتی قابل مقایسه با خازنهای سطحی و گاهاً بزرگتر از آنها نیز می شوند. با این توصیف بزرگ نگهداشتن ضخامت سیمها از ایجاد تأخیر بیشتر جلوگیری نمی کند. بعلاوه، خازن بین سیمهای مجاور نیز با کاهش فاصله و عدم کاهشِ ضخامت، بزرگتر می شود. با توجه به موارد فوق می توان نتیجه گرفت که برای مقیاس بندی اتصالات دو روش، یکی با مقیاس بندی ضخامت و دیگری بدون آن، قابل ارائه است که خلاصه ای از آنرا می توان در **جدول 12-6** مشاهده نمود.

جدول 12-6 آثار مقیاس بندی اتصالات بر مشخصه های مهم

کمیت	پیش از مقیاس بندی	پس از مقیاس بندی ابعاد (با مقیاس بندی ضخامت)	پس از مقیاس بندی ابعاد (بدون مقیاس بندی ضخامت)
پهنای سیم	W	$W' = (1/S)W$	$W' = (1/S)W$
فاصلهٔ بین دو سیم	D	$D' = (1/S)D$	$D' = (1/S)D$
ضخامت سیم	T	$T' = (1/S)T$	$T' = T$
ضخامت اکسید بین دو لایه	H	$H' = (1/S)H$	$H' = (1/S)H$

مقاومت سیم در واحد طول	$R \propto \left(1/WT\right)$	$R' = (S)R$	$R' = (S^2)R$
ظرفیت خازن جانبی سیم در واحد طول	$C \propto \left(T/D\right)$	$C' = C$	$C' = (S)C$
ظرفیت خازن سطحی سیم در واحد طول	$C \propto \left(W/H\right)$	$C' = C$	$C' = C$
تاخیر سیم در واحد طول	$\tau \propto RC$	$\tau' = (S^2)\tau$	$S\tau < \tau' < S^2\tau$

6-8 روشی ساده برای محاسبهٔ تأخیر مدارهای منطقی

با توجه به مقیاس بندی ذکر شده در قسمت قبل، دیده می شود که بسته به نوع مقیاس بندی میزان تأخیر می تواند کاهش یا افزایش یابد. براساس یک طراحی مناسب می توان ابعاد ترانزیستورها را بگونه ای طراحی نمود که این میزان تأخیر به صورت بهینه ایجاد شود. بخصوص این طراحی در اتصالاتی که نقش مهمی در تعیین میزان تأخیر گیت دارند، از اهمیت ویژه ای برخوردار است. بهمین دلیل در این قسمت از بحث، هدف، ارائه روشی است که بتوان بکمک آن برای یک مدار، تأخیر حاصل را با دقت مناسبی تخمین زد. این روش موسوم به **تلاش منطقی** (**Logical Effort**) است.

ایدهٔ اصلی این روش چنین است که در ابتدا منشأ تأخیر معین می شود. می دانیم که برای یک گیت، بسته به ساختار آن، تأخیر حاصل ناشی از ظرفیت خازن ورودی و خروجی گیت و همچنین تکنولوژی ساخت می باشد. بمنظور تعیین تأخیر مستقل از نوع تکنولوژی بکار رفته در ساخت گیت، می توان تأخیر را از ضرب دو پارامتر بدست آورد، پارامتر اول بنام **پارامتر مستقل از تکنولوژی** بوده و آنرا با d نشان می دهیم و پارامتر دوم **فاکتور**

مقیاس بندی حاصل از نوع تکنولوژی بکار گرفته شده است، بطوریکه تأخیر کلِ گیت از حاصل ضرب ایندو پارامتر بدست می آید. به این ترتیب می توان فاکتور d را بشکل زیر تعریف کرد:

$$d \equiv \frac{\tau_{real}}{\alpha} \qquad (41)$$

که در آن α ضریب مربوط به نوع تکنولوژی و τ_{real} تأخیر واقعی گیت است. پارامتر α در هر نوع تکنولوژی معین بوده و برای تأخیر واقعی کافی است که بتوان به نوعی d را تعیین نمود. مثلاً α در تکنولوژی 0.18µm حدود 15 psec است.

6-8-1 مدل خطی تأخیر:

تأخیر انتشار برای هر گیت دلخواه را می توان بصورت زیر نوشت:

$$d = f + P \qquad (42)$$

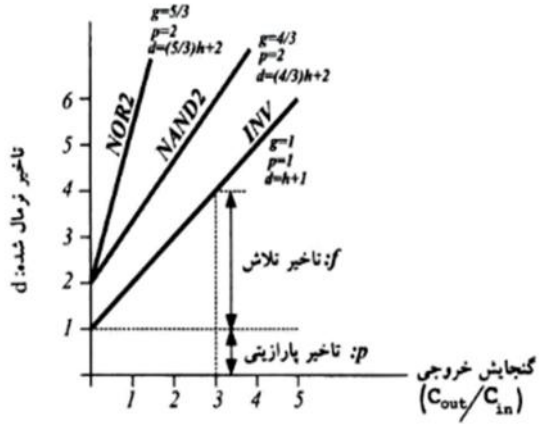
که در ان P، تأخیر پارازیتی گیت در حالت بدون بار و fتأخیر تلاش **(Effort Delay)** بوده و وابسته به میزان پیچیدگی و حجم تعداد خروجی **(Fun-Out)** گیت است. فاکتور fرا میتوان از ضرب دو عامل تلاش منطقی g و تلاش الکتریکی h بدست آورد:

$$f = gh \qquad (43)$$

ضریب g را بنا به تعریف 1 فرض کرده و خاطر نشان می کنیم که در یک گیت پیچیده تر مقدار آن از 1 بیشتر شده تا بیانگر افزایش f و d یا معادل آنها، تأخیر کلی گیت باشد (بدین معنی که گیتهای پیچیده تر دارای تلاش منطقی بزرگتر از 1 هستند). بهمین ترتیب در توصیف تلاش الکتریکی میتوان گفت که این ضریب بیانگر بار خازنی خارجی مدار بوده که قرار است گیت مورد نظر آنرا راه اندازی نماید. در تعیین تأخیر کلِ یک گیت می توان از

ترکیبی از ضرائب d مربوط به گیتهای اصلی **NOT**، **NAND** و **NOR** استفاده کرد. در **شکل 30-6** این ضریب d بشکل نرمالیزه برای گیتهای فوق ترسیم شده است.

اگر بخواهیم میزان تأخیر گیت وقتی هیچگونه باری را راه اندازی نمی کند بدست آوریم، کافی است تأخیر حاصل موسوم به **تأخیر پارازیتی** را از برخورد منحنی ها با محور عمودی بدست آوریم. بعلاوه، شیب خط، توصیف کنندهٔ میزان تلاش منطقی است که مثلاً برای **NOT** طبق تعریف معادل 1 برای **NAND** با دو ورودی، $\frac{4}{3}$ و برای یک **NOR** با دو ورودی $\frac{5}{3}$ است.



شکل 30-6 ترسیمی از تأخیر نرمالیزه شده گیتهای اصلی بر حسب میزان Fun-out آنها

با توجه به مطالب فوق، در تعیین d (یا معادل آن تأخیر گیت) سه عامل دخالت دارند:

تلاش منطقی

تلاش الکتریکی

تلاش پارازیتی

هر یک از آنها بصورت مجزا بررسی می کنیم.

الف) تلاش منطقی:

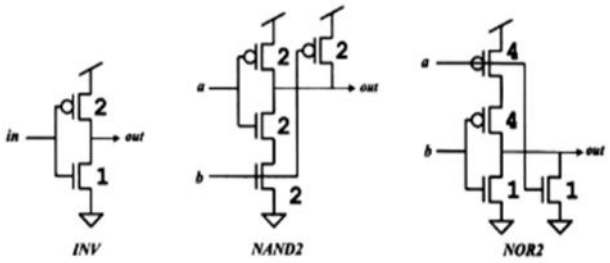
تعریف: تلاش منطقی می تواند برای یک گیت بشکل توانایی نسبی آن از لحاظ ساختار درونی خاصی که دارد در میزان جریان دهی گیت بیان شود. میتوان مقدار آنرا برحسب تلاش منطقی یک معکوس کننده تعریف کرد و در مقام مقایسه با معکوس کننده، بشکل مقدار تلاشی خواهد بود که گیت ملزم به اجرا است تا بتواند جریانی معادل با معکوس کننده را بدست دهد. البته این توصیف بر حسب خازنها می تواند به بیان زیر نیز ارائه شود:

مقدار تلاش منطقی هر گیت ، نسبت خازن ورودی آن به خازن ورودی معکوس کننده ایست که توانایی تولید همان جریان خروجی را دارا است و به این ترتیب تلاش منطقی گیت معکوس کننده برابر واحد تعریف می گردد.

محاسبهٔ تلاش منطقی یک گیت دلخواه نیز می تواند به دو روش صورت گیرد. در یک روش، شبیه سازی گیت و ترسیم منحنی تأخیر بر حسب میزان **Fan-Out** یا گنجایش خروجی صورت میگیرد. برای منحنی تأخیر حاصل، خط نظیر ترسیم شده و شیب آن بدست می آید. نهایتاً تلاش منطقیِ گیت مورد نظر، از نسبت شیب خط حاصل به شیب خطِ گیتِ معکوس کننده محاسبه خواهد شد.

در روش دوم محاسبهٔ تلاش منطقی، که البته بدون شبیه سازی است، محاسبهٔ این فاکتور بر حسب پهنای ترانزیستورها و با فرض حداقل بودن طول آنها صورت می گیرد. در **شکل 31-6** گیتهای معکوس کننده، **NOR** و **NAND** با پهنای ترانزیستورها جهت کسب مقاومت واحد، ترسیم شده اند. در این شکل پهنای ترانزیستورها مشخص شده و طول آنها برابر با 1 است. با توجه به موبیلیتیِ حدود دو برابر برای الکترونها نسبت به حفره ها،

میتوان مقاومت **pMOS** را دو برابر **nMOS** فرض کرد. بهرحال در حالت کلی و برای داشتن یک دید از میزان تأخیر بشکل دقیقتر لازم است از یک شبیه ساز یا تحلیل گر زمانی ایستا (**Static Timing Analyzer**) استفاده نمود.



شکل 31-6 تلاش منطقی گیتهای NOT، NAND و NOR

استدلال فوق در تعیین تلاش منطقی برای NOT، NAND و NOR قابلیت تعمیم به گیتهایی مثل **XOR**، **XNOR** و حتی مالتی پلکسرها را دارد. چنین تعمیمی می تواند بصورت تدوین شده در **جدول 13-6** باشد.

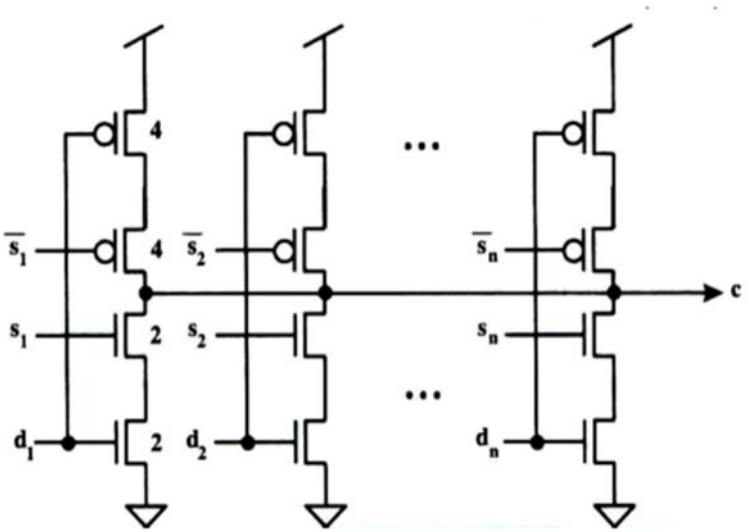
با توجه به جدول فوق نتایج زیر عاید می گردند:

- *با افزایش تعداد ورودیها، تلاش منطقی افزایش می یابد،*
- *با توجه به اینکه در گیتهای **NAND** ترانزیستورهای سری **nMOS** به جای **pMOS** استفاده شده اند، گیتهای **NAND** بهتر از **NOR** عمل می کنند،*
- ***XOR** هزینه بر و دارای تلاش منطقی متفاوتی برای ورودیهای مختلف است.*

جدول 13-6 تلاش منطقی گیتهای CMOS ایستا

نوع گیت	تعداد ورودیها					
	1	2	3	4	5	n
وارونگر	1					
NAND		4/3	5/3	6/3	7/3	(n+2)/3
NOR		5/3	7/3	9/3	11/3	(2n+1)/3
مالتی پلکسر		2	2	2	2	2
XNOR و XOR		4,4	6,12,6	8,16,16,8		

تذکر: در رابطه با تلاش منطقی مالتی پلکسرهایی که با گیتهای سه حالته مطابق شکل 32-6 ساخته می شوند، صرف نظر از تعداد ورودیها، همواره تلاش منطقی آنها برابر با 2 است.

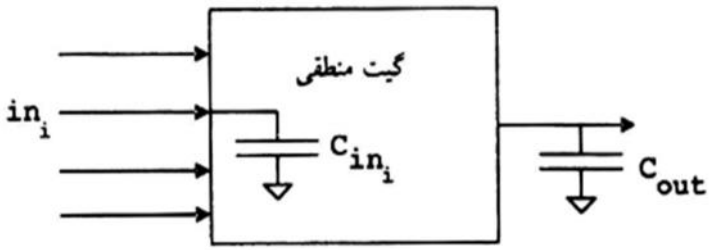


شکل 6-32 مالتی پلکسرهای ساخته شده با گیتهای سه حالته

توجه کنید که یک نتیجهٔ خام از این موضوع، چنین است که سرعت مالتی پلکسرهای بزرگ و کوچک باید یکسان باشد. اما در عمل چنین نیست، چرا که تأخیر پارازیتی مالتی پلکسر با افزایش ابعاد آن نیز زیاد می شود. لذا معمولاً جهت ساخت مالتی پلکسرهای بزرگ و سریع معمول است که از ساختار درختی مالتی پلکسرهای 4 ورودی استفاده شود.

ب) تلاش الکتریکی:

تعریف تلاش الکتریکی نیز بصورت نسبت ظرفیت خازن خروجی گیت به ظرفیت خازن وزودی آن است. لذا به ازاء هر ورودی گیت، یک مقدار تلاش الکتریکی تعریف می گردد که بیان کنندهٔ تأخیر از آن ورودی به خروجی است. این نکته در **شکل 6-33** به تصویر آمده است.



شکل 6-33 تلاش الکتریکی یک گیت منطقی برای ورودی iام

بدیهی است که با افزایش خازن خروجی گیت، تأخیر نیز با همان نسبت زیاد می گردد. بعلاوه توجه کنید که تلاش الکتریکی به گنجایش خروجی گیت وابسته است.

ج) تأخیر پارازیتی:

تعریف تأخیر پارازیتی نیز بشکل تأخیر گیت، به نسبت تأخیر گیت در حالت بدون باری صورت میگیرد. اگر فاکتوری مثل P_{inv} بشکل نسبت خازن نفوذی یک گیت معکوس کننده با حداقل اندازهٔ خازن گیت آن تعریف شده باشد (که معمولاً خیلی نزدیک به واحد نیز می باشد) آنگاه تأخیر پارازیتی برای گیت **NAND** و **NOR** با n ورودی برابر با nP_{inv} برای گیتهای **XOR** و **XNOR** با n ورودی $2^{n-1}nP_{inv}$ و برای **MUX** با n ورودی و یک خروجی $2nP_{inv}$ خواهد بود. در **جدول 14-6** تأخیر پارازیتی گیتهای متداول جمع آوری شده است.

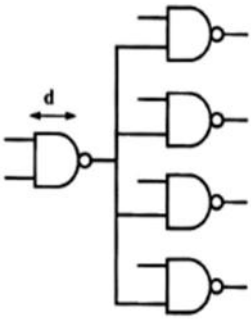
توجه کنید که افزایش اندازه های ترانزیستور، باعث کاهش مقاومت و البته افزایش ظرفیت خازنها میشود، بطوریکه در یک دید اولیه می توان فرض کرد که تأخیر پارازیتی مستقل از اندازهٔ گیت است.

جدول 14-6 تأخیر پارازیتی گیتهای متداول

نوع کمیت	تعداد ورودی ها				
	1	2	3	4	n
وارونگر	1				
NAND		2	3	4	n
NOR		2	3	4	n
سه حالته و مالتی پلکسر	2	4	6	8	2n

6-8-2 محاسبهٔ تأخیر در گیتهای منطقی:

میتوان براساس تأخیر انتشار گیت منطقی (البته بسته به پیچیدگی یا همان تلاش منطقی)، گنجایش خروجی یا معادل آن میزان خازن خروجی و همچنین تأخیر پارازیتی، یک مدل خطی پیشنهاد نمود. مثلاً فرض کنید که می خواهیم تأخیر **NAND** با گنجایش خروجی چهار **NAND** مشابه را شبیه به **شکل 6-34** تعیین کرده اگر معکوس کننده در تکنولوژی 0.18μm با τ =15psec ساخته شده باشد.



شکل 6-34 یک معکوس کنندهٔ F04

تلاش منطقی **NAND** همانطوریکه دیدیم $g=4/3$ است. در این شکل تلاش الکتریکی 4 است چرا که بار، 4 گیت با اندازه های یکسان است. برای یک **NAND** دو ورودی، $P_{NAND} \simeq 2$ بوده و لذا تأخیر کل نرمالیزه شده یا همان ضریب d برابر است با:

$$d=gh+p=(4/3)\times 4+2=7.3$$

$$\tau_{real}=7.3\times 15=110psec$$

و بهمین ترتیب میتوان تاخیر معکوس کنندهٔ FO4 را بدست آورد:

$$d=gh+p=1\times4+1=5$$

$$\tau_{real}=5\times15=75psec$$

تأخیرهای مسیر، عمدتاً بر حسب تأخیرهای معکوس کنندهٔ F04 بیان شده که در عمل مقدار مشخصی است و مثلاً τ را می توان با تأخیرهای معکوس کنندهٔ F04 0.2 تقریب زد. حتی اگر نسبت ظرفیت خازن نفوذ به خازن گیت تغییر کرده بطوریکه $P_{inv}=0.8$ یا 1.2 بجای 1 باشد، تأخیر نرمالیزهٔ d معکوس کنندهٔ F04 تنها از 4.8 تا 5.2 تغییر خواهد کرد. لذا می توان دریافت که تأخیر بلوک منطقی گیت حاکم که بر حسب معکوس کنندهٔ F04 بیان شده، تقریباً از یک فرآیند به فرآیند دیگر، حتی اگر ظرفیت خازن نفوذی تغییر یابد، باز هم ثابت باقی می ماند.

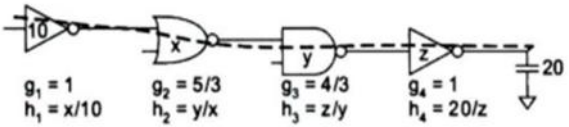
تذکر: در عمل می توان تأخیر F04 برای یک تکنولوژی را بر حسب پیکو ثانیه ⅓ تا ½ طول کانال بر حسب نانومتر در نظر گرفت. مثلاً در تکنولوژی 0.18μm تأخیر F04 برابر 60 تا 90 پیکو ثانیه است. بعلاوه توجه کنید که تأخیر، وابسته به نوع تکنولوژی ولتاژ و دماست.

6-8-3 تأخیر در مدارات منطقی چند طبقه:

آنچه را که تاکنون در رابطه با تلاش منطقی بحث نمودیم می توان به مدارهای منطقی چند طبقه نیز تعمیم داد. در تعیین تأخیر مدار، می توان میزان تأخیر را بصورت زیر بدست آورد:

حداکثر تأخیر مربوط به کلیهٔ مسیرهای ممکن از همهٔ ورودیها به خروجیها.

توجه کنید، مسیری که این حداکثر تأخیر را پدید می آورد بنام **مسیر بحرانی** می شناسیم. برای تعیین تأخیر در یک مسیر باید d را برای همگی گیتهای موجود در آن مسیر محاسبه کرده و با هم جمع کنیم. مثلاً در **شکل 6-35**، تلاشهای الکتریکی هر طبقه را در مسیر چند طبقه ای بر حسب تابعی از اندازه های هر طبقه مشاهده می کنید.

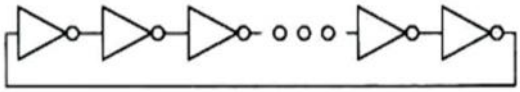


شکل 6-35 یک شبکهٔ ترکیبی چند طبقه

مسیری که تأخیر آن مد نظر بوده، و در این مثال تنها مسیر نیز هست، با خط چین ترسیم گردیده است. توجه کنید که تلاش منطقی مستقل از اندازه، در حالیکه تلاش الکتریکی وابسته به اندازه است. در حالت کلی نیز می توان رابطهٔ تأخیر را بشکل زیر نوشت:

$$D = \sum h_i g_i + \sum P_i \qquad (45)$$

مثال: بکمک مفهوم تلاش منطقی، برای یک اسیلاتور حلقوی شامل N معکوس کننده مطابق **شکل 6-36**، فرکانس آنرا بدست آورید.



شکل 6-36 یک اسیلاتور حلقوی N طبقه

تلاش منطقی یک معکوس کننده $g=1$ است و تلاش الکتریکی آن نیز 1 می باشد چرا که بار مشابه خود را راه اندازی می کند. بعلاوه تأخیر پارازیتی نیز 1 بوده و لذا تأخیر هر طبقه برابر است با:

$$d = gh + p = 1 \times 1 + 1 = 2$$

67

این اسیلاتور حلقوی N طبقه دارای پریود $2N$ طبقه تأخیر است چرا که هر مقدار باید برای رسیدن به پلاریتهٔ اصلی خود دوبار در حلقه دوران کند لذا:

$$T=2\times 2N \quad \Rightarrow \quad f=1/T=1/(4N)$$

مثلاً برای یک اسیلاتور حلقوی 31 طبقه با $\alpha\cong 15psec$ در تکنولوژی 0.18µm فرکانس برابر است با:

$$f=\frac{1}{4\times 31\times 15}=540MHz$$

6-8-4 بهینه سازی مسیرهای مدار:

می توان تأخیر در یک مدار را در هر یک از مسیرهای آن توسط یک الگوریتم بهینه سازی، و البته بکمک اندازه مناسبی از ترانزیستورها، به حداقل رساند. بمنظور ارائهٔ روش، تلاش منطقی و الکتریکی را به شکل زیر تعریف می کنیم:

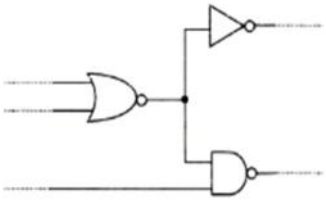
تلاش منطقی مسیر: $$G=\prod g_i \qquad (46)$$

تلاش الکتریکی مسیر: $$H=\prod h_i \qquad (47)$$

تلاش مسیر: $$F=\prod g_i h_i=\prod f_i \qquad (48)$$

$$P=\prod p_i \qquad (49)$$

تذکر: توجه کنید که مقدار H لزوماً برابر با نسبت ظرفیت خازن خروجی مسیر به ظرفیت خازن ورودی آن نیست. این نکته را میتوان با مراجعه به **شکل 6-37** درک نمود چرا که در بین مسیر، امکان وجود شاخه وجود دارد.



شکل 37-6 وجود شاخه در مدارهای چند طبقه

می توان ثابت کرد که تأخیر مسیر N طبقه ای وقتی حداقل است که هر طبقه $f_i=g_ih_i$ یکسانی معادل با f داشته باشد لذا:

$$F=\prod_{i=1}^{N} g_i h_i=\prod_{i=1}^{N} f_i=\prod_{i=1}^{N} f=f^N \qquad (50)$$

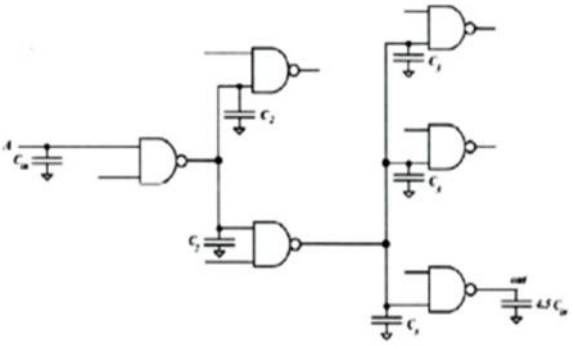
لذا براساس رابطهٔ (45) تأخیر مسیر برابر است با:

$$D=\sum_{i=1}^{N} g_i h_i+\sum_{i=1}^{N} p_i=\sum_{i=1}^{N} f+P=Nf+P=NF^{\frac{1}{N}}+P \qquad (51)$$

برای تعیین اندازهٔ گیتهای موجود در مسیر باید از خروجی مسیر به سمت ورودی حرکت کرده و در هر مرحله از ارتباط زیر استفاده کنیم چرا که $f_i=g_ih_i$ و نیز $f=\frac{C_{out_i}}{C_{in_i}}g_i$:

$$C_{in_i}=\frac{C_{out_i}}{f}g_i \qquad (52)$$

مثلاً فرض کنید که بخواهیم تأخیر بهینهٔ مسیر A تا خروجی را در مدار **شکل 38-6** بدست آوریم.



شکل 38-6 یک مدار دلخواه و تعیین تأخیر ان

برای هر گیت $g_i=4/3$ و لذا $G=(4/3)^3$ است. بنابراین:

$$h_1=\frac{2C_2}{C_{in}},\qquad h_2=\frac{3C_3}{C_2},\qquad h_3=\frac{4.5C_{in}}{C_3}$$

$$\Rightarrow\qquad H=h_1h_2h_3=2\times3\times4.5=27$$

$$F=GH=\frac{64}{27}\times27=64$$

$$f=F^{1/3}=(64)^{1/3}=4$$

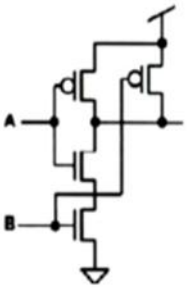
$$f=\frac{4.5C_{in}}{C_3}g_3\ \Rightarrow\ C_3=1.5C_{in}$$

$$f=\frac{3C_3}{C_2}g_2\ \Rightarrow\ C_3=\frac{3\times1.5C_{in}}{4}\times\frac{4}{3}=1.5C_{in}$$

$$f = \frac{2C_2}{C_{in}} g_1 \Rightarrow C_2 = \frac{4C_{in}}{\frac{4}{3} \times 2} = 1.5C_{in}$$

$$\Rightarrow \qquad D = 3 \times 4 + 3 \times 2 = 18$$

به این ترتیب میتوان اندازهٔ ترانزیستورها را برای طبقهٔ اول $\left(\frac{W}{L}\right)_p = \left(\frac{W}{L}\right)_n = 2$ و برای طبقهٔ دوم و سوم $\left(\frac{W}{L}\right)_p = \left(\frac{W}{L}\right)_n = 3$ مطابق با طرحی ترسیم شده در شکل 39-6، فرض کرد.



شکل 39-6 طرح یک NAND دو ورودی

بعلاوه توجه کنید که:

$$C_{in} = 4 = 2\left(\frac{W}{L}\right)_{n_1} \qquad C_2 = 1.5C_{in} = 6 = 2\left(\frac{W}{L}\right)_{n_2}$$

$$C_3 = 1.5C_{in} = 6 = 2\left(\frac{W}{L}\right)_{n_2}$$

تذکر: آنچه که تا کنون دیدیم بررسی تلاش منطقی براساس مدل خطی و قضیهٔ ساده ای بود که در آن تأخیر تلاش هر طبقه برابر حداقل تأخیر مسیر باشد. لیکن این روند ساده دارای اشکالات و محدودیتهای زیر نیز می باشد:

- مدل تأخیر خطی تحت اثر شیب ورودی است،
- مدل تأخیر **RC**، حاوی آثار سرعت اشباع نیست و یک تخمینِ حد بالا و بیشتر از واقعیت برای تلاش منطقی ساختارهای **NAND** است که همچنین از اثر بدنه ای نیز اغماض می نماید. روش دقیقتر تعیین تلاش منطقی استفاده از شبیه سازهاست که مشکلات فوق را ندارند،
- تلاش منطقی تاخیر در اتصالات میانی را نادیده میگیرد،
- تلاش منطقی مشخص می کند که چگونه می توان مسیری را با حداکثر سرعت طراحی کرد، اما مشخص نمی نماید که چگونه می توان مداری را با هدف حداقل ساختن مساحت یا توان مصرفی طراحی نمود.