۱-۱-بـا درون يـابي از روي شـكل 4-1 تعـداد ترانزيـستورهاي يـك ميكروپروسـسور در سـال 2016 را پيشـگويي كنيد.

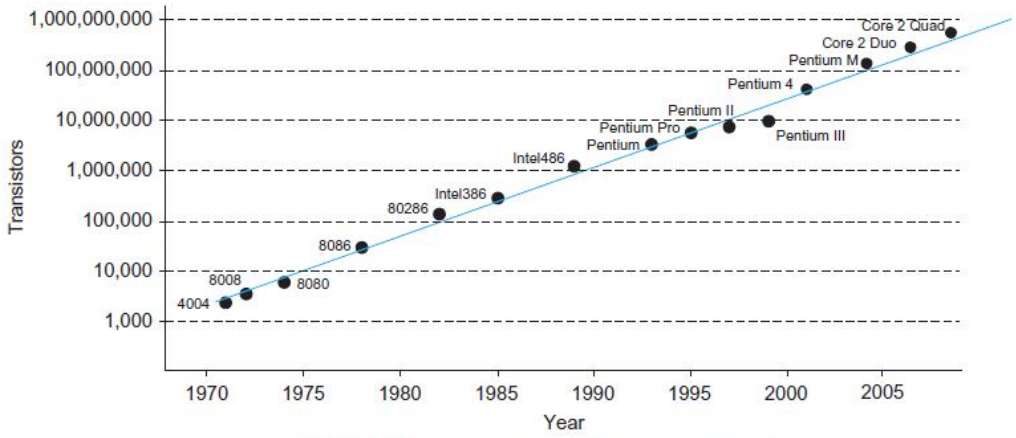


FIGURE 1.4 Transistors in Intel microprocessors [Intel10]

جواب:

طبق اين شـكل هـر 26 مـاه تعـداد ترانزيـستورها دو برابـر مـي شـود و در سـال 2004 تعـداد آن 10^8 ترانزسيتور است و از سال 2004 تا سال 2016 يعني 12 سال 144 ماه وجود دارد پس داريم:

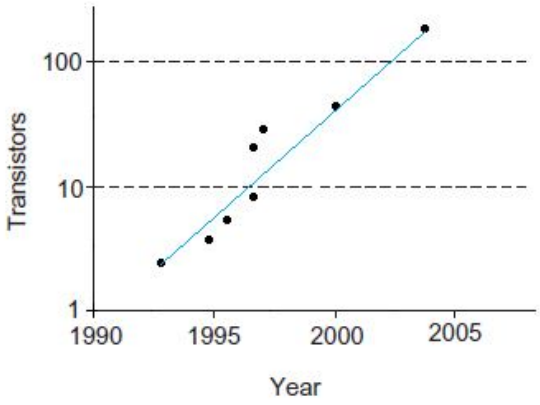
$$10^8 * 2^{\frac{144}{26}} = 10^8 * 46.48 \cong 4.7 * 10^9$$

يعني در سال 2016 يك ميكروپرسسور حدود 4.7 ميليارد ترانزيستور دارد.

۱-۲-در اينترنت تعداد ترانزيستورهاي جديدترين ميكروپروسـسورهاي Intel را جـستجو كنيـد.از تعـداد ترانزيستورهاي پروسسور Pentium در سال 1993 بر اساس سال ساخت يك گراف نيمـه لگـاريتمي تهيه كنيد.براي دوبرابر شدن ترانزيستورها چند ماه مي گذرد؟

جواب:با جستجو در وب اطلاعات زير بدست آمد كه با شكل 4-1 نيز مطابقت دارد:

Date	CPU	Transistors
3/22/93	Pentuim	3100000
10/1/95	Pentuim Pro	5500000
5/7/99	Pentuim II	7500000
2/26/99	Pentuim III	9500000
10/25/99	Pentuim III	28000000
11/20/00	Pentuim 4	42000000
8/27/01	Pentuim 4	55000000
2/2/04	Pentuim 4 HT	125000000

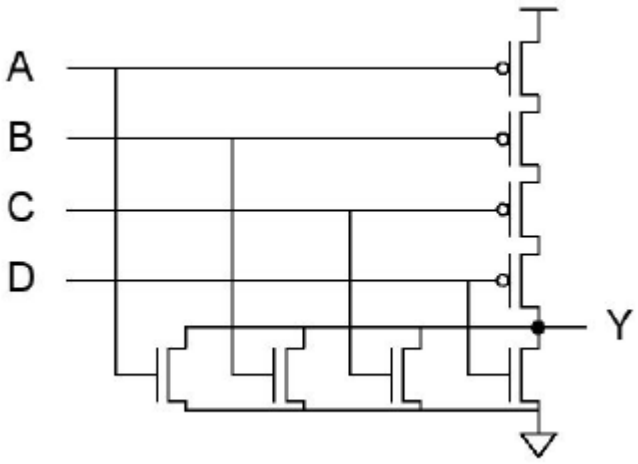


و نمودار نشان مي دهد كه تعداد ترانزيستورها تقريبا هر 24 ماه دوبرابر مي شود.

۱-۳ – و ۱-٤- مهم نيست.

۱-۵-يك شماتيك ترانزيستوري براي يك گيت NOR چهار ورودي CMOS رسم كنيد.

جواب:



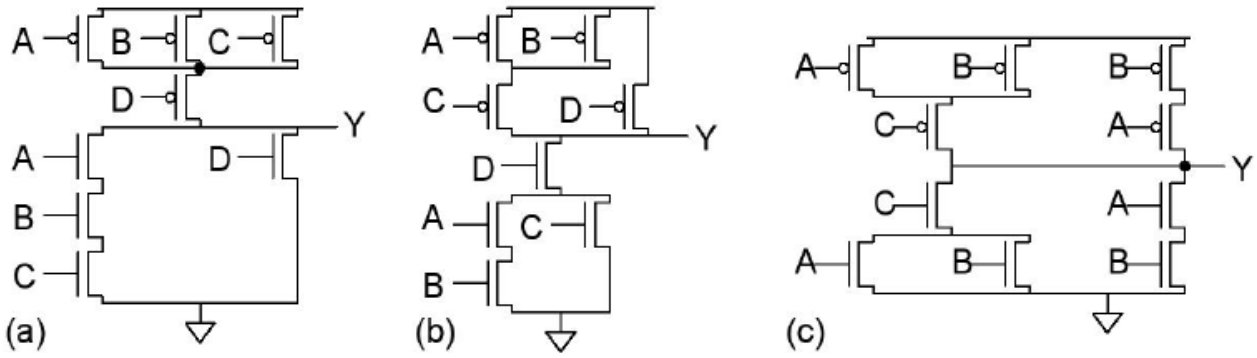
۱-۶-براي هريك از تركيبات گيت هاي منطقي CMOS زير يك شماتيك ترانزيستوري رسم كنيد.

a) $Y = \overline{ABC + D}$

b) $Y = \overline{(AB + C) \cdot D}$

c) $Y = \overline{AB + C \cdot (A + B)}$

جواب:



۱-۷-از گيت هاي CMOS (با نماد آنها نمايش دهيد) براي ساخت توابع زير از A,B,C استفاده كنيد.

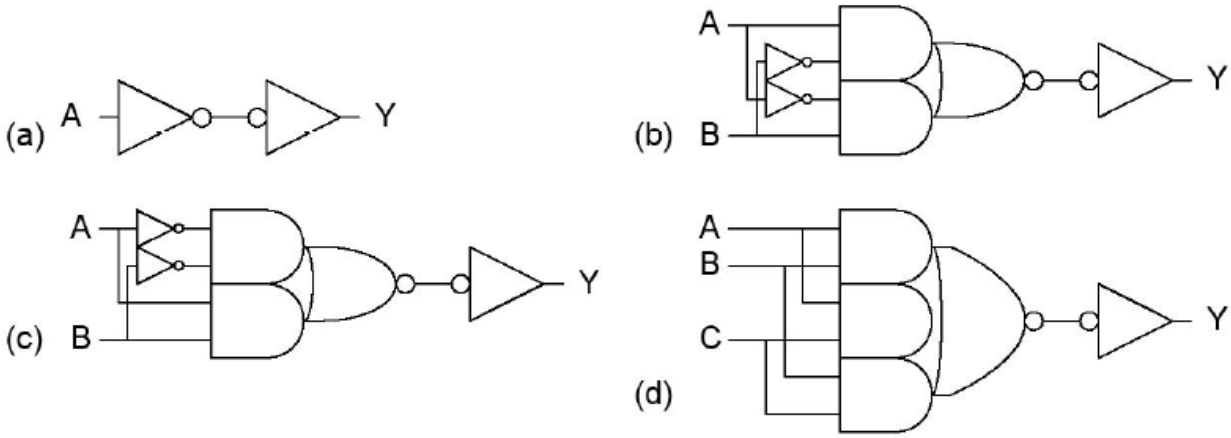
a) $Y = A$ (buffer)

b) $Y = A\overline{B} + \overline{A}B$ (XOR)

c) $Y = \overline{A}\overline{B} + AB$ (XNOR)

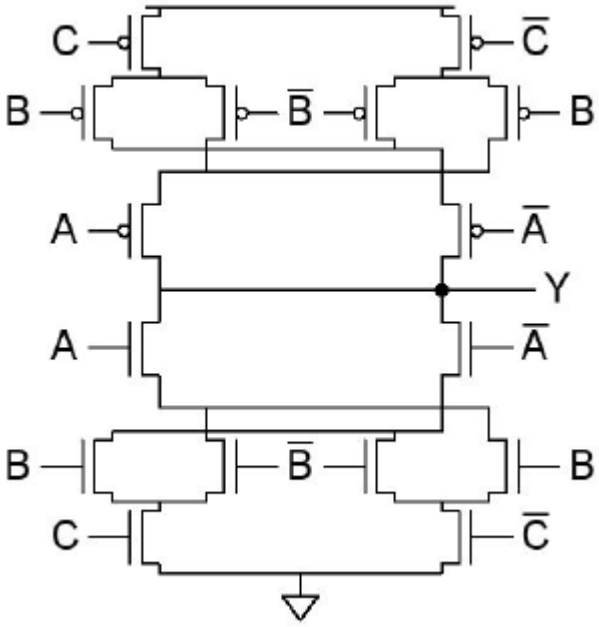
d) $Y = AB + BC + AC$ (majority)

جواب:



۱-۸-يك شماتيك ترانزيستوري از يك گيت XOR سه ورودي CMOS رسم كنيد.شما مي توانيد فرض كنيد كه صحت دو طرف و متمم ورودي ها را در دسترس داريد.

جواب:



۱-۹- براي هريك از تركيبات توابع منطقي زير يك شماتيك ترانزيستوري رسم كنيد. شما مي توانيد فرض كنيد كه صحت دو طرف و متمم ورودي ها را در دسترس داريد.

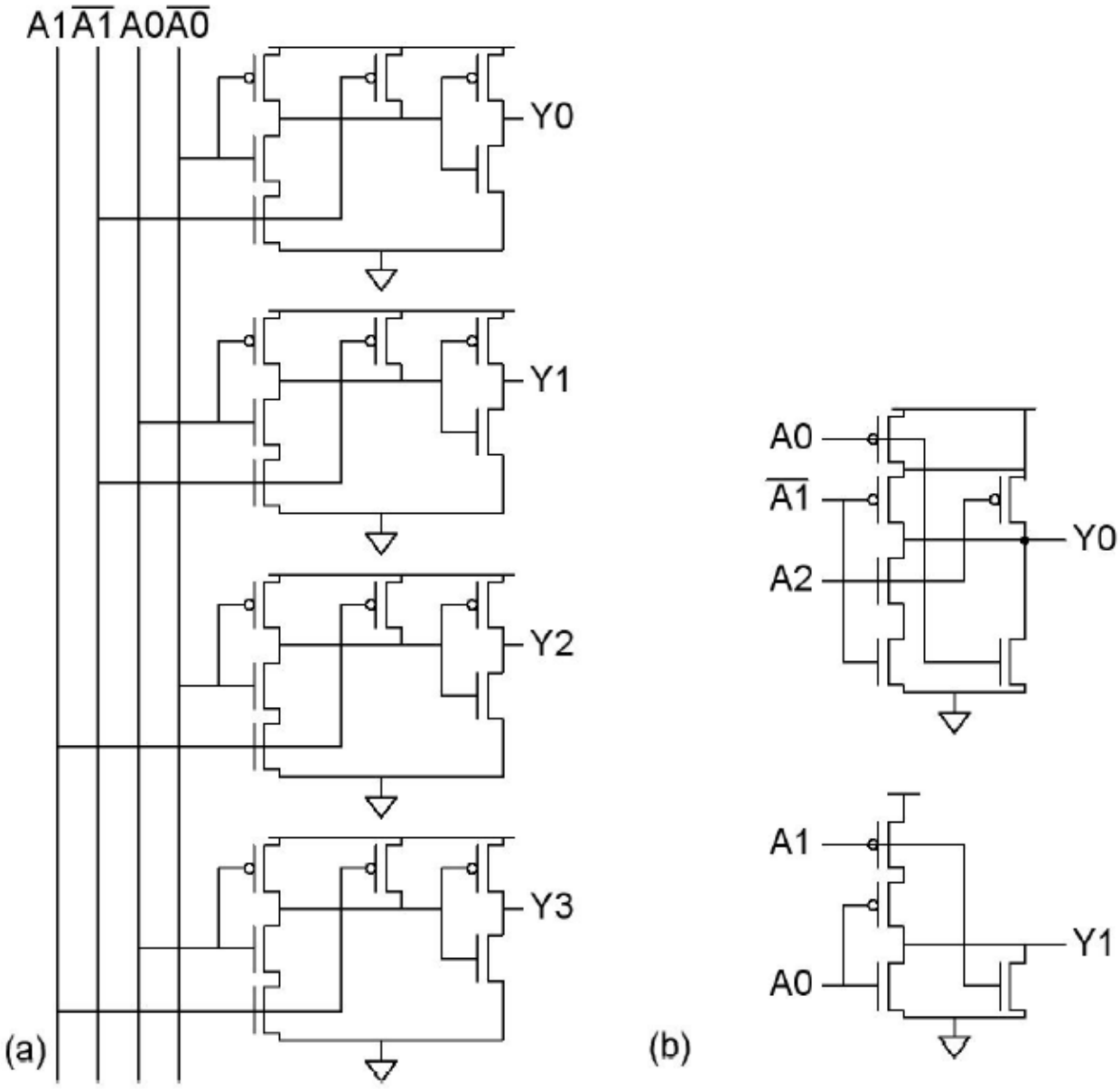
a) A 2:4 decoder defined by

$$Y0 = \overline{A0} \cdot \overline{A1}$$
$$Y1 = A0 \cdot \overline{A1}$$
$$Y2 = \overline{A0} \cdot A1$$
$$Y3 = A0 \cdot A1$$

b) A 3:2 priority encoder defined by

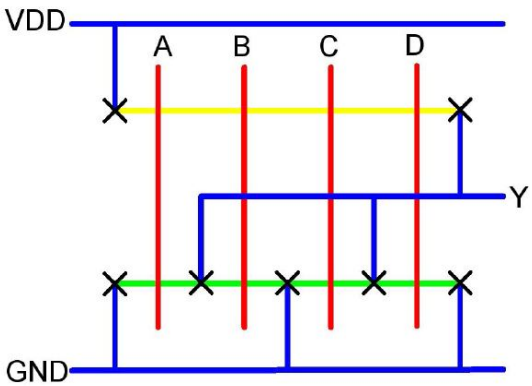
$$Y0 = \overline{A0} \cdot (A1 + \overline{A2})$$
$$Y1 = \overline{A0} \cdot \overline{A1}$$

جواب:



۱-۱۰-يك STICK دياگرام براي گيت NOR چهار ورودي CMOS تمرين ۱-۵ رسم كنيد.

جواب:



۱-۱۱-مساحت براي گيت NOR چهار ورودي CMOS تمرين ۱-۱۰ را تخمين بزنيد.

جواب :

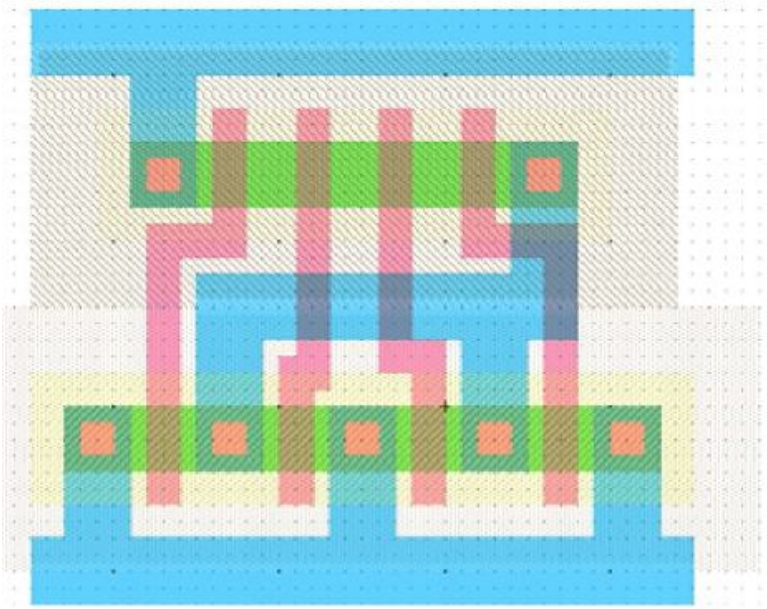
5 تراك در 5 تراك داريم به ابعاد هر تراك 8λ پس مساحت كل مي شود :

$$40\lambda * 40\lambda = 1600\lambda^2$$

۱-۱۲-يك ابزار CAD انتخاب و گيت NOR چهار ورودي CMOS را LAYOUT كنيد.اندازه چقدر با پيشگويي شما در تمرين ۱-۱۱ تفاوت دارد؟

جواب:

اگر كمترين جدا كننده مجاور فلز با صحيح باشد اندازه LAYOUT دقيقا $40\lambda * 40\lambda$ است و تعداد تراك نيز صحيح مي باشد.



۱-۱۳-شكل 1-74 يك گيت NAND دو ورودي را نمايش مي دهد.يك نماي جانبي (سطح مقطع) از گيت از X تا X' رسم كنيد.

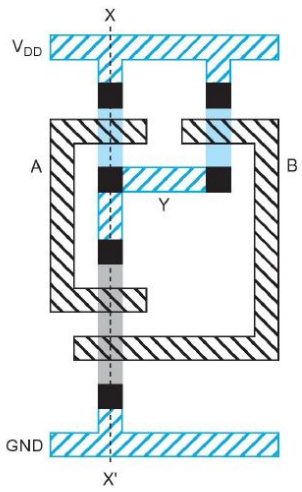
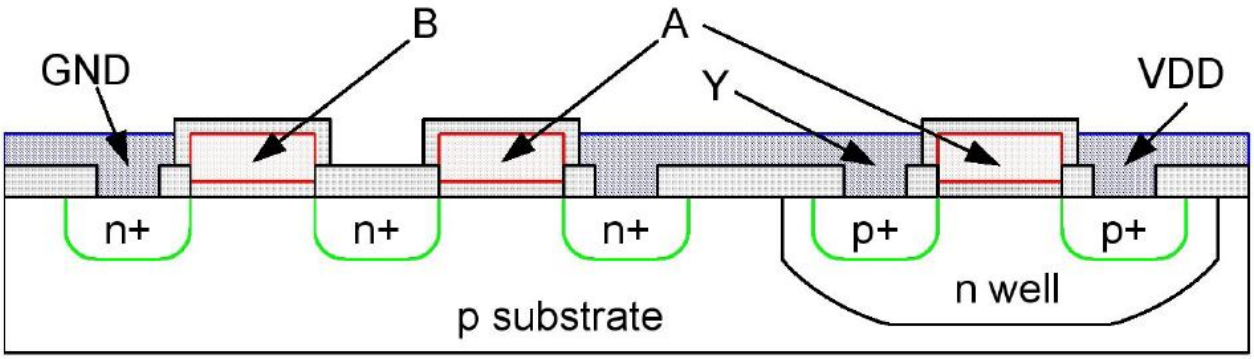


FIGURE 1.74 2-input NAND gate stick diagram

جواب:



۱-۱٤-شكل 1-75 يك STICK دياگرام يك LATCH حساس به سطح است. مساحت LATCH را تخمين بزنيد.

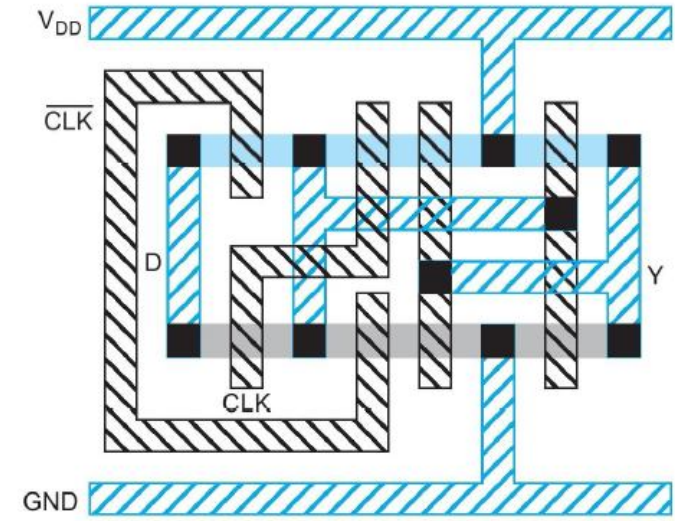


FIGURE 1.75 Level-sensitive latch stick diagram

جواب:

6 تراك عمودي و 6 تراك افقي داريم به اندازه هر تراك 8λ پس مساحت مي شود:

$$6*8\lambda*6*8\lambda = 2304\lambda^2$$

۱-۱۵-يك شماتيك ترانزيستوري از LATCH شكل 1/75 رسم كنيد. اين شماتيك چه تفاوتي با شكل 1-31(b) دارد؟

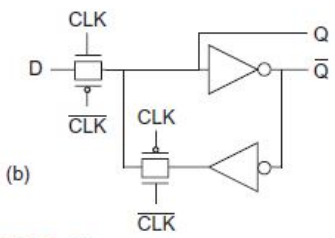
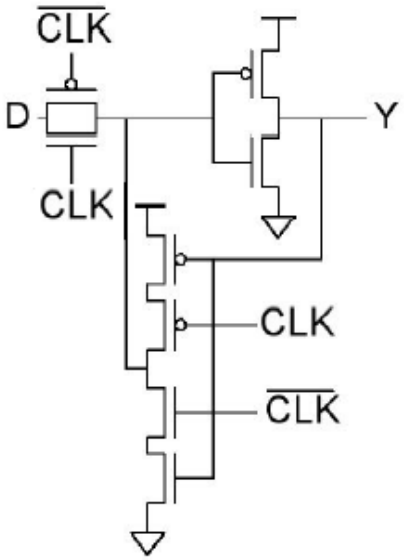


FIGURE 1.31 CMOS positive-level-sensitive *D* latch

جواب:



تقريبا همان است با اين تفاوت كه اطلاعات توسط Inverter ذخيره و حفظ مي شود و توسط Transmission گيت بازنويسي مي شود.

۱-۱٦-فكر كنيد در مورد طراحي يك تركيب CMOS گيت OR-AND-INVERT براي محاسبه $F = \overline{(A+B).C}$.

a) يك شماتيك ترانزسيتوري رسم كنيد.

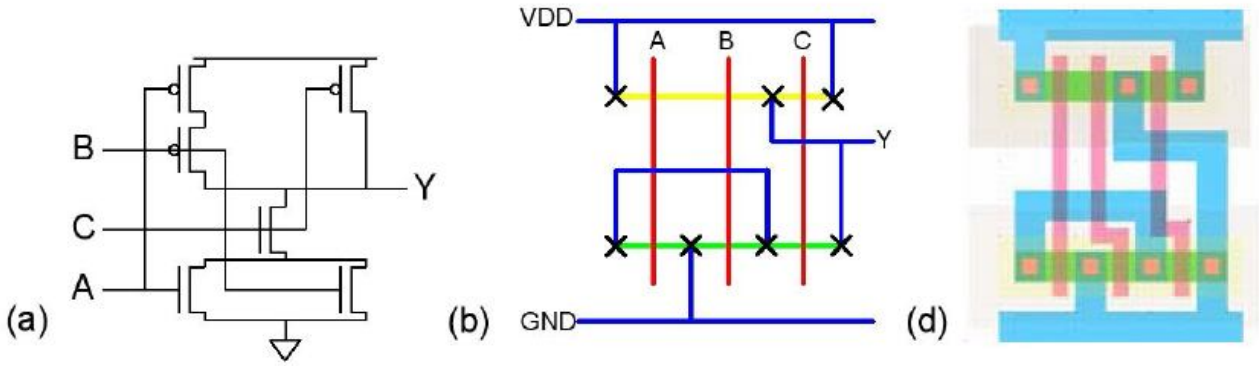
b) يك STICK دياگرام رسم كنيد.

c) مساحت را از روي STICK دياگرام تخمين بزنيد.

d) با يك ابزار CAD گيت خود را LAYOUT و ترانزيستورها را تك سايز انتخاب كنيد.

e) سايز LAYOUT و مساحت تخميني را مقايسه كنيد.

جواب:



c) ٦ تراك افقي و ٤ تراك عمودي داريم هر تراك 8λ پس مساحت مي شود:

$4*8\lambda*6*8\lambda = 1536\lambda^2$

e) سايز LAYOUT با مساحت تخمين زده شده برابر است.

۱-۱۷-فكـر كنيـد در مـورد طراحـي يـك تركيـب CMOS گيـت OR-AND-INVERT بـراي محاسـبه $F = \overline{(A+B)*(C+D)}$.

a) يك شماتيك ترانزسيتوري رسم كنيد.

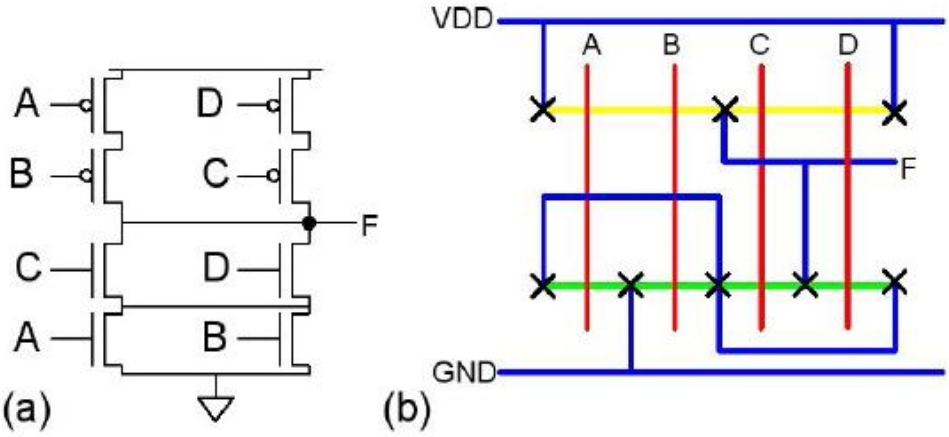
b) يك STICK دياگرام رسم كنيد.

c) مساحت را از روي STICK دياگرام تخمين بزنيد.

d) با يك ابزار CAD گيت خود را LAYOUT و ترانزيستورها را تك سايز انتخاب كنيد.

e) سايز LAYOUT و مساحت تخميني را مقايسه كنيد.

جواب:



c) ۷ تراك افقي و ۵ تراك عمودي داريم هر تراك 8λ پس مساحت مي شود:

$5*8\lambda*7*8\lambda = 2240\lambda^2$

d,e) LAYOUTهم بايد مانند STICK دياگرام اندازه ها مطابقت دارشته باشد.

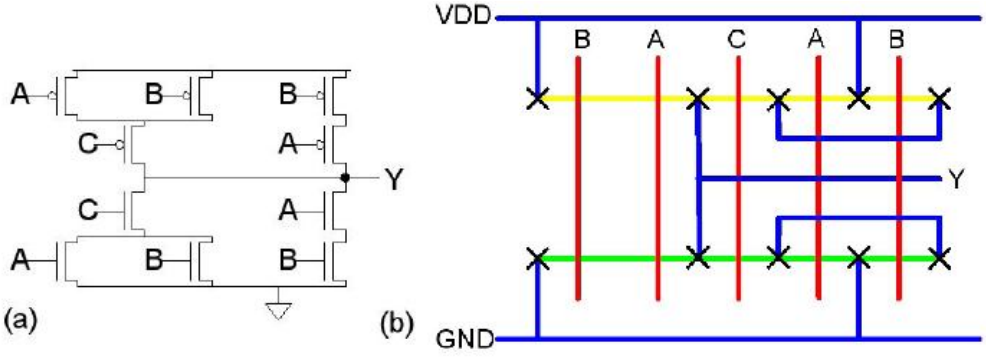
۱-۱۸-اگر حداقل دو ورودي يك گيت سه ورودي MAJORITY يك باشد در خروجي يك برمي گرداند . يك گيت MINORITY متمم آن است.يك گيت MINORITY سه ورودي CMOS طراحي كنيد كه از يك سيگنال هدايت كننده ايتفاده مي كند.

a) شماتيك ترانزيستوري آن را رسم كنيد.

b) STICK دياگرام آن را نصب كنيد.

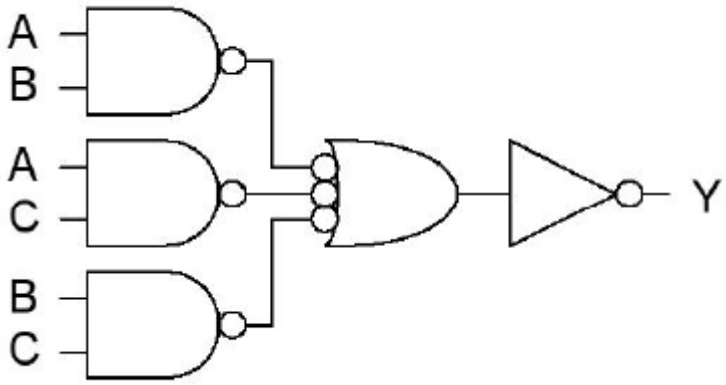
c) مساحت را از روي STICK دياگرام تخمين بزنيد.

جواب: c) $6_{VER}*8\mu*7_{HOR}*8\lambda = 2688\lambda^2$



۱-۱۹-يك گيت MINORITY سه ورودي با استفاده از گيت هاي NAND و NOR و اينوتر CMOS طراحي كنيد.چند ترانزيستور لازم لست؟ اين در مقايسه با طراحي تمرين ۱-۱۸ چگونه است؟

جواب:



اين مدار ۲۰ ترانزيستور و طرح تمرين ۱-۱۸ تعداد ۱۰ ترانزيستور لازم دارد.

۱-۲۰-يك جمع كننده پيش بيني كننده حامل محاسبه مي كند $G = G_3 + P_3(G_2 + P_2(G_1 + P_1G_0))$

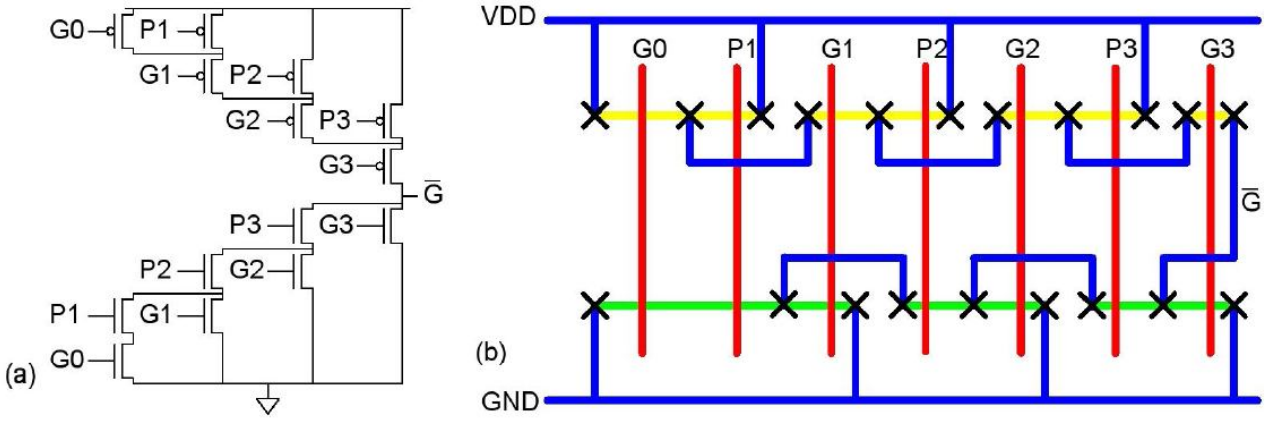
در باره يك تركيب گيت براي محاسبه $\overline{G}$ فكر كنيد.

شماتيك ترانزيستوري آن را رسم كنيد.

b) STICK دياگرام آن را نصب كنيد.

c) مساحت را از روي STICK دياگرام تخمين بزنيد.

جواب:



c) دياگرام داراي ۱۱ تراك عمودي و ٦ تراك افقي مي باشد پس مساحت مي شود:

$11*8\lambda*6*8\lambda = 4224\lambda^2$

۱-۲۱-مهم نيست.