





دانشکده فنی و مهندسی

پایان نامه کارشناسی

مهندسی برق گرایش مخابرات

عنوان پایان نامه:

بررسی و مقایسه روش‌های کاهش نویز فاز در سنسزکننده‌های

مبتنی بر حلقه قفل فاز

استاد راهنما:

دکتر سید محمد حسن جوادزاده

نگارش:

علی شهیدی صادقی

تایستان ۱۳۹۴

کلیه حقوق مادی و معنوی این پایان نامه متعلق به دانشگاه شاهد می باشد.

تقدیم به

شهدای عرصه علمی کشور

به ویژه شهدای هسته‌ای

شهید مسعود علی محمدی

شهید مجید شهریار

شهید داریوش رضایی نژاد

شهید مصطفی احمدی روشن

شهید رضا قشقایی

تشکر و قدردانی

خدای عزّ و جلّ را شاکرم که از روی کرم، پدر و مادری فداکار نصیبم ساخته تا در سایه درخت پربر و وجودشان بیسایم و از ریشه آن‌ها شاخ و برگ گیرم و از سایه وجودشان در راه کسب علم و دانش تلاش نمایم. والدینی که بودنشان تاج افتخاری است بر سرم و نامشان دلیلی است بر بودنم، چرا که این دو وجود، پس از پروردگار، مایه هستی‌ام بوده‌اند، دستم را گرفتند و راه رفتن را در این وادی زندگی پر فراز و نشیب آموختند. آموزگارانی که برایم زندگی، بودن و انسان بودن را معنا کردند. بدین‌وسیله از تمامی زحماتی که اعضای خانواده برای بنده متحمل شدند، تقدیر و تشکر می‌نمایم.

همچنین صمیمانه‌ترین سپاس و درود خود را به محضر استاد محترم جناب آقای دکتر سید محمد حسن جوادزاده که با راهنمایی‌های خود بنده را در تهیه و تنظیم این پایان‌نامه یاری دادند، تقدیم می‌دارم.

همچنین از جناب آقای مهندس امیرحسین حاجی‌حسینی که در نگارش این پایان‌نامه بنده را یاری کردند، تشکر و قدردانی می‌نمایم.

و در پایان بر خود لازم می‌دانم از زحمات بی‌دریغ برادر بزرگوار، جناب آقای دکتر سجاد محمدعلی‌نژاد که در طول دوران کارشناسی همواره از راهنمایی‌های ایشان استفاده کرده‌ام، تشکر و قدردانی نمایم.

علی شهیدی صادقی

تابستان ۱۳۹۴

چکیده

یکی از مهم‌ترین بلوک‌ها در هر فرستنده و گیرنده RF، بلوک سنتزکننده فرکانس^۱ می‌باشد. طراحی سنتزکننده فرکانس شامل بخش‌های گوناگونی همانند طراحی سیستمی، طراحی مدارات آنالوگ با نویز پایین، طراحی مدارات RF و طراحی مدارات دیجیتال با سرعت زیاد (فرکانس بالا) می‌باشد. در طراحی سنتزکننده فرکانس چالش‌های بسیاری از جمله نویز فاز^۲ بالا، وجود اسپور^۳ و زمان قفل^۴ وجود دارد. در این پروژه، روش‌های کاهش نویز فاز در یک سنتزکننده فرکانس مبتنی بر حلقه قفل فاز^۵ مورد مطالعه قرار گرفته است. همچنین برای بررسی نویز فاز در کاربردهای مختلف سنتزکننده فرکانس به کمک نرم‌افزارهای ADS و ADIsimPLL شبیه سازی صورت گرفته است و نتایج آن ارائه گردیده است.

کلیدواژه: سنتزکننده فرکانس، نویز فاز، اسپور، حلقه قفل فاز

Frequency synthesizer^۱

Phase noise^۲

Spurs^۳

Lock time^۴

Phase lock loop^۵

فهرست مطالب

صفحه	عنوان
۱.....	فصل ۱-مقدمه.....
۳.....	۱-۱- پارامترهای اصلی سنتزکننده.....
۴.....	۱-2- ساختار پایان نامه.....
۵.....	فصل ۲- بررسی اجزای تشکیل دهنده سنتزکننده فرکانس.....
۶.....	۱-۲- حلقه قفل فاز.....
۶.....	2-2- ساختار حلقه قفل فاز.....
۷.....	2-3-مدل تحلیلی برای PLL [5] [4].....
۱۰.....	2-4- آشکارساز فاز - فرکانس.....
۱۲.....	۲-۵- شارژ پامپ [4].....
۱۳.....	۲-۶- PLL شارژ پامپ [4].....
۱۶.....	۲-۷- ضرب فرکانسی.....
۱۷.....	فصل ۳-مبحث نویز فاز.....
۱۹.....	۳-۱- اثر نویز فاز در گیرنده.....

۲۱	۲-۲-۲- اثر نویز فاز در فرستنده.....
۲۱	۲-۲-۳- مدل leeson برای نویز فاز در اسلاتورها [6].....
۲۴	۲-۲-۴- مدل حاجیمیری و لی برای نویز فاز [7] [8].....
۲۸	۲-۲-۵- نویز در حلقه قفل فاز.....
۲۸	۲ ۵ ۳ نویز فاز در ورودی.....
۲۹	۲ ۵ ۳ نویز فاز VCO.....
۳۲	3-3-5- نویز فاز تقسیم کننده فرکانس [9].....
۳۴	۲ ۵ ۴ جمع بندی رفتار نویز فاز در PLL :.....
۳۶	فصل ۴- بهبود کارایی سنتز کننده فرکانس.....
۳۷	۴-۱- تبادل پارامترهای سنتز کننده.....
۳۹	۴-۲- N- کسری.....
۴۲	۴-۳- استفاده از DDS.....
۴۶	۴-۴- شیفت فرکانسی.....
۴۸	۴-۵- ساختار چند حلقه.....
۵۰	6-4- استفاده از YIG به جای VCO.....
۵۴	فصل ۵- بررسی و شبیهسازی نویز فاز در سنتز کنندههای فرکانسی در کاربردهای صنعتی.....
۵۵	1-5- گیرنده رادیو FM.....
۵۶	۵-۲- بخش تلویزیون UHF.....
۵۸	3-5- سیستم GSM موبایل.....

۶۰	4-5 دستگاه پیسیم
۶۲	5-5 RFID
۶۴	۵-۶- بلوتوث
۶۶	۵-۷- سیستم GPS
۶۸	۵-۸- مقایسه سنز کننده N- صحیح و N- کسری
۶۹	۵-۹- مقایسه N- صحیح و چند حلقه و شیفت فرکانسی

فهرست اشکال

- شکل ۱-۱: معماری فرستنده و گیرنده معمولی [4] ۲
- شکل ۲-۱: مفهوم کلی سنتزکننده فرکانس [3] ۳
- شکل ۳-۱: حالت گذرای سنتزکننده [4] ۴
- شکل ۱-۲: حلقه قفل فاز پایهای [5] ۶
- شکل ۲-۲: شکل موجها در یک PLL [4] ۷
- شکل ۳-۲: مدل خطی از یک PLL [5] ۹
- شکل ۴-۲: نمودار بود برای PLL و اثر پایداری [4] ۱۰
- شکل ۵-۲: پاسخ PFD به الف) نابرابری فرکانسی ب) نابرابری فازی [4] ۱۱
- شکل ۶-۲: نحوه اجرای PFD [4] ۱۲
- شکل ۷-۲: شارژ پامپ [4] ۱۲
- شکل ۸-۲: PFD بهراه شارژ پامپ [4] ۱۳
- شکل ۹-۲: PLL شارژ پامپ [10] ۱۴
- شکل ۱۰-۲: افزودن یک صفر به شارژ پامپ [4] ۱۴
- شکل ۱۱-۲: مکان هندسی ریشهها در PLL شارژ پامپ [4] ۱۵
- شکل ۱۲-۲: تقویت سیگنال در الف) تقویت کننده ولتاژ ب) یک PLL ۱۶
- شکل ۱-۳: شکل موج خروجی یک اسپلاتور ایدهآل و نویزی [4] ۱۸
- شکل ۲-۳: طیف خروجی از اسپلاتور واقعی و ایدهآل [4] ۱۹
- شکل ۳-۳: تبدیل به وسیله یک LO نویزی ۲۰
- شکل ۴-۳: الف) گیرنده ، ب) تبدیل با LO ایدهآل [4] ۲۰
- شکل ۵-۳: اثر LO نویزی در فرستنده ۲۱
- شکل ۶-۳: مدل اسپلاتور ۲۱
- شکل ۷-۳: نویز فاز در اسپلاتور حقیقی در مقیاس لگاریتمی [5] ۲۳
- شکل ۸-۳: تاثیر آمدن ضربه در لحظه پیک دامنه نوسان [8] ۲۴
- شکل ۹-۳: تاثیر آمدن ضربه در لحظه صفر نوسان [8] ۲۵
- شکل ۱۰-۳: بررسی ISF ولتاژ خروجی رینگ اسپلاتور [8] ۲۵

- شکل ۳-۱۱: تفسیر گرافیکی از نویز باند کناری [8] ۲۷
- شکل ۳-۱۲: تاثیر نویز فاز مرجع در یک PLL [4] ۲۹
- شکل ۳-۱۳: مدل فاز-دامنه برای مطالعه تاثیر نویز فاز VCO ۳۰
- شکل ۳-۱۴: تابع تبدیل نویز PLL از VCO تا خروجی [4] ۳۰
- شکل ۳-۱۵: تاثیر نویز فاز VCO روی PLL (نویز $1/f$) [4] ۳۱
- شکل ۳-۱۶: تاثیر نویز فاز VCO روی PLL (نویز سفید) ۳۲
- شکل ۳-۱۷: رسم نویز فاز از منابع نویز در PLL [9] ۳۳
- شکل ۳-۱۸: تاثیر نویز تقسیم کننده فرکانس بر PLL ۳۴
- شکل ۳-۱۹: منابع نویز در PLL [3] ۳۵
- شکل ۳-۲۰: نویز فاز خروجی سنتزکننده PLL [3] ۳۶
- شکل ۴-۱: تنزل نویز فاز به دلیل نسبت تقسیم بزرگ [3] ۳۷
- شکل ۴-۲: افزایش فرکانس مرجع باعث بهبود کلیه پارامترهای سنتزکننده میشود [3] ۳۸
- شکل ۴-۳: مفهوم تقسیم کسری ۳۹
- شکل ۴-۴: سنتزکننده N -کسری شامل ضریب تقسیم دوتایی کنترل شونده با آکومولاتور فاز [3] ۴۰
- شکل ۴-۵: تقسیم فرکانس آمده بر N یا $N+1$ [3] ۴۱
- شکل ۴-۶: استفاده از DDS بعنوان مرجع [3] ۴۲
- شکل ۴-۷: استفاده از DDS بعنوان یک تقسیم کننده کسری [3] ۴۳
- شکل ۴-۸: خارج کردن DDS از حلقه قفل فاز به منظور از بین بردن اسپور [3] ۴۳
- شکل ۴-۹: کاهش اسپورس DDS [3] ۴۵
- شکل ۴-۱۰: گسترش پهنای باند DDS [3] ۴۵
- شکل ۴-۱۱: اختلاف فرکانسی در داخل مسیر فیدبک [3] ۴۶
- شکل ۴-۱۲: اضافه شدن یک کوپلر و یک تقویت کننده برای بهبود تقویت کننده [3] ۴۷
- شکل ۴-۱۳: سیگنال آفست توسط مرجع و یک ضرب فرکانسی، تولید میشود [3] ۴۸
- شکل ۴-۱۴: ضرب کننده فرکانسی در مسیر فیدبک عملکرد نویز PLL را بهبود میبخشد [3] ۴۸
- شکل ۴-۱۵: مثالی از سنتزکننده دو حلقه‌ای [3] ۴۹
- شکل ۴-۱۶: سنتزکننده چند حلقه‌ای [3] ۵۰
- شکل ۴-۱۷: مقایسه نویز فاز در VCO و YIG ۵۱
- شکل ۴-۱۸: مشاهده اسپلاتورهای VCO و YIG در داخل پهنای باند حلقه YIG [3] ۵۲
- شکل ۴-۱۹: مشاهده اسپلاتورهای VCO و YIG در داخل پهنای باند حلقه بهینه خود [3] ۵۲

- شکل ۴-۲۰: کاهش سطح نویز PLL و گسترش پهنای باند حلقه فیلتر موجب کاهش اختلاف نویز فاز بین YIG و سنتزکننده مبتنی بر VCO می باشد. [3] ۵۳
- شکل ۵-۱: شماتیک طراحی سنتزکننده فرکانس رادیو FM ۵۵
- شکل ۵-۲: نمودار نویز فاز سنتزکننده رادیو FM در 97MHz ۵۶
- شکل ۵-۳: شماتیک سنتزکننده فرکانس پخش خانگی تلویزیون ۵۷
- شکل ۵-۴: نمودار نویز فاز سنتزکننده پخش تلویزیون در 632MHz ۵۸
- شکل ۵-۵: شماتیک سنتزکننده فرکانس برای سیستم GSM ۵۹
- شکل ۵-۶: نمودار نویز فاز سنتزکننده سیستم GSM با بدترین حالت اسپور ۶۰
- شکل ۵-۷: شماتیک سنتزکننده فرکانس برای دستگاه بیسیم ۶۱
- شکل ۵-۸: نمودار نویز فاز برای سنتزکننده بیسیم ۶۲
- شکل ۵-۹: شماتیک سنتزکننده فرکانس برای RFID ۶۳
- شکل ۵-۱۰: نمودار نویز فاز سنتزکننده سیستم RFID ۶۴
- شکل ۵-۱۱: شماتیک سنتزکننده فرکانس برای سیستم بلوتوث ۶۵
- شکل ۵-۱۲: نمودار نویز فاز سنتزکننده سیستم Bt ۶۶
- شکل ۵-۱۳: شماتیک سنتزکننده فرکانس برای GPS ۶۷
- شکل ۵-۱۴: نمودار نویز فاز برای سنتزکننده سیستم GPS ۶۸
- شکل ۵-۱۵: شماتیک سنتزکننده N-کسری ۶۸
- شکل ۵-۱۶: مقایسه نویز فاز در سنتزکننده نوع صحیح و کسری ۶۹
- شکل ۵-۱۷: طراحی حلقه قفل فاز در نرم افزار ADS ۷۰
- شکل ۵-۱۸: نمودار نویز فاز حلقه قفل فاز طراحی شده ۷۰
- شکل ۵-۱۹: شماتیک سنتزکننده دو حلقه در نرم افزار ADS ۷۰
- شکل ۵-۲۰: طراحی شماتیک سنتزکننده شیفت فرکانسی در نرم افزار ADS ۷۰
- شکل ۵-۲۱: نمودار نویز فاز سنتزکننده دو حلقه‌ای ۷۰
- شکل ۵-۲۲: نمودار نویز فاز در سنتزکننده شیفت فرکانسی ۷۰

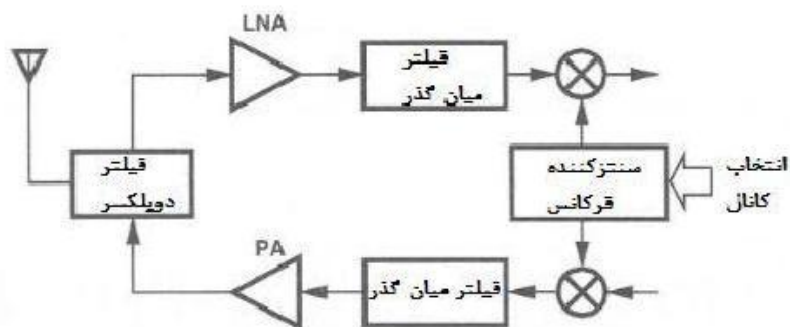
فهرست جداول

جدول ۱-۵: نویز فاز برای سنتزکننده رادیو FM	۵۵
جدول ۲-۵: جدول نویز فاز برای سنتزکننده پخش همگانی تلویزیون	۵۷
جدول ۳-۵: نویز فاز برای سنتزکننده سیستم GSM	۵۹
جدول ۴-۵: جدول نویز فاز برای سنتزکننده فرکانس دستگاه بی-سیم	۶۱
جدول ۵-۵: نویز فاز برای یک RFID	۶۳
جدول ۶-۵: مقایسه نویز فاز یک سنتزکننده فرکانس سیستم Bt	۶۵
جدول ۷-۵: مقایسه نویز فاز یک سنتزکننده فرکانس سیستم GPS	۶۷

فصل ۱ - مقدمه

اخیرا، سامانه‌ها در باند فرکانسی موج میلی‌متری کار می‌کنند و در بسیاری از سامانه‌های کاربردی نشان داده می‌شوند. بعنوان مثال برای بهره‌جستن از مخابرات بی‌سیم با سرعت بالا، از فرستنده و گیرنده‌هایی با فرکانس 60 GHz استفاده می‌کنند. در فرکانس 77 GHz از سامانه‌های رادار خودرو، استفاده می‌شود. و در 94 GHz از سامانه‌های تصویربرداری پزشکی استفاده می‌شود. در سامانه‌های موج میلی‌متری، بخش LO یکی از اجزای کلیدی می‌باشد و اکثر آنها نیاز به نویز فاز کم و توان خروجی بالا می‌باشند. بعنوان مثال نویز فاز در فرکانس حامل دقت سامانه را کاهش می‌دهد و خطای آن را بالا می‌برد. [1] [2]

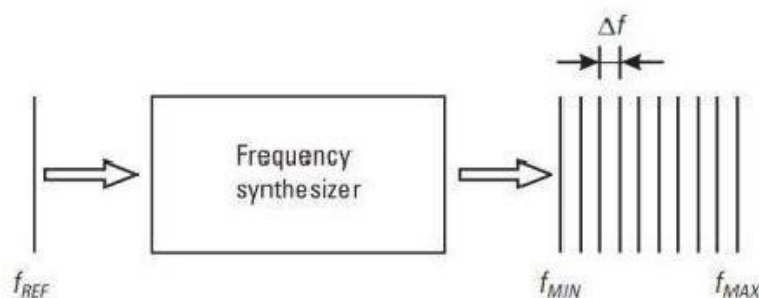
سنتزکننده‌های فرکانس از جمله پرکاربردترین ادوات مورد استفاده در کاربردهای مخابراتی هستند که به طور وسیعی مورد استفاده قرار می‌گیرند و هدف از بکارگیری آنها تولید یک بازه فرکانسی دلخواه می‌باشد. در حقیقت نوسان‌سازهای بکار رفته در فرستنده _ گیرنده‌های RF را در یک سنتزکننده قرار می‌دهند، تا بتوان فرکانس خروجی آنها را به دقت تنظیم کرد. نقش سنتزکننده در یک فرستنده و گیرنده معمولی در شکل ۱-۱ مشاهده می‌کنید. در حقیقت سنتزکننده فرکانس یک دستگاه الکتریکی است که یک یا چند فرکانس مرجع را به تعدادی فرکانس خروجی تبدیل می‌کند. اگر سنتزکننده فرکانس را به صورت یک جعبه سیاه در



شکل ۱-۱: معماری فرستنده و گیرنده معمولی [4]

Local oscillator ^

نظر بگیریم اجزای آن می‌تواند شامل اسپلاتور کنترل شونده ولتاژ^۱، مالتی‌پلکسر^۲، میکسر^۳، آشکارساز فاز^۴ و ... باشد. در شکل ۲-۱ مفهوم کلی سنتزکننده فرکانس به نمایش در آمده است.



شکل ۲-۱: مفهوم کلی سنتزکننده فرکانس [3]

۱-۱- پارامترهای اصلی سنتزکننده

پارامترهایی که در حوزه زمان و فرکانس وجود دارد می‌توان به گام فرکانسی^۵، پوشش فرکانسی^۶ و زمان قفل اشاره کرد که در ذیل به هر یک از آنها را تعریف می‌کنیم.

گام فرکانسی: به فاصله فرکانسی بین دو فرکانس متوالی گام فرکانسی می‌گویند. [3]

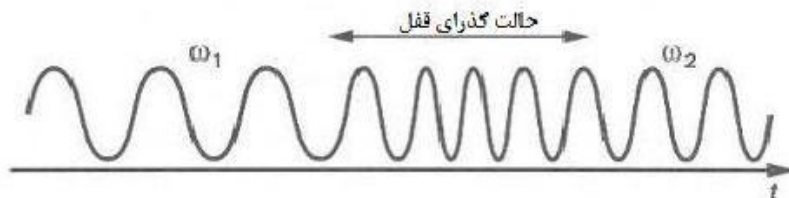
$$\Delta F = f_{n+1} - f_n \quad 1-1$$

پوشش فرکانسی: محدوده فرکانسی تولید شده توسط سنتزکننده را مشخص می‌کند. [3]

- ¹ Voltage control oscillator
- ² Multiplexer
- ³ Mixer
- ⁴ Phase detector
- ⁵ Step size
- ⁶ Frequency coverage

زمان قفل : وقتی ورودی دیجیتال برای انتخاب کانال دستوری تعویض کانال می‌دهد، سنتزکننده زمان مشخصی لازم دارد تا به فرکانس جدید برسد. زمان قفل شدن به طور دقیق در شکل ۳-۱ معرفی شده است. [4]

از دیگر پارامترهای اصلی سنتزکننده فرکانس می‌توان به نویز فاز و اسپور اشاره کرد که به طور کامل در فصل ۳ درباره آن صحبت خواهیم کرد.



شکل ۳-۱. حالت گذرای سنتزکننده [4]

۱-۲- ساختار پایان نامه

سنتزکننده فرکانس معماری‌های متفاوتی برای طراحی دارند از جمله سنتزکننده مستقیم دیجیتال، مستقیم آنالوگ، غیرمستقیم دیجیتال و غیر مستقیم آنالوگ معماری‌های گوناگون یک سنتزکننده می‌باشند. [3] در فصل ۲ به بررسی یک سنتزکننده غیر مستقیم مبتنی حلقه قفل فاز پرداخته شده است و در فصل ۳ به بررسی نویز فاز و تاثیر آن بر حلقه قفل فاز و در فصل ۴ راهکارهای بهبود این پارامتر پرداخته شده است. همچنین در فصل ۵ شبیه‌سازی سنتزکننده فرکانس در رنج‌های فرکانسی متفاوت و کاربردی در صنعت، به بحث گذاشته خواهد شد.

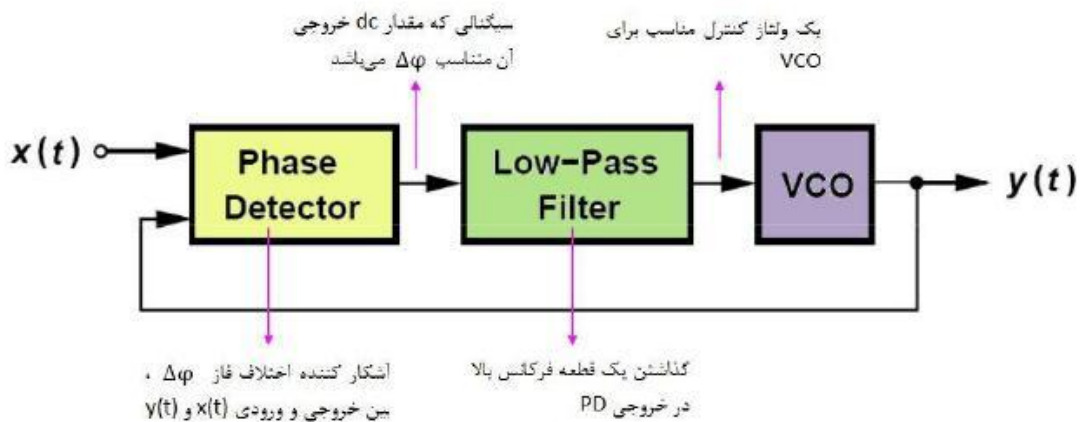
فصل ۲- بررسی اجزای تشکیل دهنده سنتزکننده فرکانس

۲-۱- حلقه قفل فاز

اسیلاتور را نمی‌توان به صورت تنها در فرستنده و یا گیرنده استفاده نمود زیرا ممکن است با تغییر درجه حرارت و یا در اثر عواملی دیگر فرکانس خروجی تغییر کند و سیستم را بر هم بزند در نتیجه ما به دنبال اسیلاتوری می‌باشیم که فرکانس خروجی آن قرص و محکم باشد پس برای اینکه بتوانیم یک فرکانس قرص و محکم، مستقل از تغییرات را بدست آوریم اسیلاتور را در یک حلقه قفل فاز قرار می‌دهیم، همچنین با توجه به اینکه در فرستنده و یا گیرنده باید کانال‌های مختلفی را بگیریم، باید حلقه قفل فاز را به یک سنتزکننده تبدیل کنیم. [5]

۲-۲- ساختار حلقه قفل فاز

به صورت کلی ساختار یک حلقه قفل فاز (PLL) به صورت شکل ۲-۱ می‌باشد.



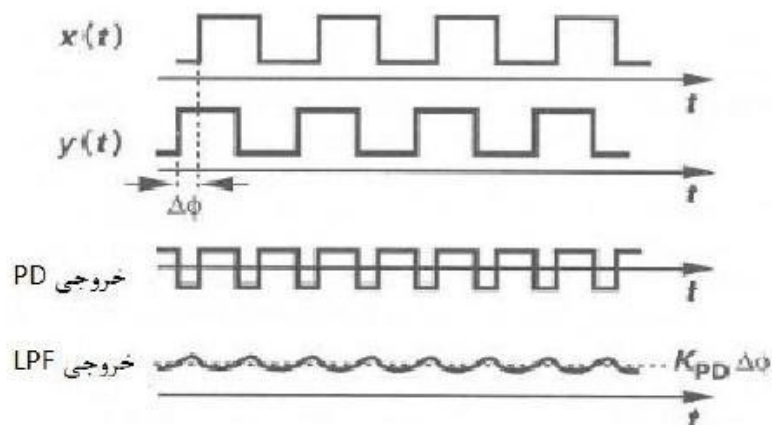
شکل ۲-۱: حلقه قفل فاز پایه‌ای [5]

در حقیقت حلقه قفل فاز یک سیستم فیدبکی می‌باشد که فاز خروجی را با فاز ورودی مقایسه می‌کند. عناصر این سیستم عبارتند از مقایسه کننده فاز، فلیتر پایین گذر و نوسان‌ساز کنترل شده با ولتاژ. وقتی حلقه روی

Phase lock loop ^۱

سیگنال متناوب ورودی قفل می‌شود، فرکانس VCO دقیقاً با فرکانس سیگنال ورودی برابر می‌شود. آشکار ساز فاز اختلاف فاز بین سیگنال ورودی و سیگنال خروجی VCO، در خروجی خود قرار می‌دهد و پس از عبور از فیلتر پایین گذر به یک سیگنال dc یا فرکانس پایین تبدیل می‌شود که، با اختلاف فاز بین سیگنال ورودی و سیگنال خروجی متناسب است. آنگاه این سیگنال به ورودی کنترل VCO اعمال می‌شود. شکل ۲-۲ یک مثال نوعی می‌باشد. فرکانس ورودی و خروجی برابر می‌باشند اما در یک فاز محدودی اختلاف دارند.

آشکارساز فاز، فازی را تولید می‌کند که پهنای آن برابریست با اختلاف بین تقاطع صفرهای شکل موج سیگنال‌های ورودی و خروجی. این پالس توسط فیلتر پایین گذر به منظور ایجاد یک سیگنال DC خروجی برای کنترل ولتاژ VCO برای ایجاد فرکانس مورد نیاز فیلتر می‌شود.



شکل ۲-۲: شکل موج‌ها در یک PLL [4]

۲-۳- مدل تحلیلی برای PLL [5] [4]

Voltage control oscillator^۱

می‌خواهیم به ازای هر کدام از اجزای PLL، یک تابع انتقال در میدان s بنویسیم. در حالت قفل شده، رابطه‌ای خطی بین ولتاژ خروجی آشکار ساز فاز و اختلاف فاز بین VCO و سیگنال ورودی وجود دارد که شیب این رابطه را گین PD که با K_{PD} نشان می‌دهیم. برای فیلتر پایین گذر خود در ساده‌ترین حالت یک فیلتر درجه ۱ در نظر می‌گیریم.

$$G_{LPF}(s) = \frac{1}{1 + \frac{s}{\omega_{LPF}}} \quad 1-2$$

برای VCO، ما یک فرکانس ثابت ω_0 داریم که می‌توانیم با یک ولتاژ کنترل آن را تغییر دهیم.

$$\omega_{out} = \omega_0 + K_{vco} V_{con} \quad 2-2$$

پس در نتیجه خروجی اسیلاتور برابرست با:

$$V_{out} = A \cos\left(\int \omega_{out} dt\right) \quad 3-2$$

که در آن $\varphi_{out} = \int \omega_{out} dt$ می‌باشد.

$$\varphi_{out}(t) = \omega_0 t + K_{vco} \int V_{con} dt \quad 4-2$$

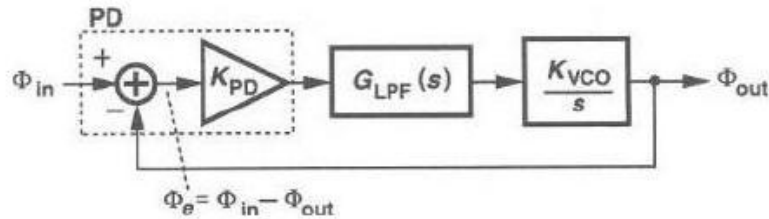
چون تغییرات فاز برای ما مهم می‌باشد و همچنین به دلیل ثابت بودن ω_0 ، ما فاز مازاد را مورد بررسی قرار می‌دهیم. در نتیجه

$$\varphi_{out}(t) = K_{vco} \int V_{con} dt \quad 5-2$$

به این ترتیب، با مداری مواجه‌ایم که ورودی آن V_{con} می‌باشد و انتگرال آن گرفته شده به خروجی می‌رود، حال تابع انتقال آن را می‌توانیم به صورت زیر بنویسیم.

$$\frac{\varphi_{out}(s)}{V_{con}(s)} = K_{vco} \times 1/s \quad 6-2$$

شکل ۳-۲ مدل خطی یک PLL در حالت قفل به همراه تابع تبدیل هر بلوک را به نمایش در آورده است.



شکل ۳-۲: مدل خطی از یک PLL [5]

تابع تبدیل حلقه باز برای PLL به نمایش درآمده در شکل ۳-۲ برابریست با:

$$H_o(s) = K_{PD} \frac{1}{1 + \frac{s}{\omega_{LPF}}} \frac{K_{VCO}}{s} \quad ۷-۲$$

پس در ادامه تابع تبدیل حلقه بسته را می سازیم :

$$\frac{\varphi_{out}(s)}{\varphi_{in}(s)} = \frac{H_o(s)}{1 + H_o(s)} = \frac{K_{PD} K_{VCO} \omega_{LPF}}{s^2 + \omega_{LPF} s + K_{PD} K_{VCO} \omega_{LPF}} \quad ۸-۲$$

سیستم با یک قطب به وسیله مشارکت VCO و دیگری به وسیله LPF، به درجه ۲ بودن، اشاره دارد. پرواضح است که درجه سیستم به درجه فیلتر وابسته است. مقدار $K = K_{PD} K_{VCO}$ "گین حلقه" نامیده می شود و هر حسب rad/sec بیان می شود.

برای فهمیدن رفتار PLL، ما مخرج کسر معادله ۸-۲ را شبیه فرمول نظریه کنترل، تبدیل می کنیم $s^2 + 2\zeta\omega_n s + \omega_n^2$ که همان ضریب میرایی است و ω_n نیز فرکانس طبیعی می باشد. بنابراین

$$H(s) = \frac{\omega_n^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \quad ۹-۲$$

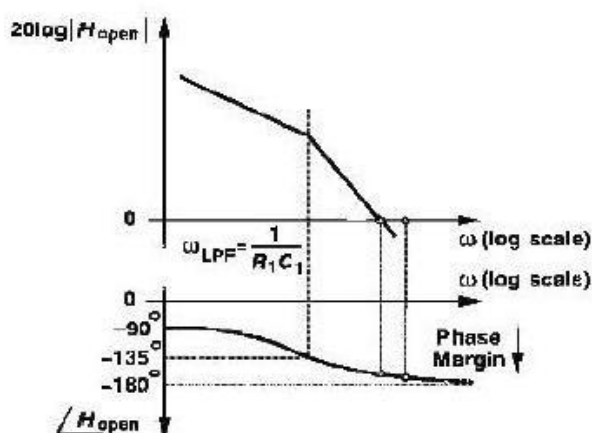
که

$$\omega_n = \sqrt{\omega_{LPF} K} \quad ۱۰-۲$$

$$\zeta = \frac{1}{2} \sqrt{\frac{\omega_{LPF}}{K}}$$

۱۱-۲

برای بررسی بیشتر PLL ما نمودار بود^۱ تابع تبدیل حلقه باز PLL را رسم می کنیم. با توجه به شکل ۲-۴ و با توجه به پایداری مدار، ما علاقه مندیم که ω_{LPF} را بزرگتر در نظر بگیریم تا حد فاز (PM) بهتری به ما بدهد تا مدار پایدار بماند.



شکل ۲-۴: نمودار بود برای PLL و اثر پایداری [4]

از طرفی ما علاقه مندیم که در مدار یک فیلتر پایین گذر داشته باشیم و هر مقدار پایین گذرتر باشد، به علت اینکه ولتاژ کنترل با ریپل کمتری می دهد و در نتیجه حول فرکانسی که VCO قرار است نوسان کند، اعوجاج کمتری ایجاد می شود؛ از این نظر بهتر است. پس ما با یک تناقض روبه رو می شویم که این از نواقص این مدار می باشد.

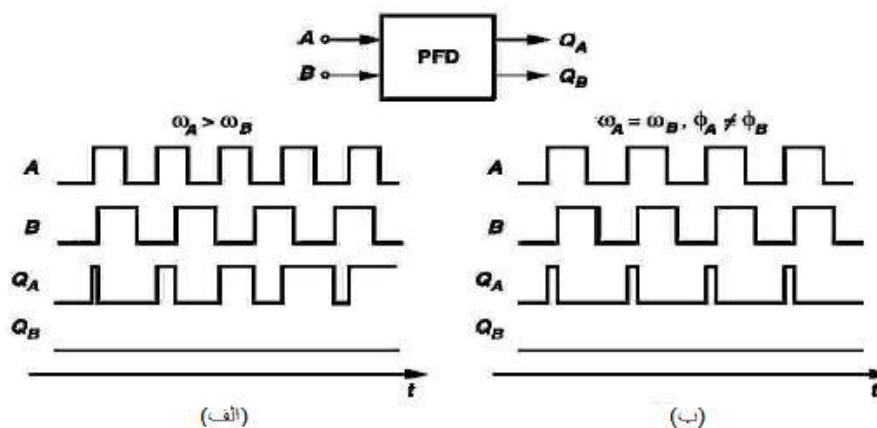
۲-۴ - آشکارساز فاز - فرکانس

اگر ما زمانی که سیگنال خروجی را با سیگنال ورودی مقایسه می کنیم فقط به فاز سیستم توجه نداشته باشیم و به فرکانس سیستم هم نگاه کنیم، اتفاقی که می افتد این است که سرعت قفل کردن سیستم بیشتر می شود

Bode Diagram^۱

و همچنین محدوده رنجی که PLL می‌تواند قفل کند وسیع‌تر می‌شود پس بنابراین ما به جای آشکارساز فاز، آشکارساز فاز-فرکانس (PFD) می‌گذاریم.

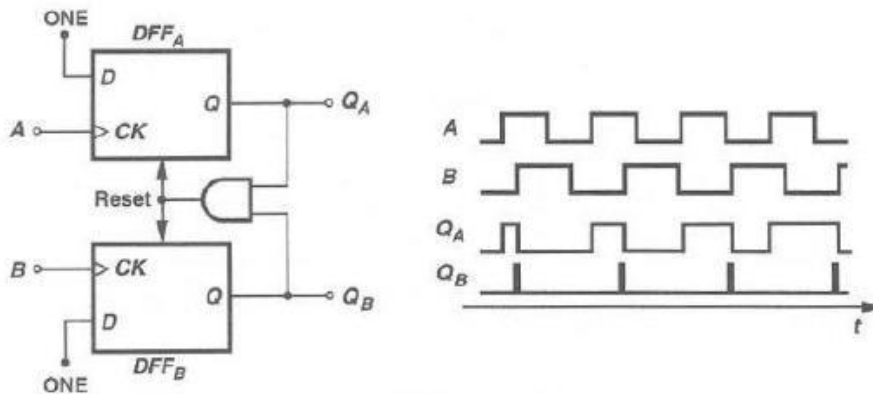
در شکل ۵-۲ عملکرد یک PFD به نمایش در آمده است. اگر فرکانس سیگنال ورودی A بزرگتر از ورودی B باشد؛ PFD پالس‌های مثبت در Q_A تولید می‌کند در حالی که Q_B صفر می‌باشد. عکس آن اگر $\omega_A < \omega_B$ باشد، آنگاه پالس‌های مثبت در Q_B آشکار می‌شود؛ در حالیکه $Q_B=0$ می‌باشد. اگر $\omega_A = \omega_B$ باشد، مدار در هر یک از Q_A یا Q_B پالس‌هایی تولید می‌کند که عرض آن برابر اختلاف فاز دو ورودی می‌باشد.



شکل ۵-۲: پاسخ PFD به الف) نابرابری فرکانسی ب) نابرابری فازی [4]

شکل ۶-۲ اجرای منطقی مدار بالا را نشان می‌دهد. مدار شامل دو عدد D فلیپ‌فلاپ حساس به دو لبه بالارونده و پایین رونده می‌باشد که ورودی D آن برابر یک منطقی است. سیگنال‌های A و B به ترتیب به عنوان کلاک پالس DFF_A و DFF_B عمل می‌کنند و گیت AND در صورتی که $Q_A=Q_B$ باشد فلیپ‌فلاپ‌ها را ریست می‌کند. زمانی که سیگنال پالس A می‌آید Q_A نیز فعال می‌شود و در زمانی که پالس B می‌آید Q_B نیز فعال می‌شود و در نتیجه گیت AND فعال می‌شود و دو فلیپ‌فلاپ را ریست می‌کند.

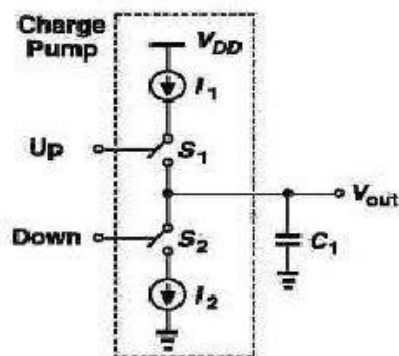
Phase frequency detector ^۱



شکل ۲-۶: نحوه اجرای PFD [4]

۲-۵- شارژ پامپ [4]

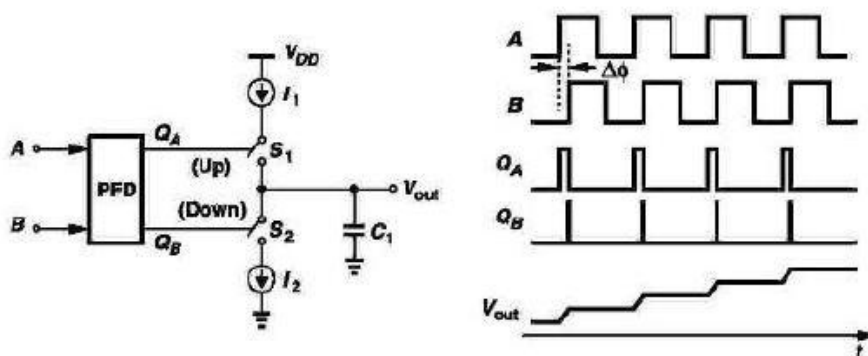
شارژ پامپ^۱ منبع جریانی برای محدود کردن پریود زمانی است. در شکل ۲-۷ یک مثال نشان داده شده است که سونچ‌های s_1 و s_2 به ترتیب به ورودی‌های "Up" و "Down" کنترل می‌شوند. عرض پالس در ورودی Up، s_1 را برای زمان ΔT روشن کرده، اجازه می‌دهد I_1 را شارژ کند. در نتیجه V_{out} افزایش پیدا می‌کند.



شکل ۲-۷: شارژ پامپ [4]

Charge pump^۱

به صورت مشابه، اگر پالس در Down ظاهر شود؛ V_{out} کاهش پیدا می‌کند. اجازه دهید، مدار شکل ۲-۶ را به یک شارژ پامپ در شکل ۲-۷ متصل کنیم. همین طور که مشخص است، اگر به عنوان مثال A از B جلوتر باشد، بنابراین Q_A شروع به تولید پالس می‌کند و V_{out} شروع به افزایش می‌کند. نکته کلیدی که اینجا وجود دارد این است که مقدار دلخواه کوچکی اختلاف فاز بین A و B، یکی از سوییچ‌ها را روشن می‌کند و به موجب آن خازن C_1 شارژ و تخلیه می‌شود و V_{out} به صورت پله‌ای تا $+\infty$ یا $-\infty$ به آرامی افزایش پیدا می‌کند.



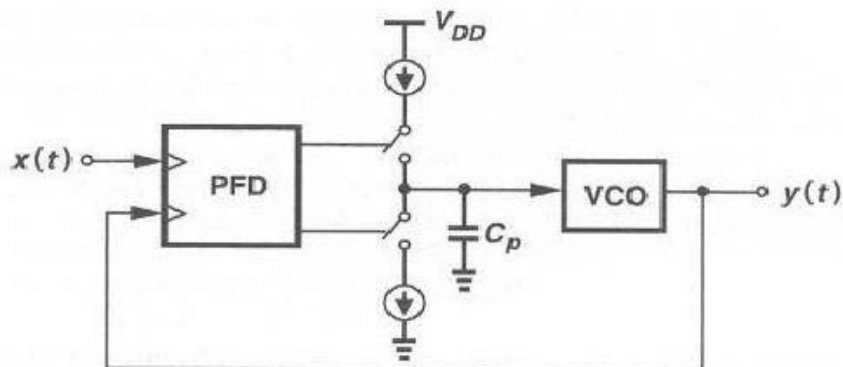
شکل ۲-۸: PFD به‌راه شارژ پامپ [4]

پس همان طور که مشاهده می‌شود مدار شکل ۲-۸ از یک اختلاف فاز ثابت، خروجی شیب مانند می‌دهد. پس بنابراین ما می‌توانیم آن را به‌عنوان یک انتگرال گیر با یک ضریب ثابت به صورت زیر مدل کنیم.

$$H(s) = \frac{K_{PFD}}{s} \quad ۲-۱۲$$

۲-۶- PLL شارژ پامپ [4]

حال ما یک PLL با مدار شکل ۲-۸ ساختیم. همانطور که شکل ۲-۹ به تصویر کشیده شده است، ما یک حلقه ایده‌آل داریم که باعث می‌شود که خطای فاز ورودی صفر شود، زیرا که با اختلاف فاز خازن C_p با شارژ و تخلیه خود باعث افزایش یا کاهش ولتاژ کنترل VCO می‌شود تا که این اختلاف فاز و یا فرکانس جبران شود.

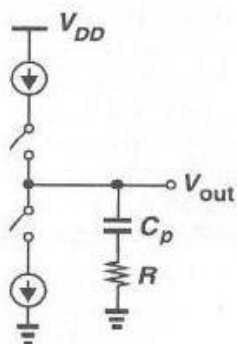


شکل ۹-۲: PLL شارژ پامپ [10]

ما می‌توانیم تابع تبدیل حلقه بسته PLL را به صورت زیر بنویسیم.

$$H(s) = \frac{\frac{K_{PFD} K_{VCO}}{s} \frac{K_{PFD} K_{VCO}}{s}}{1 + \frac{K_{PFD} K_{VCO}}{s} \frac{K_{PFD} K_{VCO}}{s}} = \frac{K_{PFD} K_{VCO}}{s^2 + K_{PFD} K_{VCO}} \quad ۱۳-۲$$

وجود دو قطب موهومی در محور $j\omega$ باعث ایجاد ناپایداری در سیستم می‌شود. ملاحظه می‌شود که برای دستیابی به پایداری، باید یک صفر به تابع تبدیل حلقه باز مدار باید اضافه شود. صفر پایدار ساز در یک CPPLL^۱ می‌تواند به وسیله قرار دادن یک مقاومت به صورت سری با خازن شارژ پامپ C_p تحقق یابد.



شکل ۱۰-۲: افزودن یک صفر به شارژ پامپ [4]

Charge-Pump PLL^۱

فرض کنید حلقه با یک خطای فازی $\Phi_e = \Phi_{in} - \Phi_{out}$ آغاز می‌کند. پس متوسط جریانی که خازن را شارژ می‌کند برابریست با $I\Phi_e/2\pi$ و متوسط ولتاژ کنترل در VCO برابریست با:

$$V_{cont}(s) = \frac{I\Phi_e}{2\pi} \left(R + \frac{1}{C_p s} \right) \quad ۱۴-۲$$

مشخص است که $\Phi_{out}(s) = V_{cont}(s) K_{VCO}/s$ ، ما تابع تبدیل حلقه بسته را در ادامه بدست می‌آوریم.

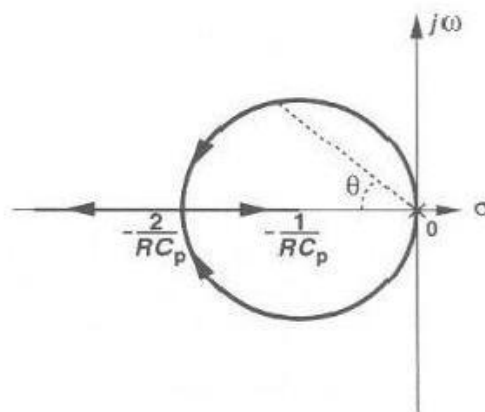
$$H(s) = \frac{\frac{I}{2\pi C_p} (RC_p s + 1) K_{VCO}}{s^2 + \frac{I}{2\pi} K_{VCO} R s + \frac{I}{2\pi C_p} K_{VCO}} \quad ۱۵-۲$$

پس سیستم به وسیله یک صفر در $\omega_z = -1/(RC_p)$ مشخص می‌شود و

$$\omega_n = \sqrt{\frac{I}{2\pi C_p} K_{VCO}} \quad ۱۶-۲$$

$$\zeta = \frac{R}{2} \sqrt{\frac{I C_p}{2\pi} K_{VCO}} \quad ۱۷-۲$$

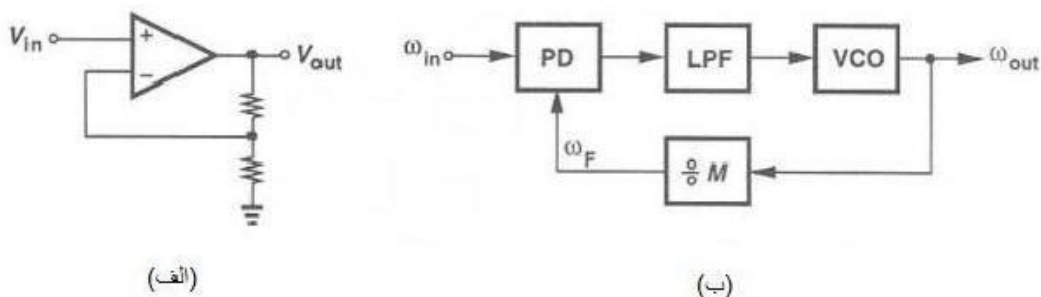
مکان هندسی ریشه‌ها در شکل زیر نشان می‌دهد که پایداری مدار درست شد.



شکل ۱۱-۲: مکان هندسی ریشه‌ها در PLL شارژ پامپ [4]

۷-۲- ضرب فرکانسی

سنتزکننده فرکانس اغلب نیازمند آن است که فرکانس خروجی خود را چندین برابر فرکانس ورودی در نظر بگیرد زیرا توی فرکانس‌های بالا در حد گیگا هرتز نوسان می‌کند. همچنین فرکانس ورودی باید در حد چند صد کیلو هرتز تا مگا هرتز باشد زیرا ما مایل هستیم فرکانس $L\omega$ را با فاصله‌های کم جابه‌جا کنیم تا کانال‌های مختلف را بگیریم. پس یک PLL می‌تواند یک فرکانس را مشابه یک مدار فیدبک در یک تقویت کننده ولتاژ که در شکل ۱۲-۲ (الف) نشان داده شده تقویت کند چون خروجی کمیتی از بهره فرکانسی است، تقسیم کننده فرکانس باید در حلقه فیدبک جای بگیرد.



شکل ۱۲-۲: تقویت سیگنال در الف) تقویت کننده ولتاژ ب) یک PLL

با بیانی دیگر، زمانی که حلقه قفل کند $\omega_F = \omega_{in}$ و همچنین $\omega_{out} = M\omega_{in}$.

فصل ۳ - مبحث نويز فاز

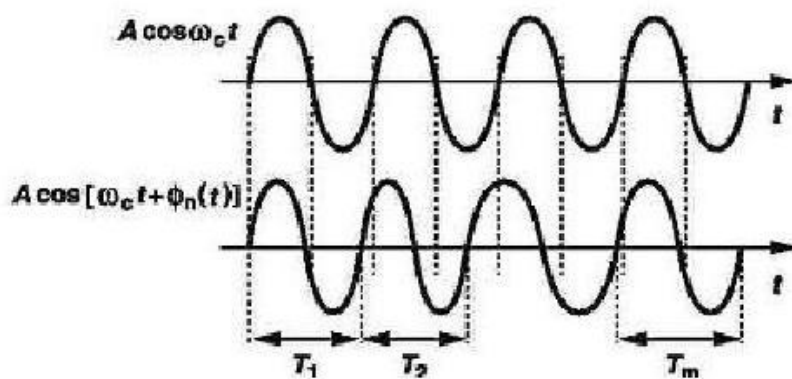
خروجی اسپلاتور را می‌توان به صورت زیر نمایش داد:

$$X(t) = A \sin(\omega_c t + \phi_n(t)) \quad 1-3$$

که $\phi_n(t)$ دارای مقدار تصادفی کوچکی می‌باشد که در فاز اسپلاتور پدیدار شده است.

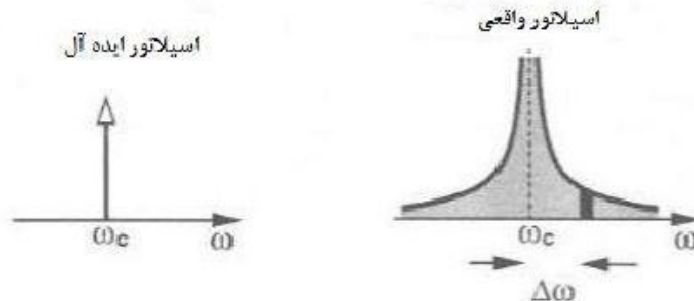
$$|\phi_n(t)| \ll 1 \rightarrow X(t) = A \cos(\omega_c t) - A\phi_n(t) \sin(\omega_c t) \quad 2-3$$

همان طور که معلوم است نویز در فاز اسپلاتور پدیدار می‌گردد و نویز دامنه برای ما مهم نیست زیرا توسط محدود کننده و یا بافر از بین می‌رود. در شکل ۱-۳، شکل موج خروجی یک اسپلاتور ایده آل و یک اسپلاتور واقعی به نمایش در آمده است.



شکل ۱-۳: شکل موج خروجی یک اسپلاتور ایده‌آل و نویزی [4]

برای یک اسپلاتور سینوسی ایده‌آل که در فرکانس ω_c کار می‌کند طیف فرکانسی شبیه یک ضربه در آن فرکانس دارد در حالی که یک اسپلاتور واقعی طیف فرکانسی اطراف فرکانس حامل را نشان می‌دهد.



شکل ۳-۲: طیف خروجی از اسیلاتور واقعی و ایده آل [4]

بنابراین نویز فاز در آفست $\Delta\omega$ برابر است با توان نویز در پهنای باند 1Hz نسبت به توان سیگنال کریپر می‌باشد. [3] [4] [5]

$$\ell(\Delta\omega) = 10 \log \frac{P_{N(1Hz)}}{P_C} \text{ dBc/Hz} \quad 3-3$$

که در آن $P_{N(1Hz)}$ برابر توان نویز در پهنای باند واحد می‌باشد و P_C توان سیگنال کریپر می‌باشد. برای مثال اگر توان کریپر -2dBm باشد و توان نویز اندازه‌گیری شده در پهنای باند 1kHz در فاصله 1MHz آفست از کریپر برابر -70dBm باشد نویز فاز برابرست با: [4]

$$\ell(\Delta\omega) = 10 \log \frac{P_{N(1Hz)}}{P_C} = 10 \log P_{N(1Hz)} - 10 \log P_C$$

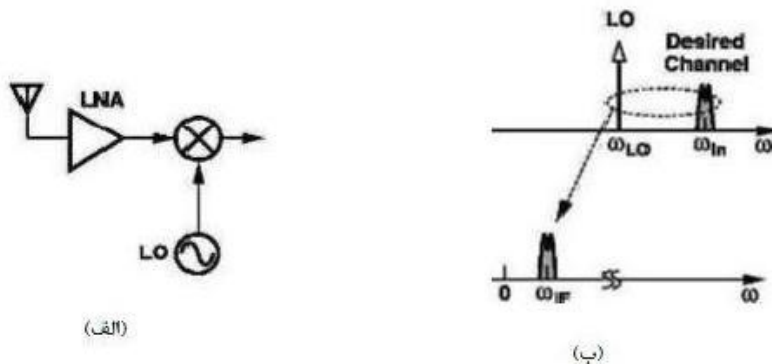
$$10 \log P_{N(1Hz)} \times (1000) = -70 \text{ dBm}$$

$$10 \log P_{N(1Hz)} = -70 \text{ dBm} - 10 \log 10^3 = -100 \text{ dBm}$$

$$\ell(\Delta\omega) = -100 \text{ dBm} - (-2 \text{ dBm}) = -98 \text{ dBc/Hz} \quad 4-3$$

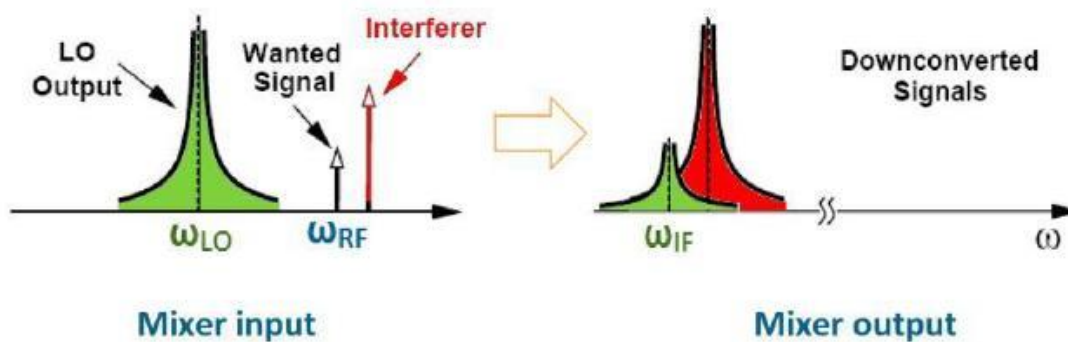
۳-۱- اثر نویز فاز در گیرنده

در جلوی ساختار گیرنده همانند شکل ۳-۴ فرض کنید اسیلاتور محلی (LO) ایده‌آل در نظر گرفته شود در نتیجه سیگنال RF دریافتی از آنتن به وسیله میکسر با سیگنال LO ضرب شده و سیگنال IF را می‌دهد.



شکل ۳-۴: الف) گیرنده ، ب) تبدیل با LO ایده آل [4]

حال اگر در یک اسپلاتور واقعی مقدار قابل توجه نویز فاز داشته باشیم در خروجی میکسر طیف همانند شکل زیر خواهیم داشت.



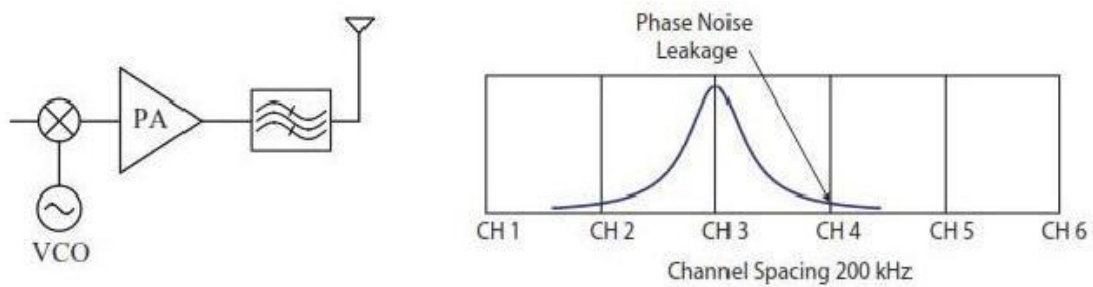
شکل ۳-۳: تبدیل به وسیله یک LO نویزی

همان طور که مشاهده می کنید اتفاقی که می افتد این است که مقداری از سیگنال ناخواسته^۱ در داخل کانال ظاهر می شود و کانال را نویزی می کند حال اگر هر چه نویز فاز خراب تر باشد نویز کانال بیشتر بالا می برد.

^۱ interferer

۳-۲- اثر نویز فاز در فرستنده

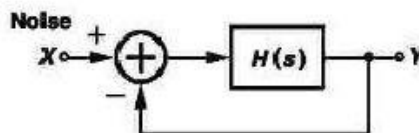
اثر نویز فاز در فرستنده نیز مانند شکل ۳-۵ قابل مشاهده است که همان طور که معلوم است در اثر نویز فاز در LO و ضرب آن با سیگنال ورودی، طیف سیگنال خروجی میکسر پهن می شود و در اثر آن ممکن است با کانال کناری تداخل ایجاد کند.



شکل ۳-۵: اثر LO نویزی در فرستنده

۳-۳- مدل leeson برای نویز فاز در اسلاتورها [6]

با به کارگیری مدل فیدبک، بخش نویز افزوده شده را می توانیم به صورت شکل ۳-۶ نشان دهیم و بنویسیم:



شکل ۳-۶: مدل اسپلاتور

$$\frac{Y(s)}{X(s)} = \frac{H(s)}{1 + H(s)}$$

۳-۵

که در آن برای نوسان کردن طبق شرط آقای برک هاوزن^۱ وقتی است که:

$$|H| = 1, \quad \angle H = -180^\circ \quad ۶-۳$$

در مجاورت فرکانس نوسان در $\omega = \omega_0 + \Delta\omega$ چه اتفاقی می افتد؟ طبیعتاً ما علاقه‌مندیم دامنه خروجی برابر صفر باشد ولی این طور نیست.

$$\frac{y}{x}(j(\omega_0 + \Delta\omega)) = \frac{H(j(\omega_0 + \Delta\omega))}{1 + H(j(\omega_0 + \Delta\omega))} \quad ۷-۳$$

با توجه به بسط تیلور این تابع تبدیل حول ω_0 خواهیم داشت:

$$H(j\omega) \approx H(j\omega_0) + \Delta\omega \frac{dH}{d\omega} \quad ۸-۳$$

اگر $H(j\omega_0) = -1$ و $\Delta\omega \frac{dH}{d\omega} \ll 1$ باشد در آن صورت داریم:

$$\frac{y}{x}(j\omega_0 + j\Delta\omega) \approx \frac{-1}{\Delta\omega \frac{dH}{d\omega}} \quad ۹-۳$$

بنابراین شکل طیف نویز به صورت زیر در می آید.

$$\left| \frac{y}{x}(j\omega_0 + j\Delta\omega) \right|^2 = \frac{1}{\Delta\omega^2 \left| \frac{dH}{d\omega} \right|^2} \quad ۱۰-۳$$

برای مشخص کردن $|dH/d\omega|^2$ ، ما $H(j\omega)$ را به فرم قطبی آن می نویسیم.

$$H(j\omega) = |H| \exp(j\varphi)$$

$$\frac{dH}{d\omega} = \left(\frac{d|H|}{d\omega} + j|H| \frac{d\varphi}{d\omega} \right) \exp(j\varphi) \quad ۱۱-۳$$

به دنبال آن داریم:

^۱ Barkhausen

$$\left| \frac{dH}{d\omega} \right|^2 = \left| \frac{d|H|}{d\omega} \right|^2 + \left| \frac{d\varphi}{d\omega} \right|^2 |H|^2 \quad ۱۲-۳$$

در یک اسپلاتور LC، مقدار جمله $|d|H|/d\omega|^2$ خیلی کوچکتر از جمله $|d\varphi/d\omega|^2$ می باشد، همچنین $|H|$ نیز خیلی نزدیک به واحد می باشد، بنابراین

$$\left| \frac{y}{x}(j\omega_0 + j\Delta\omega) \right|^2 = \frac{1}{(\Delta\omega)^2 \left| \frac{d\varphi}{d\omega} \right|^2} \quad ۱۳-۳$$

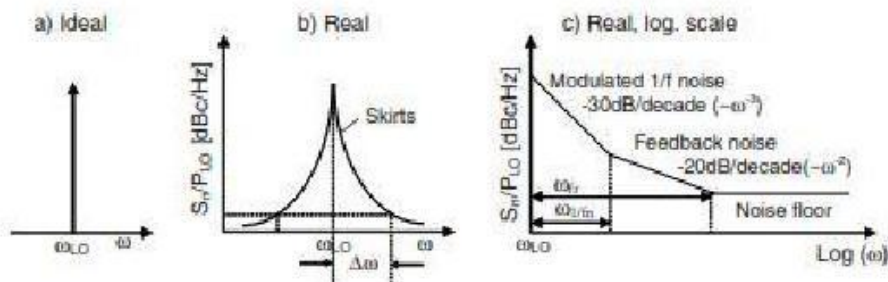
برای یک مدار LC می توان نشان داد:

$$Q = \frac{\omega_0}{2} \left| \frac{d\varphi}{d\omega} \right| \quad ۱۴-۳$$

در نتیجه رابطه leeson به صورت زیر در می آید:

$$\left| \frac{y}{x}(j\omega_0 + j\Delta\omega) \right|^2 = \frac{1}{4Q^2} \left(\frac{\omega_0}{\Delta\omega} \right)^2 \quad ۱۵-۳$$

در رابطه ۱۵-۳ پرواضح است که هرچه Q را بیشتر کنیم اندازه نویز فاز بهتر می شود. نکته دیگر آنکه نویز فاز با $(\Delta\omega)^2$ می افتد. اگر یک اسپلاتور نوعی را در نظر بگیریم و نویز فاز آن را رسم کنیم به صورت زیر می باشد.



شکل ۳-۷: نویز فاز در اسپلاتور حقیقی در مقیاس لگاریتمی [5]

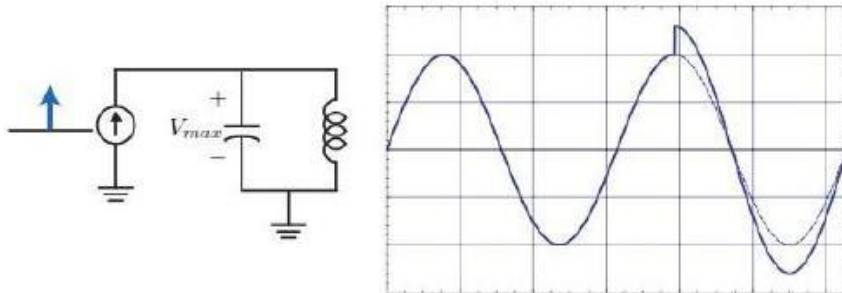
در حقیقت وقتی رابطه ۱۵-۳ را رسم می کنیم مشاهده می شود فقط شیب ۲۰- در مقیاس لگاریتمی در شکل ۷-۳ پیش بینی شده در نتیجه برای اینکه رابطه اخیر با مقدار اندازه گیری شده، درست بدست آید رابطه ۱۶-۳ به صورت زیر بدست می آید. [5] [7] [8]

$$\ell(\Delta\omega) = 10 \log \left[\frac{2KFT}{P_{LO}} \left(1 + \frac{\omega_0}{2Q\Delta\omega} \right)^2 \left(1 + \frac{\omega_1/f}{\Delta\omega} \right) \right] \quad 16-3$$

پس واضح است که رابطه ۱۶-۳ کاملاً بر نمودار اندازه گیری شده یک اسیلاتور نوعی منطبق است.

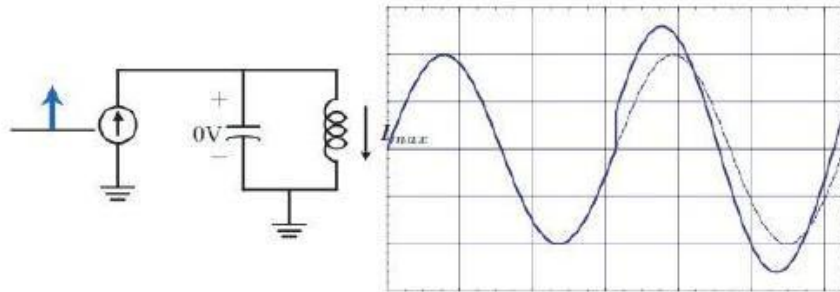
۳-۴- مدل حاجی میری و لی برای نویز فاز [7] [8]

فرض کنید یک اسیلاتور LC داریم که در فرکانس ω_0 نوسان می کند. اجزای مدار دارای نویزی می باشند که در مدار تزریق می شوند، که با یک منبع جریان با مقدار ضربه واحد مدل خواهیم کرد. حال اگر ضربه در لحظه پیک ولتاژ اتفاق بیافتد می تواند دامنه نوسان را مانند شکل ۸-۳ تغییر دهد، اگر چه فاز نوسان تغییری نکرده است.



شکل ۸-۳: تأثیر آمدن ضربه در لحظه پیک دامنه نوسان [8]

حال اگر ضربه واحد در لحظات صفر اتفاق بیفتد با تغییر دامنه نوسان فاز آن نیز تغییر خواهد کرد، بنابراین ما خواهیم دید حساسیت اسیلاتور نسبت به تزریق نویز به مدار یک تابع پرپدیگ می باشد و همچنین نقطه صفر حساسیت و پیک حساسیت قابل مشاهده است.

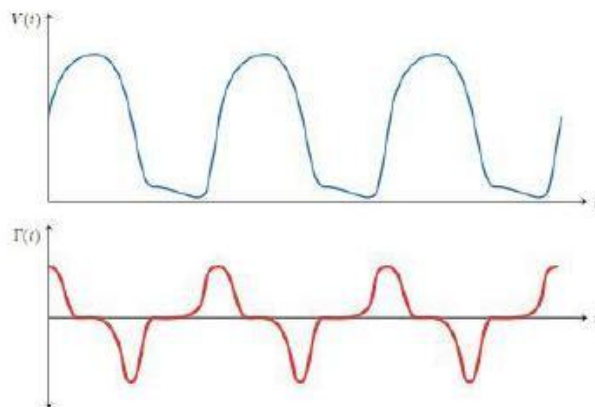


شکل ۳-۹: تأثیر آمدن ضربه در لحظه صفر نوسان [8]

کلید مشاهدات به صورت تجربی نشان می دهد که تغییرات فاز تابع خطی از کی آمدن و تزریق مدار شدن نویز است که با تابع $\Gamma(\omega_0 t)$ نشان می دهیم می باشد. بنابراین ما پاسخ ضربه را به صورت نورمالیز شده در زیر می نویسیم:

$$h_{\phi}(t, \tau) = \frac{\Gamma(\omega_0 t)}{q_{max}} u(t - \tau) \quad ۱۷-۳$$

تابع $\Gamma(\omega_0 t)$ بنام حساسیت تابع ضربه (ISF) شناخته می شود که یک تابع پریودیک است که نشان دهنده این موضوع است که تابع ضربه کجا بیاید، چه تاثیری می گذارد یا بدین معنی که اثر نویز کجاها مهم



شکل ۳-۱۰: بررسی ISF ولتاژ خروجی رینگ اسپلانور [8]

Impulse Sensitivity Function ^۱

است و کجاها مهم نیست. برای مثال ISF شکل موج نشان داده شده در شکل ۳-۱۰ می‌تواند به صورت تحلیلی تخمین زده شود یا به وسیله شبیه سازی محاسبه شود.

همان‌طور که مشاهده می‌شود الزامی ندارد که ISF سینوسی باشد در شکل ۳-۱۰ مشاهده می‌شود وقتی در ماکزیمم مقدار ولتاژ یا در مقدار صفر هستیم تاثیری در نویز ندارد ولی در لحظات خیزش یا زمان سقوط بیشترین مقدار تاثیر نویز را داریم. پس بنابراین برای هر ورودی دلخواه می‌توانیم تابع کانولوشن را بنویسیم.

$$\begin{aligned}\phi(t) &= \int_{-\infty}^{+\infty} h_{\phi}(t, \tau) i(\tau) d\tau \\ &= \frac{1}{q_{max}} \int_{-\infty}^t \Gamma(\omega_0 \tau) I(\tau) d\tau\end{aligned}\quad ۱۸-۳$$

با توجه به پریودیک بودن تابع ISF می‌توانیم سری فوریه آن را به صورت زیر بنویسیم.

$$\Gamma(\omega_0 \tau) = \frac{C_0}{2} + \sum_{n=1}^{\infty} C_n \cos(n\omega_0 \tau + \phi_n)\quad ۱۹-۳$$

بنابراین رابطه ۳-۱۸ به صورت زیر به رابطه ۳-۲۰ تبدیل می‌شود.

$$\phi(t) = \frac{1}{q_{max}} \left(\frac{C_0}{2} \int_{-\infty}^t i(\tau) d\tau + \sum_{n=1}^{\infty} C_n \int_{-\infty}^t \cos(n\omega_0 \tau) i(\tau) d\tau \right)\quad ۲۰-۳$$

حال اگر نویزهای مختلفی داشته باشیم می‌توانیم به راحتی فاز را بدست آوریم. فرض کنید نویزی در $m\omega_0 + \Delta\omega$ که شامل DC نیز می‌باشد خواهیم دید چه اتفاقی می‌افتد. داریم:

$$i(t) = I_m \cos[(m\omega_0 + \Delta\omega)t]\quad ۲۱-۳$$

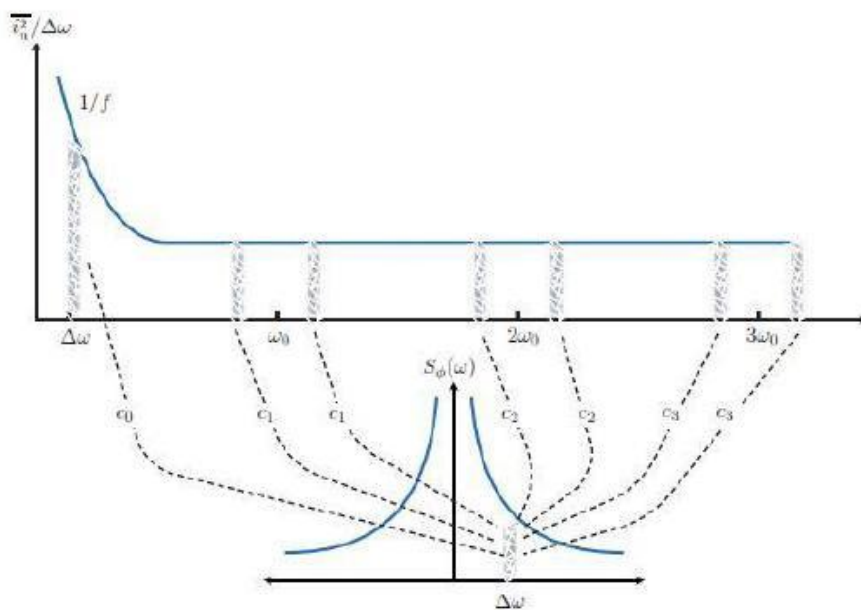
که $\omega_0 \ll \Delta\omega$ می‌باشد، با قرار دادن $i(t)$ در رابطه (۴)، معلوم می‌شود که همه جمله‌ها با توجه به خاصیت عمود بودن صفر می‌باشند مگر زمانی که $m=n$ باشد. در نتیجه داریم:

$$\phi(t) \approx \frac{1}{2} C_m \frac{I_m \sin \Delta \omega t}{q_{max} \Delta \omega} \quad ۲۲-۳$$

حال اگر در اسپلاتور یک خروجی به شکل $v_{out} = \cos(\omega_0 t + \phi(t))$ داشته باشیم با توجه به اینکه $\phi(t) \ll 1$ می باشد، داریم:

$$v_0(t) = \cos \omega_0 t - \phi(t) \sin \omega_0 t \quad ۲۳-۳$$

پس واضح است که در صورتی که ما نویز نداشته باشیم یعنی $\phi(t) = 0$ خروجی یک اسپلاتور ایده آل با طیف فرکانسی ضربه در ω_0 می باشد. حال اگر نویز داشته باشیم جمله $\phi(t) \sin \omega_0 t$ نشان می دهد که مولفه های نویز اطراف فرکانس ω_0 جمع می شوند. (.)



شکل ۳-۱۱: تفسیر گرافیکی از نویز باتد کناری [8]

پس واضح است که نویز $(1/f)$ DC در ناحیه $(1/f^3)$ در مقیاس لگاریتمی قرار می گیرد. همچنین ما می توانیم توان نویز را در آفست $\Delta \omega$ به صورت زیر مشاهده کنیم.

$$P_{SBC}(\Delta\omega) \approx 10 \log \left(\frac{I_m C_m}{2q_{max} \Delta\omega} \right)^2 \quad 24-3$$

حال اگر ما نویز سفید داشته باشیم و همچنین تمام باند جانبی در این توان شرکت کنند خواهیم داشت:

$$P_{SBC}(\Delta\omega) \approx 10 \log \left(\frac{i_n^2 \sum_{m=0}^{\infty} C_m^2}{4q_{max}^2 \Delta\omega^2} \right) \quad 25-3$$

در رابطه پارسوال از سری فوری داریم:

$$\sum_{m=0}^{\infty} C_m^2 = \frac{1}{\pi} \int_0^{2\pi} |\Gamma(x)|^2 dx \quad 26-3$$

در نتیجه رابطه نویز فاز را می توانیم به صورت معادله ۲۷-۳ بنویسیم.

$$\ell(\Delta\omega) = 10 \cdot \log \left[\frac{\frac{i_n^2}{2} \Gamma_{rms}^2}{2q_{max}^2 \Delta\omega^2} \right] \quad 27-3$$

نکته قابل توجه آن است که با توجه به رابطه ۲۷-۳ اگر مدار را طوری طراحی کنیم که rms تابع ISF کم باشد نویز فاز نیز کم می شود.

۳-۵- نویز در حلقه قفل فاز

چون PLL ها روی فاز سیگنال تاثیر می گذارند، نسبت به نویز فاز حساسند. اگر سیگنال ورودی یا بلوکهای سازنده PLL نویز از خود نشان دهند، آنگاه سیگنال خروجی هم دچار نویز می شود. به طور کلی، همه اجزای حلقه از جمله آشکارساز فاز، LPF، VCO و تقسیم کننده فرکانسی همگی در تولید نویز مشارکت دارند. [9]

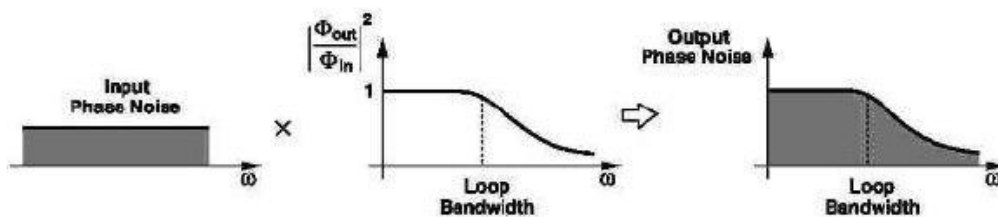
۳-۵-۱- نویز فاز در ورودی

نویز فاز مرجع به وسیله تابع تبدیل ورودی/خروجی PLL در معادله ۲-۱۵ فصل ۲ به شکل زیر در آمده است، که می توانیم بنویسیم:

root mean square ۱

$$S_{out} = \frac{4\zeta^2 \omega_n^2 \omega^2 + \omega_n^4}{(\omega^2 - \omega_n^2)^2 + 4\zeta^2 \omega_n^2 \omega^2} S_{ref} \quad ۲۸-۳$$

که S_{ref} نویز فاز مرجع را مشخص می‌کند. پر واضح است که اسیلاتور کریستال یک نویز فاز تخت به نمایش در آمده است. کل رفتار PLL را می‌توانید در شکل ۳-۱۲ مشاهده کنید.



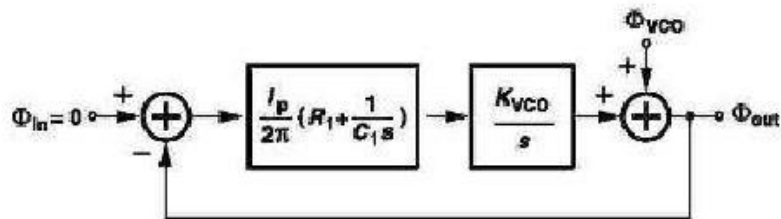
شکل ۳-۱۲: تاثیر نویز فاز مرجع در یک PLL [4]

نکته مهم اول این است که PLL ها نویز فاز مرجع را متناسب ضرب فرکانسی تقویت می‌کنند. برای مثال یک سنتز کننده مدل 802.11g ، 1MHz ، را به 2400MHz می‌رساند، نویز فاز مرجع را به وسیله $20 \log 2400 \approx 68dB$ افزایش می‌دهد. اگر نویز فاز یک اسیلاتور کریستال به عنوان مثال $-150dBc/Hz$ باشد، نویز فاز در خروجی به $-82dBc/Hz$ می‌رسد. [4]

نکته دوم این است که مجموع نویز فاز در خروجی با پهنای باند حلقه افزایش پیدا می‌کند. به عبارت دیگر انتخاب پهنای باند حلقه مستلزم یک تبادیل بین نویز فاز مرجع و VCO می‌باشد.

۳-۵-۲- نویز فاز VCO

برای به فرمول در آوردن خروجی نویز PLL به وسیله نویز فاز VCO ، ما باید ابتدا تابع تبدیل از فاز VCO به فاز خروجی PLL را نتیجه‌گیری کنیم. در نهایت، یک مدل فاز خطی در شکل ۳-۱۳ بنا خواهیم کرد، که فاز اضافی در ورودی صفر شده است.

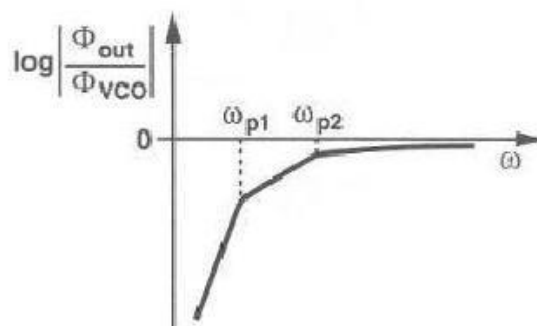


شکل ۳-۱۳: مدل فاز-دامنه برای مطالعه تأثیر نویز فاز VCO

با استفاده از ζ و ω_n و همچنین رابطه ۲-۱۵ خواهیم داشت.

$$\frac{\phi_{out}}{\phi_{vco}} = \frac{s^2}{s^2 + 2\zeta\omega_n s + \omega_n^2} \quad ۲۹-۳$$

این نتیجه حاکی از آن است که PLL مانع تغییرات آهسته در فاز VCO خواهد شد (شکل ۳-۱۴)، اما برای تغییرات سریع، نمی‌تواند مقدار زیادی تصحیح کند.



شکل ۳-۱۴: تابع تبدیل نویز PLL از VCO تا خروجی

[4]

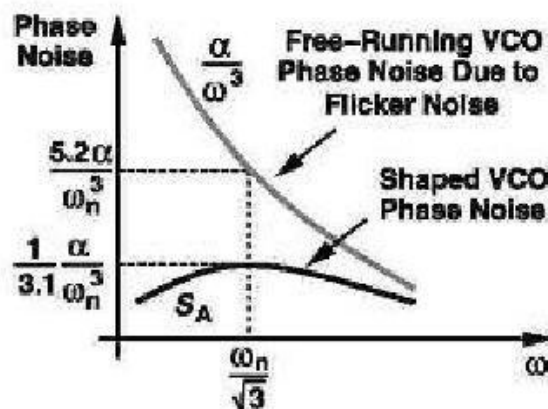
نکته قابل توجه این است که، هر مقدار پهنای باند بیشتر شود، یعنی قطب‌های تابع تبدیل دورتر باشند، این منحنی دیرتر به مقدار نهایی خود می‌رسد در نتیجه نویزی که به خروجی می‌رود کمتر خواهد شد.

نویز فاز خروجی PLL به وسیله VCO برابر مربع اندازه تساوی (۲۹-۳) ضربدر نویز فاز VCO می‌باشد. فرض کنید، نویز فاز می‌تواند به صورت $(\alpha/\omega^3 + \beta/\omega^2)$ بیان شود، که α و β ضریب تغییراتی مثل نویز تزریقی دستگاهها یا عامل Q می‌باشند و ω نماد ما برای فرکانس آفست می‌باشد، بنابراین

$$\overline{\phi_{out}^2} = \frac{\omega^4}{(\omega^2 - \omega_n^2)^2 + 4\zeta^2\omega_n^2\omega^2} \left(\frac{\alpha}{\omega^3} + \frac{\beta}{\omega^2} \right) \quad ۳۰-۳$$

رفتار فاز نویز بالا برای فرکانس آفست پایین و بالا بسیار آموزنده برای مطالعه می‌باشد. در فرکانس آفست پایین (تغییرات آهسته فاز VCO)، نویز $1/f$ شامل بخش زیر می‌شود.

$$\overline{\phi_{out}^2}|_{small \omega} = \frac{\alpha\omega}{(\omega^2 - \omega_n^2)^2 + 4\zeta^2\omega_n^2\omega^2} \quad ۳۱-۳$$



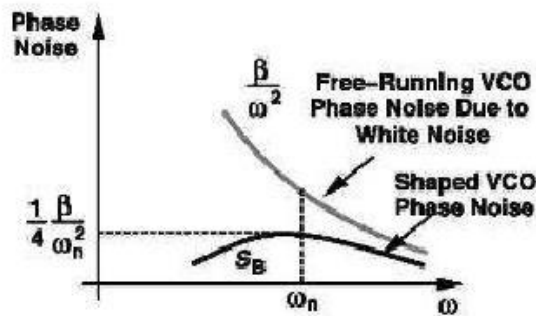
شکل ۳-۱۵: تاثیر نویز فاز VCO روی PLL (نویز $1/f$) [4]

در حقیقت، اگر ω بسیار کوچک باشد، $\overline{\phi_{out}^2} \approx \frac{\alpha\omega}{\omega_n^4}$. بر این اساس، توان نویز فاز به صورت خطی با فرکانس افزایش پیدا می‌کند. شما می‌توانید ماکزیمم تساوی بالا را در $\omega = \omega_n/\sqrt{3}$ ، برابر $9\alpha/(16\sqrt{3}\omega_n^3) \approx \alpha/3.1\omega_n^3$ اگر $\zeta = 1$ بدست آورید.

در آفست فرکانسی بالا، نویز سفید شامل بخش زیر می‌شود.

$$\overline{\phi_{out}^2} \Big|_{large \omega} = \frac{\beta \omega^2}{(\omega^2 - \omega_n^2)^2 + 4\zeta^2 \omega_n^2 \omega^2} \quad ۳۲-۳$$

به طور مشابه، این تابع برای ω بزرگ به مقدار β/ω^2 نزدیک می‌شود. خواننده می‌تواند ببیند، اگر $\zeta = 1$ باشد، در نقطه $\omega = \omega_n$ ماکزیمم تابع بالا را برابر $\beta/4\omega_n^2$ بدست آورد. تصویر شکل ۱۶-۳ این رفتار به نمایش در آورده است.



شکل ۱۶-۳: تاثیر نویز فاز VCO روی PLL (نویز سفید)

۳-۵-۳- نویز فاز تقسیم کننده فرکانس [10]

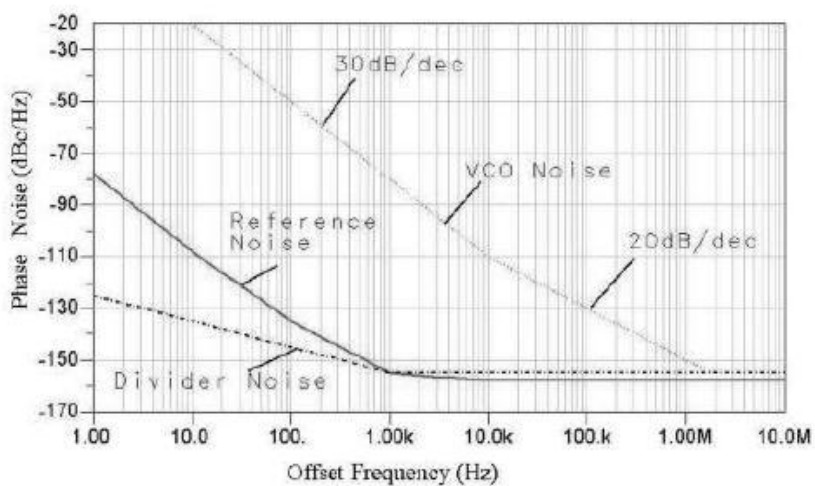
تابع تبدیل حلقه بسته برای سیگنال تقسیم کننده فرکانس برابرست با:

$$\frac{\phi_{out}}{\phi_{div}} = - \frac{N \cdot K_{PD} \cdot F(s) \cdot K_{VCO}}{N \cdot s + K_{PD} K_{VCO} F(s)} \quad ۳۳-۳$$

که $F(s)$ تابع تبدیل فیلتر PLL می‌باشد و N ضریب تقسیم کننده است. ما می‌توانیم نویز یک تقسیم کننده فرکانس را به صورت تساوی ۳۴-۳ مدل کنیم.

$$S_{div}(\Delta\omega) = \frac{K_1}{\Delta\omega} + K_0 \quad ۳۴-۳$$

که K_0 و K_1 ضریب نویز تقسیم کننده فرکانس می‌باشند که از خط معاسی -10dB/dec و 0dB/dec استفاده شده است که در شکل ۱۷-۳ به نمایش درآمده است.

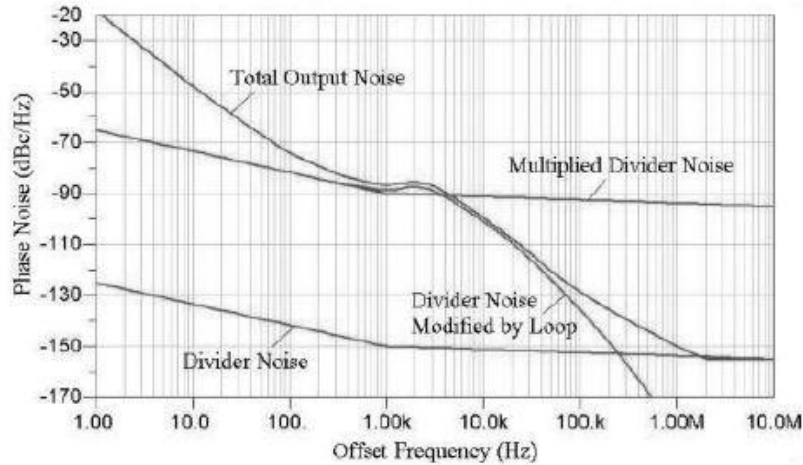


شکل ۱۷-۳: رسم نویز فاز از منابع نویز در PLL [9]

با ضرب مربع تابع تبدیل حلقه بسته تقسیم کننده در تساوی ۳-۳۴، مشارکت نویز تقسیم کننده را در مجموع نویز خروجی PLL می‌توان بدست آورد.

$$S_{T-div}(\Delta\omega) = S_{div}(\Delta\omega) \times \left| \frac{\phi_{out}}{\phi_{div}} \right|^2 \quad ۳۵-۳$$

تاثیر نویز تقسیم کننده را روی PLL در شکل ۱۸-۳ می بینید.



شکل ۱۸-۳: تاثیر نویز تقسیم کننده فرکانس بر PLL

همان طور که مشاهده می کنید، نویز تقسیم کننده چند برابر^۱، نتیجه ضرب نویز تقسیم کننده در ضریب تقسیم کننده N می باشد. با توجه به رابطه ۳-۳۵، انتظار داریم که نویز تقسیم کننده با عامل $20 \log N$ کاهش پیدا کند. [10]

۳-۵-۴- جمع بندی رفتار نویز فاز در PLL:

یکی از ملاحظات بسیار مهم در طراحی سنتز کننده فرکانس نویز فاز می باشد. نویز خارج از پهنای باند فیلتر^۲ PLL با نویز VCO مشخص می شود. نویز داخل پهنای باند^۳ حلقه به صورت زیر بدست می آید. [3]

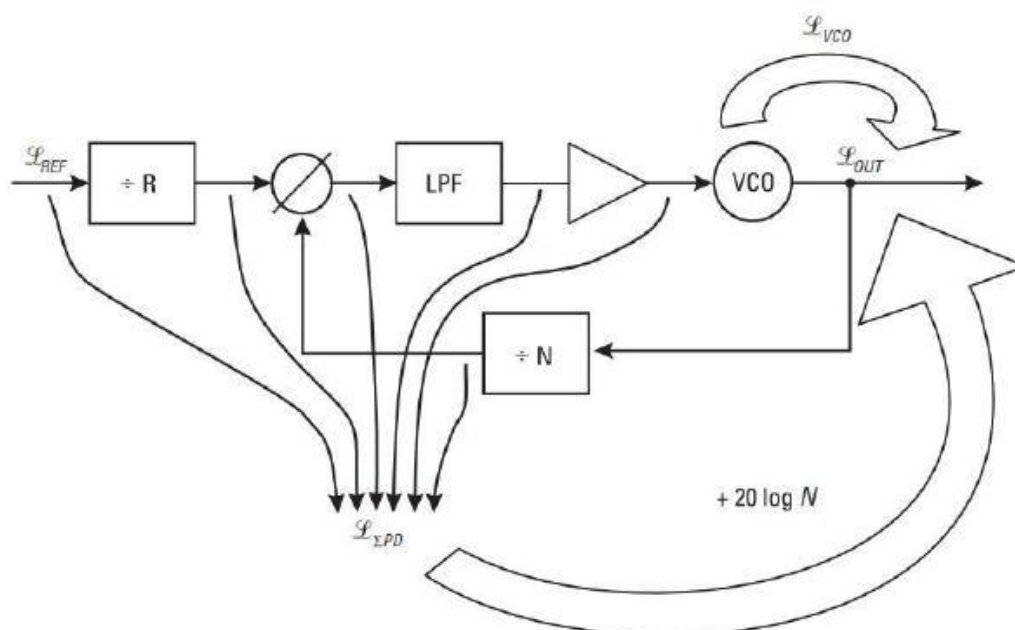
$$\mathcal{L}_{PLL} = \mathcal{L}_{\Sigma PD} + 20 \log N \quad ۳۶-۳$$

^۱ Multiplied divider noise

^۲ Out band phase noise

^۳ In band phase noise

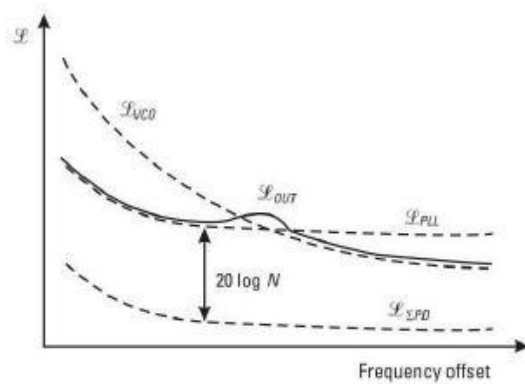
که $\mathcal{L}_{\Sigma PD}$ نویز فاز انباشته شده از سیگنال مرجع، تقسیم کننده در مسیر فیدبک، آشکارکننده فاز، LPF می‌باشد که در شکل ۱۹-۳ به نمایش در آمده است. به عبارت دیگر، نویز فاز تولیدی از اجزای PLL، افزایش پیدا می‌کند به وسیله یک ضریب تقسیم کننده بزرگ که در یک فرکانس بالا، تفکیک پذیری خوبی به ما می‌دهد.



شکل ۱۹-۳: منابع نویز در PLL [3]

بعلاوه، در فرکانس‌های بالا تقسیم کننده قابل برنامه‌ریزی، معمولاً در دسترس نمی‌باشد، بنابراین، یک افزوده، ضریب تقسیم ثابت^۱ (پری‌اسکیل نامیده می‌شود) نیاز است. که این خود باعث افزایش نویز فاز می‌شود. در آفست فرکانس‌های بالا نویز VCO بیشتر از نویز چندگانه PLL می‌شود. بهینه‌ترین نمودار نویز فاز با انتخاب پهنای باند حلقه در تلاقی نقطه نویز چندگانه PLL و نویز VCO، مانند شکل ۲۰-۳ بدست می‌آید.

^۱ Prescaler



شکل ۳-۲۰: نویز فاز خروجی سنتزکننده PLL [3]

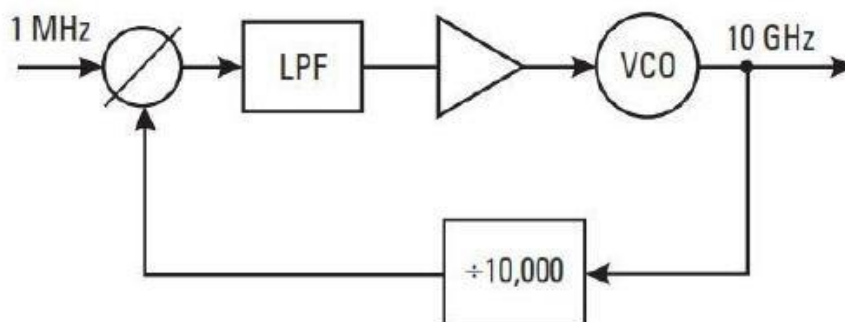
مشخصات سنتزکننده PLL به وسیله تکنیک هایی می تواند بهتر شود که در ادامه به آنها خواهیم پرداخت.

فصل ۴ - بهبود کارایی سنتزکننده فرکانس

در فصل ۲ و ۳ به بررسی یک سنتزکننده مبتنی بر حلقه قفل فاز پرداختیم، بسیاری از محدودیتها و تبادلهای به نمایش در آمد. در این فصل طراحیهای گوناگون دیگر را مورد بررسی قرار می‌دهیم تا به کارایی بهتری از موضوعات دیگر همچون سرعت سوئیچینگ، کاهش نویز فاز و یک گام فرکانسی مناسب برسیم. تبادل پارامترهای طراحی، تجزیه و تحلیل می‌شود و در مکمل آن به مرور شماتیک‌هایی چون N-کسری^۱، DDS^۲، آفست فرکانسی^۳، چندحلقه^۴ و دیگر شماتیک‌ها خواهیم پرداخت.

۴-۱- تبادل پارامترهای سنتزکننده

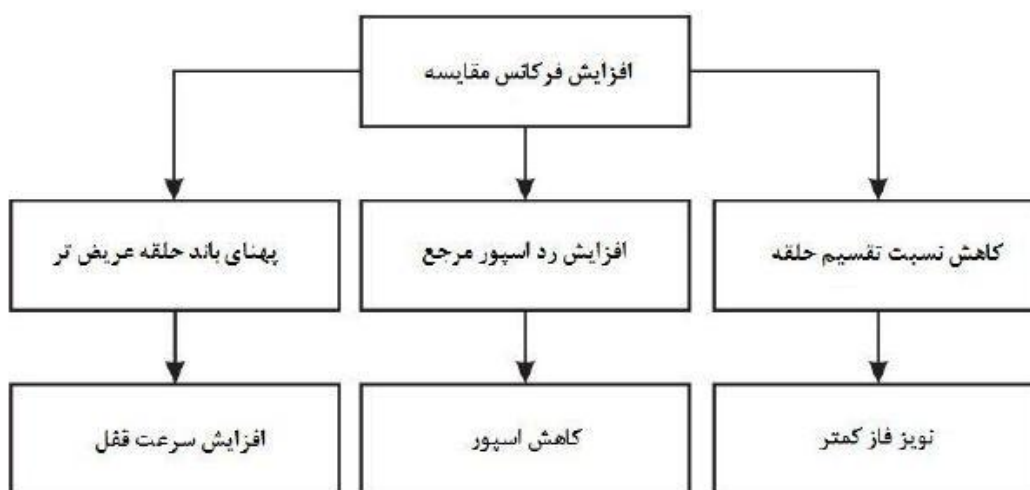
پارامترهای اصلی سنتزکننده فرکانس مثل رنج فرکانس خروجی، گام فرکانسی، سرعت سوئیچینگ، اسپور به یکدیگر وابسته می‌باشند. سرعت سوئیچینگ سنتزکننده تابعی از پهنای باند حلقه می‌باشد، که خود آن وابسته به فرکانس مقایسه آشکارساز فاز یا همون گام فرکانسی می‌باشد. بنابراین، گام فرکانسی کوچک، باعث آهسته‌تر شدن سرعت سوئیچینگ می‌شود. تلاش برای افزایش پهنای باند حلقه ممکن است منجر به افزایش اسپور شود زیرا ممکن است باعث ناپایداری حلقه شود. نگرانی دیگر نویز فاز می‌باشد. برای دستیابی به یک گام فرکانسی خوب به یک تقسیم کننده بزرگ نیازمندیم که باعث تاثیر روی مشخصه نویز فاز است. برای مثال، برای رسیدن به فرکانس 10GHz در خروجی با گام فرکانسی 1MHz، تقسیم کننده فرکانس باید برابر 10000 شود. (در شکل ۴-۱ به نمایش در آمده است)، که براساس آن نویز فاز تا 80dB تنزل پیدا می‌کند. [3]



شکل ۴-۱: تنزل نویز فاز به دلیل نسبت تقسیم بزرگ [3]

Fractional-N^۱
Direct Digital Synthesizer^۲
Frequency Offset^۳
Multiloop^۴

آیا برای بهبود پارامترهای سنتزکننده راه حل جامعی وجود دارد؟ فرض کنید که ما می‌توانیم از فرکانس مقایسه آشکار ساز فاز بزرگتری برای یک گام فرکانسی مشخص استفاده کنیم. این امر چندین، تاثیر مفید در پارامترهای سنتزکننده می‌گذارد که در شکل ۲-۴ به نمایش در آمده است. اول، باعث کوچک شدن نسبت تقسیم کننده PLL گشته است که به تبع آن باعث کاهش نویز فاز و اسپور می‌شود. بعلاوه، اجازه می‌دهد تا از پهنای باند فیلتر حلقه بزرگتری استفاده کنیم که منجر به کاهش زمان قفل می‌شود. همچنین باعث می‌شود تا پهنای باند حلقه تغییر ناپذیر شود تا پایداری و اسپور بهتر شود. پر واضح است که افزایش فرکانس مقایسه آشکار ساز فاز، تقریبا همه پارامترهای سنتزکننده را بهبود می‌بخشد. تنها سوال باقی‌مانده این است که چگونه به یک گام فرکانسی کوچک برسیم که در ادامه خواهیم دید.

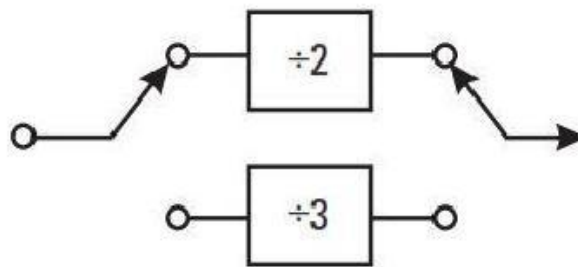


شکل ۲-۴: افزایش فرکانس مرجع باعث بهبود کلیه پارامترهای سنتزکننده می‌شود [3]

۴-۲-N-کسری

در معماری N-صحیح^۱، ما فرض کردیم که سیگنال RF به وسیله یک عدد صحیح تقسیم می‌شود. برای مثال، اگر ما نیاز به تولید فرکانس حول 10GHz با گام 1MHz باشیم، فرکانس مرجع بهتر است برابر 1MHz باشد و ضریب تقسیم روی 10000، 10001، 10002 و... به بالا تنظیم شود. پر واضح است که ما می‌توانیم فرکانس مرجع را به صورت عددی اعشاری ($\frac{0}{10} + 1000 + \frac{1}{10}$ ، $\frac{2}{10} + 1000 + \dots$) تنظیم کنیم.

اما چگونه می‌توانیم ضریب تقسیم اعشاری را محقق کنیم؟ در حقیقت، این امکان‌پذیر است به وسیله دو تقسیم‌کننده متناوب (به عنوان مثال در شکل ۴-۳ نشان داده شده است) و میانگین فرکانس خروجی بر روی یک پرپود زمان مشخص بگیریم. راه دیگر آن است که به پردازش نگاه کنیم و تعداد پالس‌های رسیده به وسیله مدار را برای زمان مشخص محاسبه کنیم.



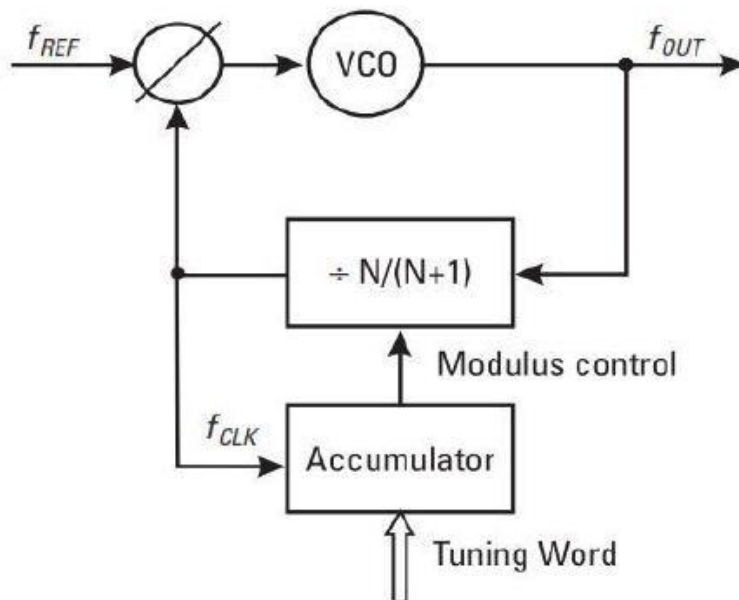
شکل ۴-۳: مفهوم تقسیم کسری

پر واضح است که میانگین ضریب تقسیم بین دو و سه وابسته به تعداد پالس‌های پردازش شده به وسیله هر تقسیم‌کننده خواهد بود برای سادگی، اجازه دهید فرض کنیم که در فرکانس 60MHz قرار داریم. (60 میلیون سیکل در هر ثانیه) و پالس‌ها به طور متوالی به دو بخش برابر بین دو تقسیم‌کننده وارد می‌شود. در طول نصف ثانیه اول، سیگنال به دو تقسیم می‌شود. بنابراین، میلیون $15 = \frac{2}{30}$ پالس در خروجی می‌رسد. سپس ضریب تقسیم به 3 تغییر می‌کند و میلیون $10 = \frac{3}{30}$ پالس در نیم ثانیه بعدی به

^۱ Integer-N

خروجی مدار می‌رسد. در مجموع 25 میلیون پالس در ثانیه تولید می‌شود که بر اساس آن میانگین ضریب تقسیم برابر 2.4 می‌باشد. یک سنتز کننده N -کسری کاربردی، شامل یک ضریب تقسیم دوتایی در مسیر فیدبک می‌باشد که در شکل ۴-۴ به نمایش در آمده است.

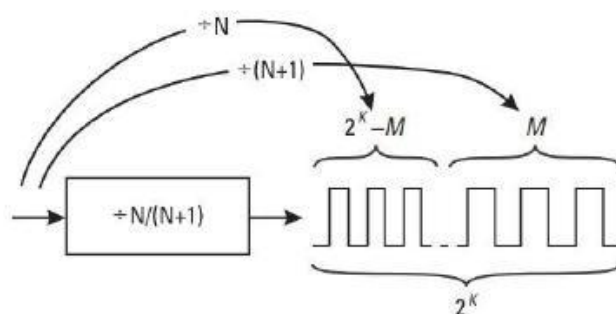
سنتزکننده معمولاً شامل یک آکومولاتور^۱ فاز که به وسیله خروجی تقسیم کننده کلاک می‌شود؛ می‌باشد و نسبت تقسیم را کنترل می‌کند (کدام می‌تواند تنظیم شود N یا $N+1$). محتوای آکومولاتور به وسیله فرمان کنترل از پیش تنظیم شده و در هر کلاک پالس افزایش داده می‌شود تا به ظرفیت خود برسد. سپس ریست می‌شود و پردازش دوباره شروع می‌شود.



شکل ۴-۴: سنتزکننده N -کسری شامل ضریب تقسیم دوتایی کنترل شونده با آکومولاتور فاز [3]

^۱ Accumulator

اجازه دهید فرض کنیم که طول آکومولاتور K بیت باشد (می‌تواند تا 2^K پالس را پردازش کند). همچنین اجازه دهید، فرض کنیم که آکومولاتور ضریب دوتایی تقسیم را به صورتی کنترل می‌کند که تقسیم کننده، در طول M سیکل نخستین بر $N+1$ تقسیم کند و در طول $2^K - M$ باقی‌مانده از سیکل‌ها بر N تقسیم کند که در شکل ۵-۴ نشان داده شده است.



شکل ۵-۴: تقسیم فرکانس آمده بر N یا $N+1$ [3]

به منظور رسیدن به $N_{out} = 2^K$ پالس، تقسیم کننده باید

$$N_{IN} = M(N + 1) + (2^K - M)N \quad ۱-۴$$

پس نسبت تقسیم به صورت تساوی ۲-۴ بدست می‌آید.

$$N_{FRAC} = \frac{N_{IN}}{N_{OUT}} = \frac{N_{IN} = M(N + 1) + (2^K - M)N}{2^K} = N + \frac{M}{2^K} \quad ۲-۴$$

بنابراین، نسبت تقسیم کسری به وسیله وارد کردن کلمه تنظیم کننده M محقق شد، که به نقطه‌ای که ضریب دوتایی تقسیم کننده، ضریب تقسیم را تغییر دهد؛ تعریف می‌شود. فرکانس مرجع و طول آکومولاتور، رزولوشن فرکانس سنتزکننده N -کسری را مشخص می‌کند.

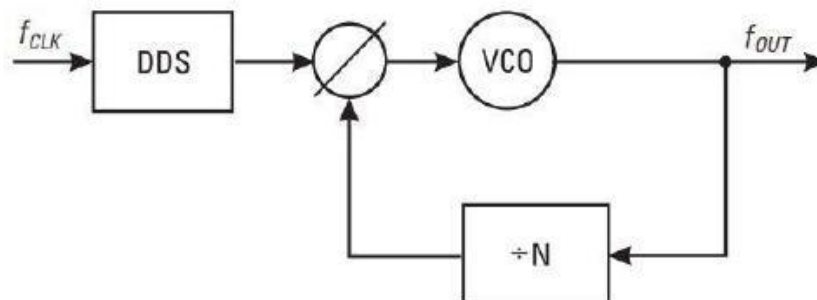
$$f_{RES} = \frac{f_{REF}}{2^K} \quad ۳-۴$$

برای مثال، برای آکومولاتور ۱۰ بیتی و فرکانس مرجع 10MHz، گام در دسترس برابر 9.766KHz می‌باشد. پر واضح است که افزایش طول آکومولاتور می‌تواند باعث کاهش گام فرکانسی شود.

۴-۳- استفاده از DDS

DDS یکی دیگر از راه حل‌های موثر برای رزلوشن فرکانسی خوب است بدون اینکه مجبور باشیم فرکانس مرجع را کاهش دهیم. DDS می‌تواند رزلوشنی^۱ عالی با فرکانس مرجع بالا (همانند شکل ۴-۶) به ما بدهد که اجازه می‌دهد ضریب تقسیم حلقه را در مقایسه با مدارهای PLL متداول کاهش دهیم.

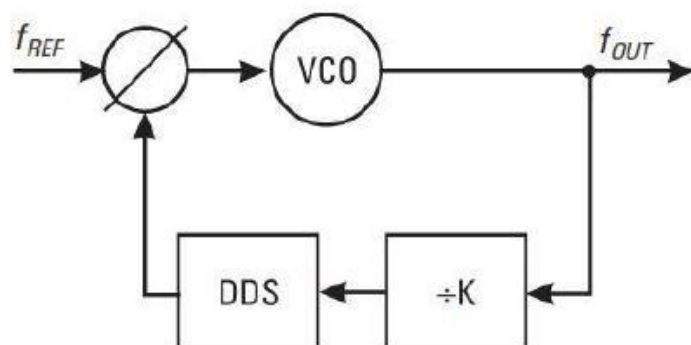
چون خروجی DDS می‌تواند در محدودیت‌های گسترده برنامه ریزی شود، ضریب تقسیم حلقه می‌تواند دست نخورده باقی بماند. بنابراین، تقسیم‌کننده قابل برنامه‌ریزی می‌تواند حذف شود یا با یک تقسیم‌کننده ثابت تعویض شود. این پیکره‌بندی اگرچه، به یک سیگنال کلاک فرکانس بالا نیازمند است، اما با یک ضرب‌کننده و یا یک مدار PLL دیگر می‌تواند تشکیل شود.



شکل ۴-۶: استفاده از DDS بعنوان مرجع [3]

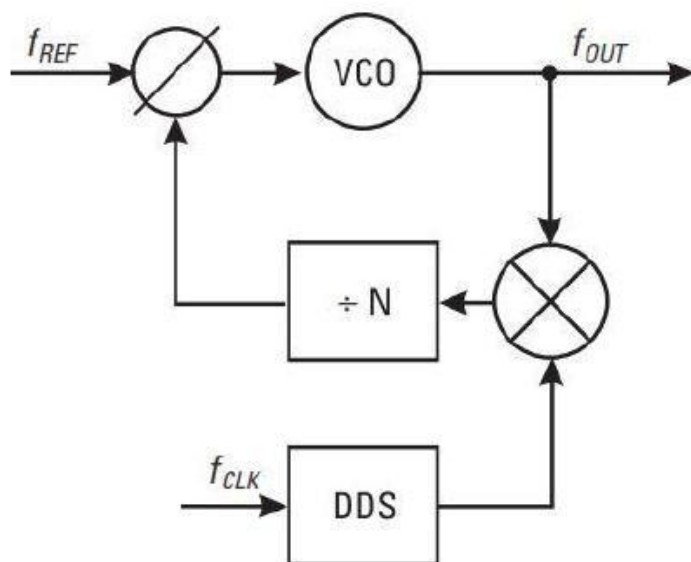
پیکره‌بندی نشان داده شده در شکل ۴-۷ یک DDS را به عنوان تقسیم‌کننده کسری در مسیر فیدبک PLL به کار بسته است و کلاکش را از خروجی همان PLL تامین می‌کند. این مدار دیگر نیازی به یک تولیدکننده سیگنال کلاک، در یک مدار جداگانه ندارد.

^۱ گام فرکانسی



شکل ۷-۴: استفاده از DDS بعنوان یک تقسیم کننده کسری [3]

اگرچه DDS رزولوشن عالی و نویز فاز مناسب را فراهم می‌کند، اما سطح اسپورس را کاملاً بالا می‌برد (- 50dBc تا 60dBc اعداد رایج نمایشگر هستند). اگر چه دو طرح بالا مختلف به نظر می‌رسند ولی اثر اسپورس هر دو به یک روش است. از تنزل می‌توان به وسیله بیرون بردن کامل DDS از حلقه میکسر همانند شکل ۸-۴ جلوگیری کرد.

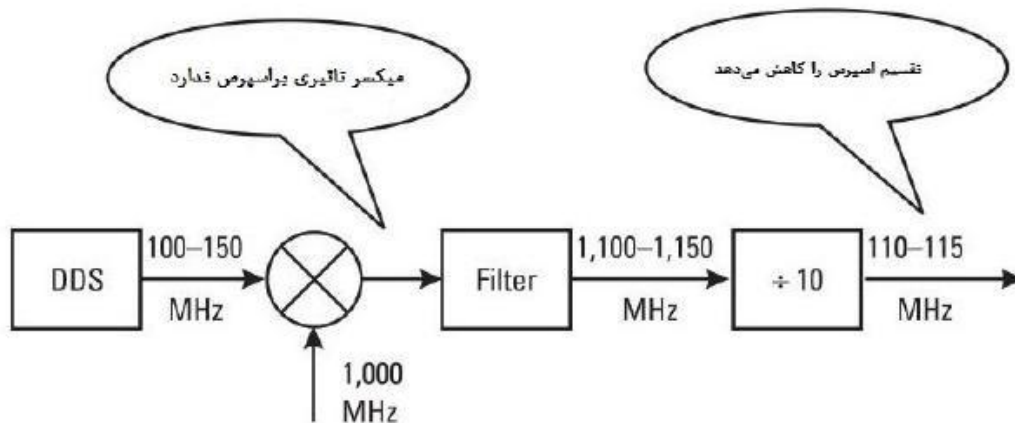


شکل ۸-۴: خارج کردن DDS از حلقه قفل فاز به منظور از بین بردن اسپور [3]

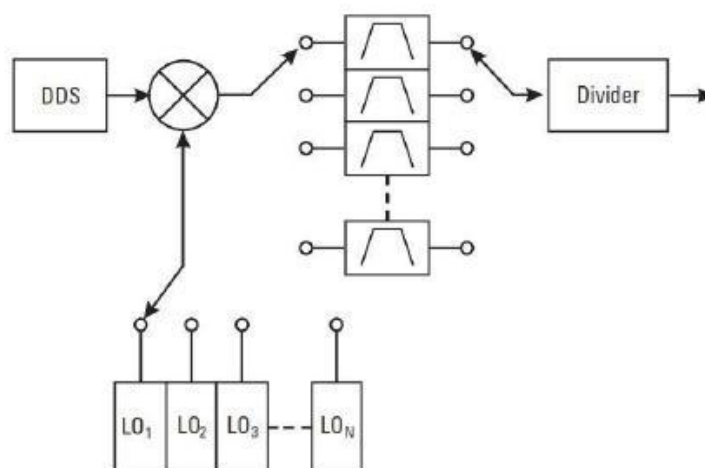
توجه به این نکته که مراقبت‌های خاصی نیاز است تا خروجی میکسر به درستی فیلتر شود، بسیار مهم است. دو سیگنال کناری با یک دامنه توسط میکسر تولید می‌شود که ممکن است تقسیم کننده را گیج کند و نتیجه آن رفتار نامناسب آن باشد. همه سیگنال‌های نامطلوب در جلوی تقسیم کننده باید 10dB تا 15dB پایین‌تر از آهنگ اصلی باشند تا مطمئن شویم به درستی کار می‌کنند. برای طراحی‌های باند باریک، کار سختی نیست چون با یک فیلتر میان‌گذر، فیلتر می‌شوند.

تعدادی از راه‌ها برای کاهش اسپورس DDS نیز وجود دارد. تکنیک سخت‌افزاری آن، بر پایه تبدیل سیگنال DDS به یک فرکانس بالاتر و به دنبال تقسیم کننده فرکانسی همانند **Error! Reference source not found.** می‌باشد. فرکانس مخلوط شده بر اسپورس DDS هیچ تاثیری ندارد (فرض کردیم که تولیدات میکسر به طور مناسب فیلتر شود)، مدار اسپورس DDS را به صورت ذاتی تا حدود 20dB در پردازش تقسیم فرکانس کاهش می‌دهد.

متأسفانه این معماری پهنای باند در دسترس را کاهش می‌دهد، که ممکن است عامل محدودیت در بعضی موارد خاص باشد. با به کار گرفتن فرکانس LO بیشتر و فیلترها همانند شکل ۴-۱۰ می‌تواند پهنای باند DDS را گسترش داد.



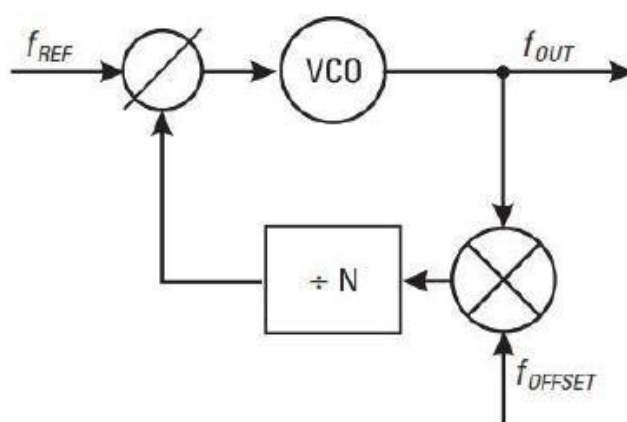
شکل ۹-۴: کاهش اسپورس DDS [3]



شکل ۱۰-۴: گسترش پهنای باند DDS [3]

۴-۴ - شیفت فرکانسی

مشخصات اصلی سنتزکننده می‌تواند به شدت بهتر شود با استفاده از تغییر فرکانسی در داخل مسیر فیدبک که در شکل ۱۱-۴ به نمایش در آمده است. مقصود تبدیل خروجی VCO به فرکانس‌های خیلی پایین‌تر به کمک یک میکسر و منبع شیفت فرکانسی است.

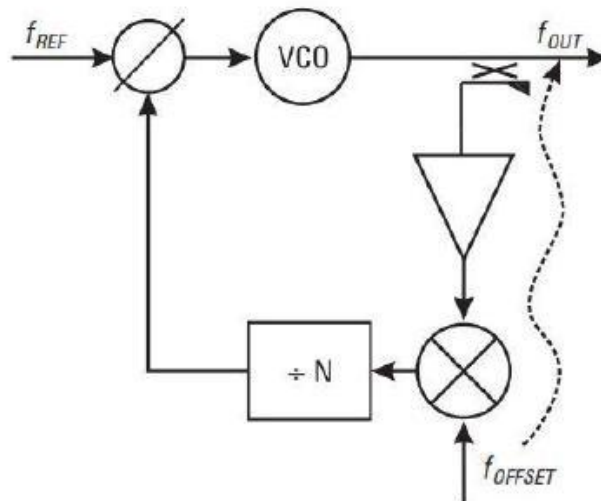


شکل ۱۱-۴: اختلاف فرکانسی در داخل مسیر فیدبک [3]

اجازه دهید به مثال گذشته برگردیم جایی که ما به تعدادی از فرکانس‌های سنتز شده حول فرکانس 10GHz با ام 1MHz نیازمند بودیم. اگر شیفت فرکانسی برابر 9GHz باشد، خروجی VCO به فرکانس‌های پایین‌تر در رنج 1GHz تا 1.1GHz تبدیل می‌شود. که این فرآیند به تنظیم نسبت تقسیم بین 1000 تا 1100 نیاز خواهد داشت. حال اگر فرض کنید که نویز سیگنال آفست به اندازه کافی پایین باشد. نویز PLL، 20dB بهبود خواهد یافت. [3]

اگر چه این راه حل خیلی سر راست به نظر می‌رسد ولی دقت‌های خاصی برای پیش‌گیری از نشت LO و سیگنال مرجع به خروجی VCO نیاز است. قرار دادن یک فیلتر بالا گذر در مسیر فیدبک می‌تواند به سادگی سیگنال مرجع را فیلتر کند. اما نشت LO بسیاری از چالش‌های جدی را، ارائه می‌دهد. چون فرکانس LO معمولاً نزدیک سیگنال RF می‌باشد، در بسیاری از موارد نمی‌تواند فیلتر شود و به صورت اسپورس آشکار می‌شود. ایزولاسیون LO به RF یک پارامتر بحرانی است که بهتر است موقع انتخاب میکسر بررسی شود.

ایزولاسیون می‌تواند به وسیله یک کوپلر و یک تقویت کننده در مسیر فیدبک بهبود یابد که در شکل ۱۲-۴ به نمایش در آمده است.

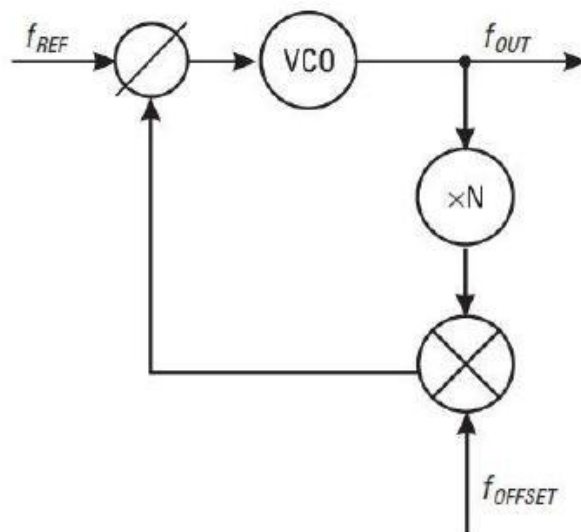


شکل ۱۲-۴: اضافه شدن یک کوپلر و یک تقویت کننده برای بهبود تقویت کننده [3]

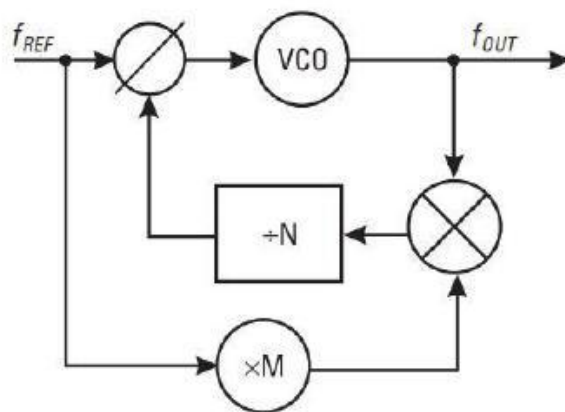
در بعضی سناریوهای خاص (وقتی عملکرد فرکانسی در رنج باریکی است) این امکان برای حذف تقسیم کننده فرکانس فیدبک به طور کامل وجود دارد. در این مورد ضریب تقسیم حلقه برابر 1، می‌باشد و نویز فاز بهبود می‌یابد. به علاوه، نویز باقی مانده PLL را کاهش دهیم با قرار دادن یک ضرب کننده فرکانس در مسیر فیدبک به جای یک تقسیم کننده که در شکل ۱۴-۴ به نمایش در آمده است.

اگر چه شیفت فرکانسی گره گشایی بزرگی برای کاهش مشخصه نویز، به همراه می‌آورد. اما خود یکی دیگر از منابع نویز می‌باشد. سیگنال آفست معمولاً از همان مرجع با استفاده از اضافه کردن یک ساختار PLL یا ضرب فرکانسی که در شکل ۱۳-۴ به نمایش در آمده است؛ تولید می‌شود.

راه حل ضرب فرکانسی بیشتر مورد قبول است زیرا معمولاً نویز فاز کمتری در مقایسه با همتای PLL خود دارد. اگر چه، بعضی مواقع به عامل ضربی نیاز داریم که به راحتی محقق نمی‌شود. بنابراین یک PLL ضرب کننده، تنها گزینه باقی می‌ماند.



شکل ۴-۱۴: ضرب کننده فرکانسی در مسیر فیدبک عملکرد نویز PLL را بهبود می بخشد [3]

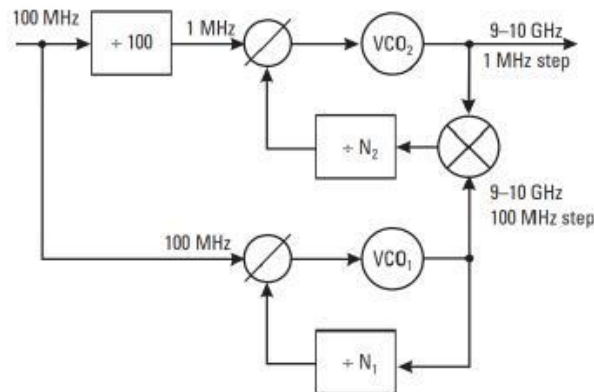


شکل ۴-۱۳: سیگنال آفست توسط مرجع و یک ضرب فرکانسی، تولید می شود [3]

۴-۵- ساختار چند حلقه

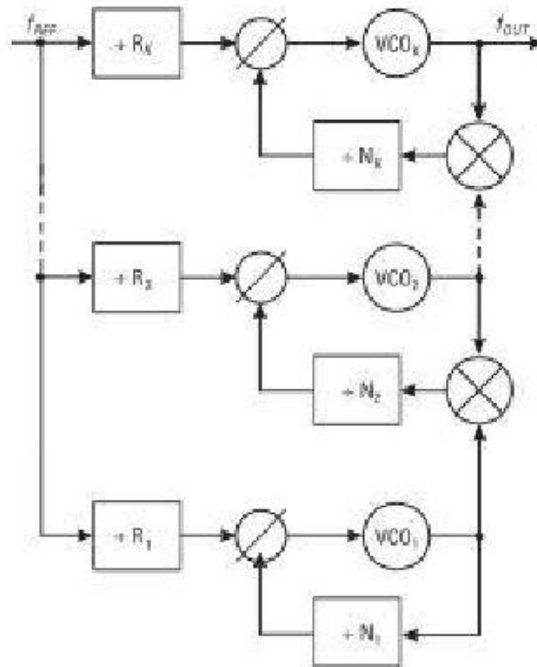
در قسمت قبل گفته شد که فرکانس آفست سیگنال می تواند، با یک PLL دیگر تولید شود همانند شکل ۴-۱۵ که نشان داده شده است. در این روش ما چه سودی خواهیم برد؟ اجازه دهید، دوباره برای نیازمان که

یک سنتز کننده‌ای حول 10GHz با گام 1MHz اما در رنج فرکانسی وسیع تری می‌باشد، تجدید نظر کنیم. (بین 9GHz تا 10GHz)



شکل ۴-۱۵: مثالی از سنتز کننده دو حلقه‌ای [3]

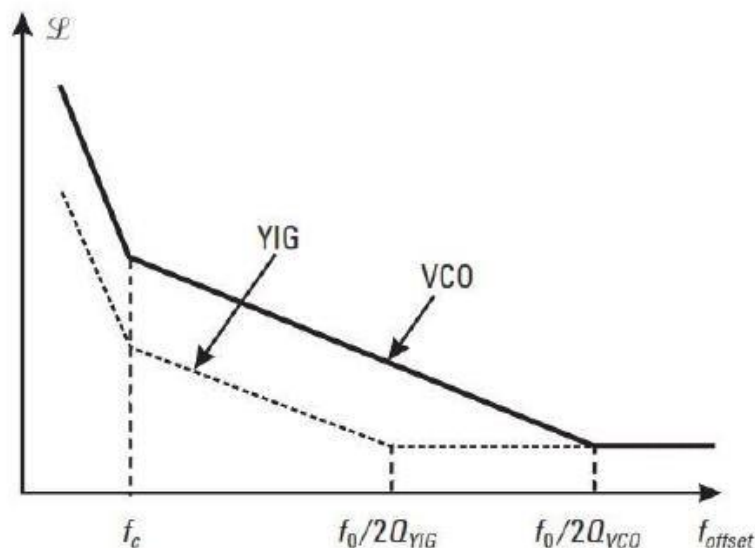
اولین PLL 9GHz تا 10GHz را با گام های 100MHz با تغییرات نسبت تقسیم N_1 بین 90 تا 100 پوشش می‌دهد. خروجی PLL نخست به عنوان سیگنال آفست برای حلقه دوم استفاده می‌شود تا خروجی میکسر را زیر 100MHz قرار دهد. بنابراین، برای گام مورد نظر 1MHz، ماکزیمم نسبت تقسیم برای حلقه دوم از 100 تجاوز نمی‌کند. نویز فاز برای دو حلقه (در ماکزیمم نسبت تقسیم) از 40dB در مقابل 80dB برای یک تک حلقه جایگزین، تجاوز نمی‌کند. بنابراین طراحی دو حلقه می‌تواند 40dB نویز فاز را در مقایسه با تک حلقه بهبود ببخشد. برای بهبودی بزرگ‌تر نویز فاز (با گام کوچک‌تر) می‌توانیم از تعداد بیشتری از PLL ها همانند شکل ۴-۱۶ استفاده کنیم.



شکل ۴-۱۶: سنتزکننده چند حلقه‌ای [3]

۴-۶- استفاده از YIG به جای VCO

هر سنتزکننده فرکانسی با ساختار PLL به مشخصات اسپلاتور آن بسیار بستگی دارد. اسپلاتور YIG به دلیل اینکه پهن باند و همچنین نویز فاز خوبی دارد به عملکرد بالای سنتزکننده کمک می‌کند. همچنین از معایب آن می‌توان از مصرف بالای توان، اندازه بزرگ و هزینه‌های نسبتاً بالای آن نام برد. اگر چه مشکل اصلی و ذاتی در تکنولوژی YIG تنظیم آهسته آن به دلیل اندوکتانس بالای سیم پیچ می‌باشد. معمولاً زمان سوئیچینگ در دسترس آن در حدود میلی ثانیه می‌باشد. حال به مقایسه نویز فاز در دو اسپلاتور می‌پردازیم. با توجه به شکل ۴-۱۷ در فرکانس‌های آفست بالا رفتار یکسانی از خود نشان می‌دهند.

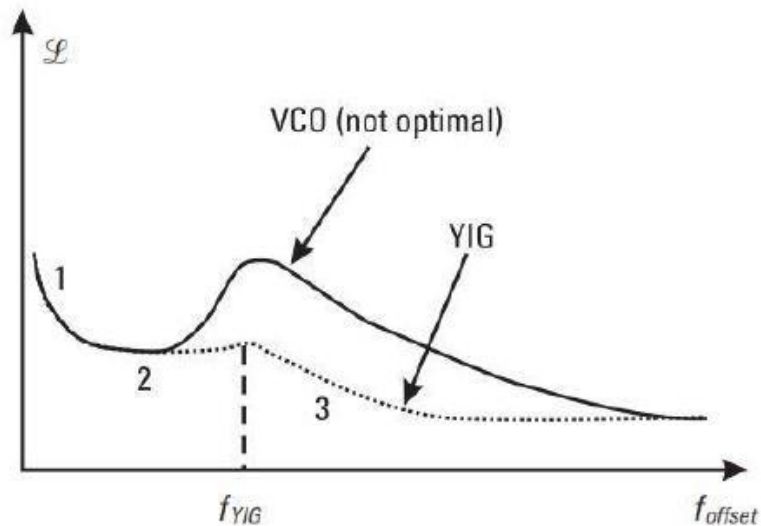


شکل ۴-۱۷: مقایسه نویز فاز در VCO و YIG

در فرکانس های آفست پایین نویز با 20dB/dec شروع به کاهش می کند. در انتهای این ناحیه، وقتی که نویز $1/f$ غالب می شود نویز فاز به 30dB/dec افزایش پیدا می کند. پر واضح است که VCO به طور قابل توجهی نویز فاز بیشتری در مقایسه با YIG به دلیل اختلاف در Q فاکتور دارد.

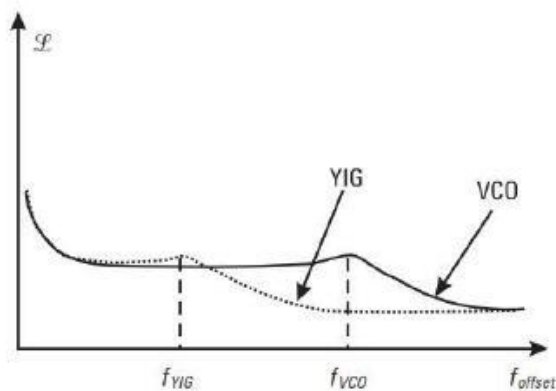
حال اجازه دهید یک سنتزکننده با استفاده از این اسپلاتورها بسازیم. و رفتار نویز فاز را در آن بررسی کنیم. پهنای باند فیلتر حلقه، بهتر است در فرکانس بهینه خود که همان نقطه تلاقی مجموع نویز ساختار PLL و نویز اسپلاتور می باشد تنظیم شود. مشخصات نویز فاز یک سنتزکننده مبتنی بر YIG را در شکل ۴-۱۸ مشاهده می کنید.

نویز منابع مرجع به طور معمول در فرکانس های آفست پایین غالب می شوند. (ناحیه ۱) و در (ناحیه ۲) به دلیل محدودیت نویز باقی مانده PLL نسبتا به یک نویز مسطح می رسیم. خارج پهنای باند حلقه، نویز، نویز اسپلاتور YIG را دنبال می کند. (ناحیه ۳)



شکل ۴-۱۸: مشاهده اسبیلاتورهای VCO و YIG در داخل پهنای باند حلقه YIG [3]

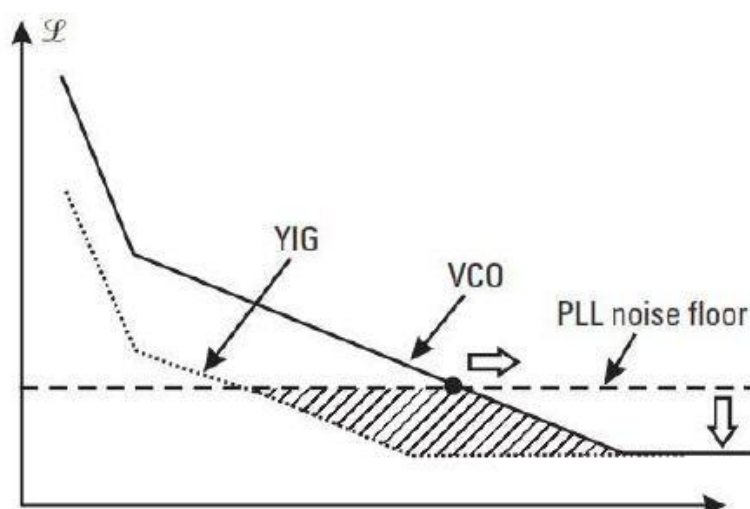
سعی می‌کنیم VCO را در داخل یک حلقه مشابه همان پهنای باند قرار دهیم. به دلیل نویز بیش از حد VCO در این آفست، یک مشخصه نویز بسیار زشت خواهیم دید. مشخصه نویز فاز صاف کننده به وسیله قفل VCO در داخل پهنای باند بهینه خود در شکل ۴-۱۹ قابل مشاهده است.



شکل ۴-۱۹: مشاهده اسبیلاتورهای VCO و YIG در

داخل پهنای باند حلقه بهینه خود [3]

چون VCO در حال حاضر در یک پهنای باند حلقه گسترده تر قرار گرفته است، قفل آن بسیار سریع تر از YIG است. اگرچه منحنی نویز VCO هنوز بالای YIG قرار دارد. اختلاف نویز فاز بین YIG و سنتز کننده مبتنی بر VCO به وسیله سطح نویز PLL و منحنی نویز اسیلاتور که در یک ناحیه هاشور خورده در شکل ۲۰-۴ می باشد، تنظیم می شود.



شکل ۲۰-۴: کاهش سطح نویز PLL و گسترش پهنای باند حلقه فیلتر موجب کاهش اختلاف نویز فاز بین YIG و سنتز کننده مبتنی بر VCO می باشد. [3]

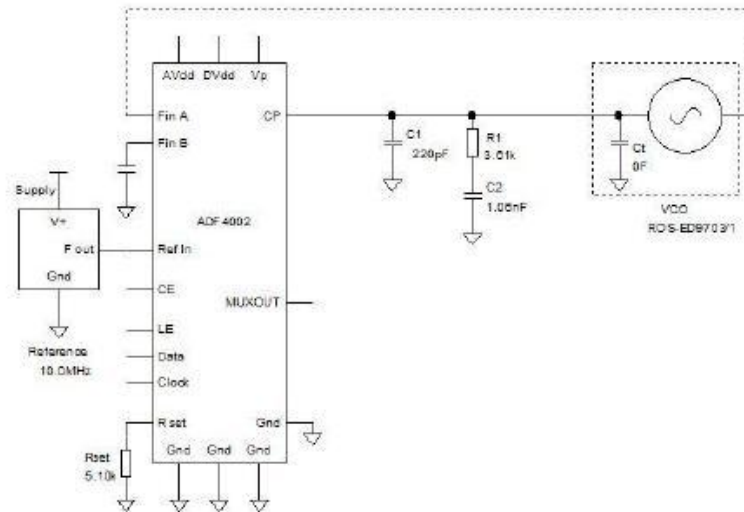
قابل پیش بینی است که کاهش سطح نویز PLL و به طور همزمان افزایش پهنای باند فیلتر حلقه اختلاف را کاهش می دهد. بنابراین، سنتز کننده مبتنی بر VCO رفتاری شبیه YIG خواهد داشت. به طور خلاصه اصول کلیدی در طراحی کم نویز، سوئیچینگ سریع سنتز کننده بر پایه VCO عبارتست از :

- استفاده از منابع مرجع کم نویز
- کاهش سطح نویز باقی مانده PLL
- گسترش پهنای باند فیلتر حلقه

فصل ۵- بررسی و شبیه‌سازی نویز فاز در سنتزکننده‌های فرکانسی در کاربردهای صنعتی

۵-۱- گیرنده رادیو FM

در شبیه سازی این سنتزکننده فرکانس رنج فرکانس بین 88MHz تا 108MHz با گام 1MHz می باشد در این سنتز کننده از تراشه PLL، ADF4002 که از نوع صحیح می باشد و تراشه VCO، ROS-ED9703/1 استفاده شده است که در شکل ۵-۱ به نمایش در آمده است. همچنین فرکانس مرجع خارجی OCXO برابر فرکانس 10MHz می باشد. و پهنای باند حلقه برابر 100KHz است.



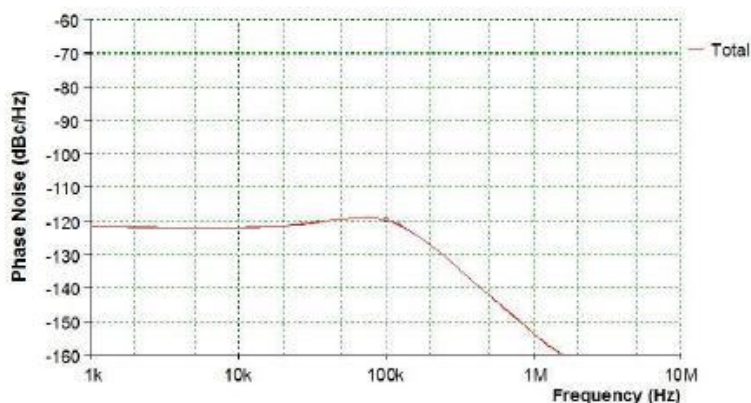
شکل ۵-۱: شماتیک طراحی سنتزکننده فرکانس رادیو FM

جدول ۵-۱ و شکل ۵-۲ عملکرد نویز فاز اجزای PLL در فرکانس های آفست مختلف، در فرکانس 97MHz نشان می دهد.

جدول ۵-۱: نویز فاز برای سنتزکننده رادیو FM

فرکانس (Hz)	مجموع	VCO	تراشه	فیلتر
100	-117.5	-186.6	-117.5	-187.2
1K	-121.5	-170.6	-121.5	-167.2
10K	-122	-154.6	-122	-147.2

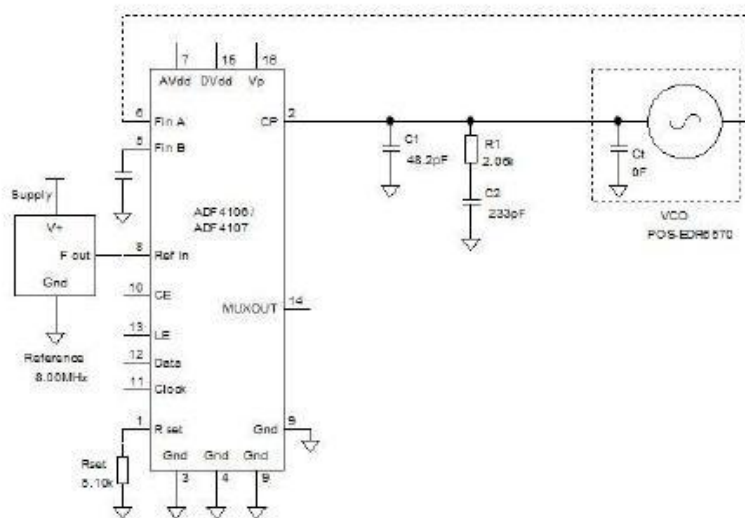
-133.1	-119.8	-139.8	-119.6	100K
-167	-154.4	-161.8	-153.5	1M



شکل ۵-۲: نمودار نویز فاز سنتزکننده رادیو FM در 97MHz

۵-۲- پخش تلویزیون UHF

در شبیه سازی این سنتزکننده فرکانس رنج فرکانس بین 470MHz تا 860MHz با گام 8MHz می باشد در این سنتز کننده از تراشه PLL، ADF4106 که از نوع صحیح N- می باشد و تراشه VCO، ROS-EDR6570 که از شرکت mini circuits استفاده شده است که در شکل ۵-۳ به نمایش در آمده است. همچنین فرکانس مرجع خارجی OCXO برابر فرکانس 8MHz می باشد. و پهنای باند حلقه برابر 800KHz است.

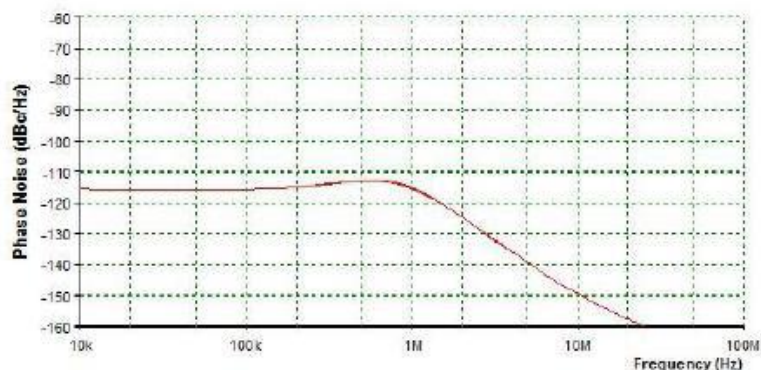


شکل ۳-۵: شماتیک سنترکننده فرکانس بخش خانگی تلویزیون

جدول ۲-۵ و شکل ۴-۵ عملکرد نویز فاز اجزای PLL در فرکانس‌های آفست مختلف، در فرکانس 632MHz نشان می‌دهد.

جدول ۲-۵: جدول نویز فاز برای سنترکننده بخش همگانی تلویزیون

فرکانس (Hz)	مجموع	VCO	تراشه	فیلتر
100	-105.6	-197.5	-105.6	-204.6
1K	-113	-179.5	-113	-184.6
10K	-115.6	-161.5	-115.6	-164.6
100K	-115.6	-141.6	-115.7	-144.7
1M	-115.2	-129.9	-115.4	-134



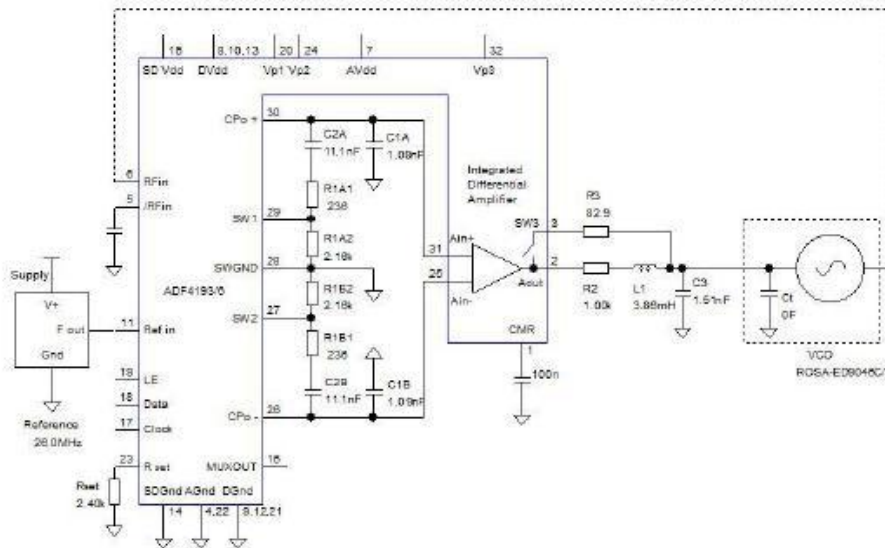
شکل ۴-۵: نمودار نویز فاز سنتزکننده بخش تلویزیون در 632MHz

۳-۵ - سیستم GSM موبایل

یکی از متداول‌ترین استانداردهای تلفن‌های همراه در جهان است. فروشنده اصلی آن یعنی شرکت جی‌اس‌ام تخمین می‌زند که ۸۰ درصد از بازار جهانی تلفن همراه از این استاندارد استفاده می‌کند. سه میلیارد نفر در ۲۱۲ کشور از این استاندارد بهره می‌گیرند.

سیستم GSM در حالت گیرندگی در رنج فرکانسی بین 935MHz تا 960MHz با فضای کانال 200KHz می‌باشد. در این سنتزکننده از تراشه PLL از نوع اعشاری، ADF4193 برای شرکت Analog device و از تراشه VCO، ROSA-ED9046C/1 استفاده شده است. این تراشه‌ها به علت نویز فاز مناسب انتخاب شده‌اند. در شکل ۵-۵ شماتیک طراحی این مدار کشیده شده است.

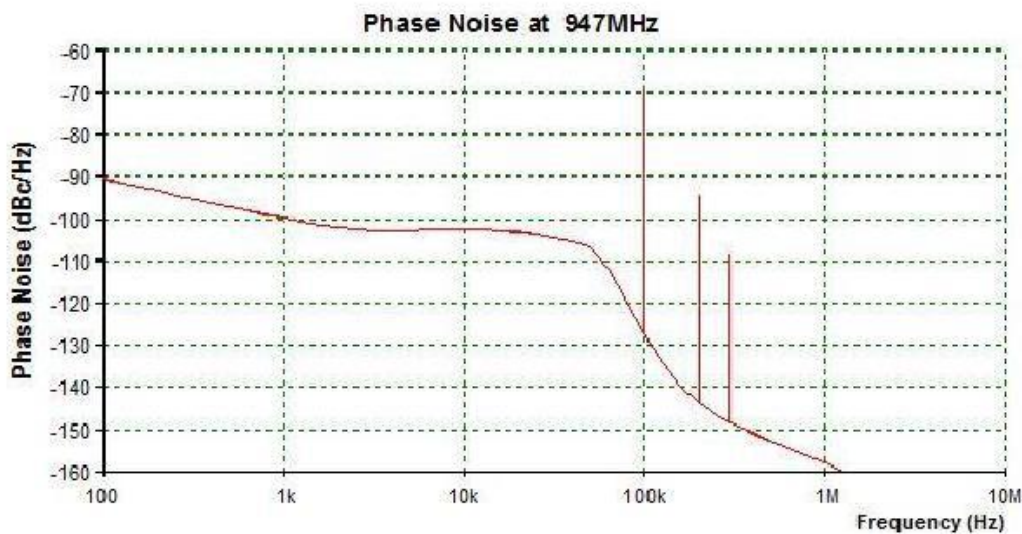
جدول ۳-۵ و شکل ۶-۵ عملکرد نویز فاز اجزای PLL در فرکانس‌های آفست مختلف، در فرکانس 947MHz نشان می‌دهد.



شکل ۵-۵: شماتیک سنتزکننده فرکانس برای سیستم GSM

جدول ۳-۵: نویز فاز برای سنتزکننده سیستم GSM

فیلتر	تراشه	VCO	مجموع	فرکانس (Hz)
-124.5	-90.43	-144.9	-90.43	100
-114.3	-99.99	-132.9	-99.83	1K
-105.4	-105	-124.3	-102.2	10K
-128.8	-134.2	-140.2	-127.5	100K
-192.1	-215.9	-158	-158	1M



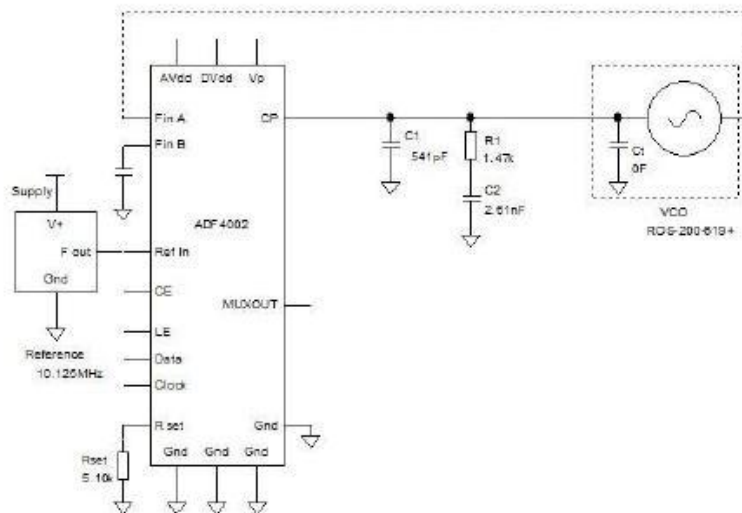
شکل ۵-۶: نمودار نویز فاز سنسزکننده سیستم GSM با بدترین حالت اسپور

۵-۴ - دستگاه بی سیم

بی سیم یک نوع رادیو است که برخلاف رادیو که تنها گیرنده است، یک دستگاه فرستنده-گیرنده است. بی سیم هم به صورت دستی و هم به صورت ثابت (در خودرو یا مکان ثابت) در دسترس است. گونه دستی آن اغلب به نام واکی تاکی^۱ نامیده می شوند. فرکانس کار دستگاه های بی سیم متفاوت است، اما پرکاربردترین آنها از 136MHz تا 174MHz (VHF) و 400MHz تا 470MHz (UHF) می باشد. برد یک دستگاه بی سیم به قدرت خروجی آن بستگی دارد و عوامل محیطی بر برد این دستگاهها تاثیرگذار است.

سنتزکننده فرکانس طراحی شده برای یک نوع بی سیم خاص در رنج فرکانسی 156MHz تا 174MHz با گام فرکانسی 1125KHz می باشد. این بی سیم دارای ۱۶ کانال می باشد. در این سنتزکننده که از نوع صحیح می باشد از تراشه PLL، ADF4002 برای شرکت Analog Device و تراشه VCO، ROS-200-619+ برای شرکت mini circuit استفاده شده است. طرح این مدار در شکل ۵-۷ به نمایش در آمده است.

^۱ walkie-talki



شکل ۷-۵: شماتیک سنزکننده فرکانس برای دستگاه بی‌سیم

جدول ۴-۵ و شکل ۸-۵ عملکرد نویز فاز اجزای PLL در فرکانس‌های آفست مختلف، در فرکانس 164MHz نشان می‌دهد.

جدول ۴-۵: جدول نویز فاز برای سنزکننده فرکانس دستگاه بی‌سیم

فرکانس (Hz)	مجموع	VCO	تراشه	فیلتر
100	-113.1	-178.4	-113.1	-179.7
1K	-117.3	-162.4	-117.3	-159.7
10K	-117.9	-146.4	-117.9	-139.8
100K	-115.3	-131.7	-115.9	-125.7
1M	-148.5	-153.8	-150.6	-159.7



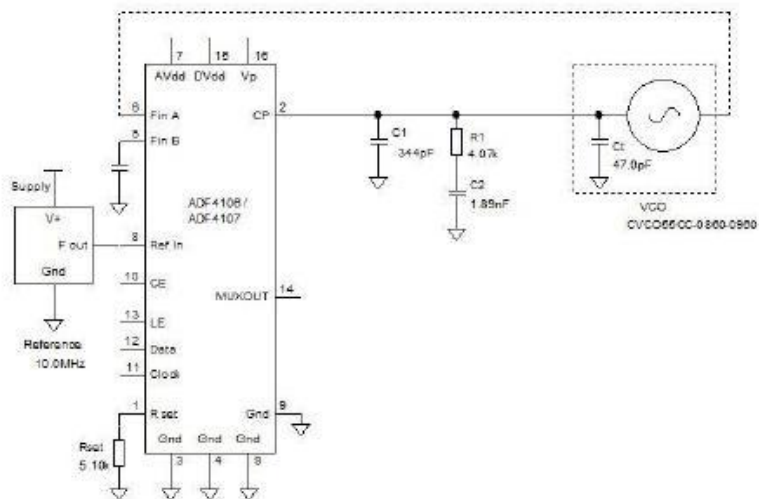
شکل ۵-۸: نمودار نویز فاز برای سنتزکننده بی سیم

RFID - ۵-۵

سیستم‌های شناسه RF که به اختصار "RFID" نامیده می‌شوند، پرچسب‌های کوچک و ارزانی هستند که می‌توان آنرا به کالاها یا افراد چسباند تا مکان آنها را ردیابی کرد. کاربردهای آن از کنترل بار در فرودگاه‌ها تا کنترل افراد در عملیات نظامی را می‌پوشاند. RFID هایی با فرکانس کاری 900MHz و 2.4GHz اخیراً وارد بازار شده‌اند.

سنتزکننده فرکانس طراحی شده برای یک سیستم شناسه RF در رنج فرکانسی 860MHz تا 960MHz با گام فرکانسی 500KHz می‌باشد. در این سنتزکننده که از نوع صحیح می‌باشد از تراشه PLL، ADF4106، برای شرکت Analog Device و تراشه VCO، CVCO55CC، برای شرکت *crystek* استفاده شده است. طرح این مدار در شکل ۵-۹ به نمایش در آمده است. پهنای باند حلقه برای این سنتزکننده 50KHz در نظر گرفته شده است.

جدول ۵-۵ و شکل ۵-۱۰ عملکرد نویز فاز اجزای PLL در فرکانس‌های آفست مختلف، در فرکانس 909MHz نشان می‌دهد.



شکل ۹-۵: شماتیک سنتزکننده فرکانس برای RFID

جدول ۵-۵: نویز فاز برای یک RFID

فیلتر	تراشه	VCO	مجموع	فرکانس (Hz)
-156.2	-98.7	-155.4	-98.7	100
-136.2	-100.5	-144.7	-100.5	1K
-116.4	-100.1	-135.5	-100	10K
-115.5	-106.3	-134.3	-105.8	100K
-154.3	-145.2	-152.9	-144.1	1M



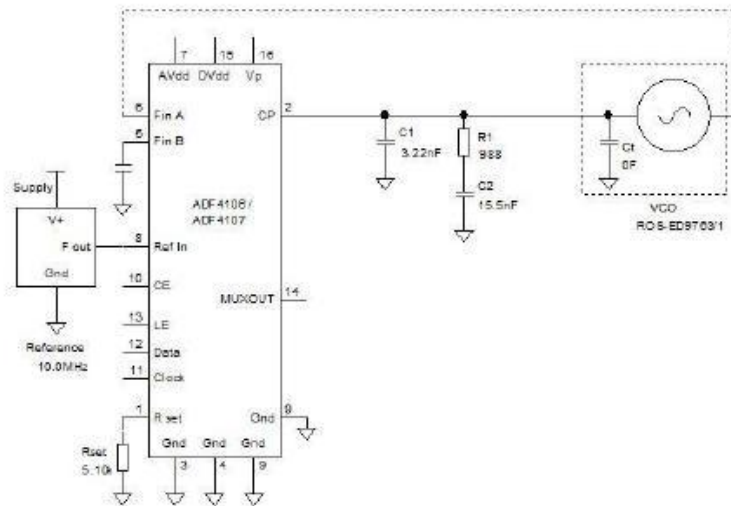
شکل ۵-۱۰: نمودار نویز فاز سنتزکننده سیستم RFID

۵-۶- بلوتوث

استفاده از شبکه های محلی بی سیم به علت ایجاد سهولت در کارها روز به روز رو به افزایش است. که از جمله مهم ترین فناوری هایی که برای برقراری ارتباط دو شبکه بی سیم استفاده می شود فناوری Bluetooth است که به سرعت به عنوان یک استاندارد برای وسایل الکترونیکی از جمله موبایل و تجهیزات جانبی کامپیوتر تبدیل شده است.

سنتزکننده فرکانس طراحی شده برای سیستم Bt در رنج فرکانسی 2.4GHz تا 2.48GHz با گام فرکانسی 1000KHz می باشد. در این سنتزکننده که از نوع صحیح می باشد از تراشه PLL، ADF4106 برای شرکت Analog Device و تراشه VCO، ROS-ED9763/1 برای شرکت mini circuit استفاده شده است. طرح این مدار در شکل ۵-۱۱ به نمایش در آمده است. همچنین پهنای باند این سیستم برابر 25KHz می باشد.

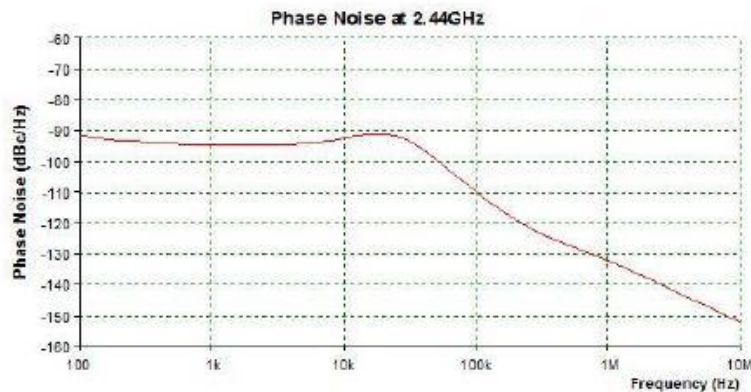
جدول ۵-۶ و شکل ۵-۱۲ عملکرد نویز فاز اجزای PLL در فرکانس های آفست مختلف، در فرکانس 2440MHz نشان می دهد.



شکل ۵-۱۱: شماتیک سنتز کننده فرانس برای سیستم بلوتوث

جدول ۵-۶: مقایسه نویز فاز یک سنتز کننده فرکانس سیستم Bt

فیلتر	تراشه	VCO	مجموع	فرکانس (Hz)
-141.5	-91.71	-137.3	-91.71	100
-121.5	-94.7	-121.3	-94.69	1K
-102.2	-93.09	-105.9	-92.39	10K
-117.9	-111.9	-115.9	-109.7	100K
-157.6	-151.7	-132	-131.9	1M



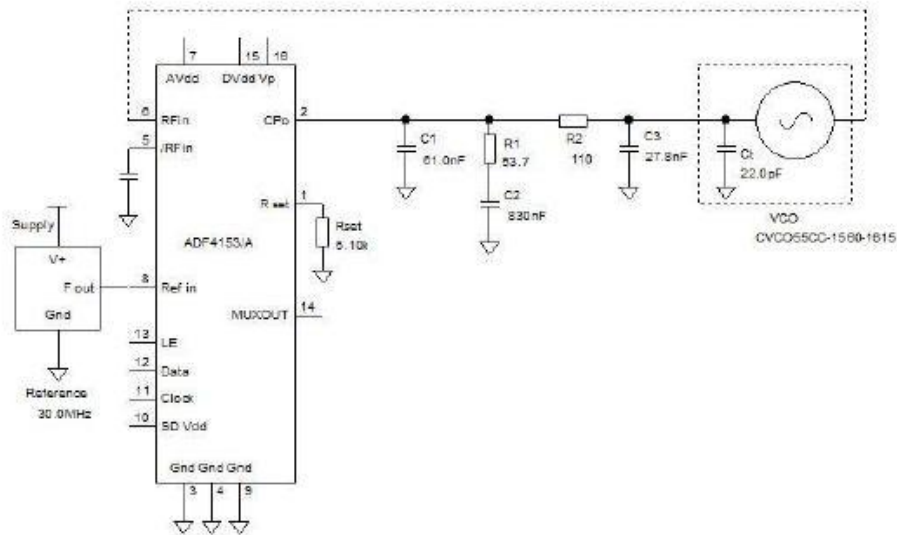
شکل ۵-۱۲: نمودار نویز فاز سنتزکننده سیستم Bt

۵-۷- سیستم GPS

امروزه سیستم‌های ناوبری ماهواره‌ای نقش بسیار مهمی را در زندگی بشر بازی می‌کنند. در بسیاری از تجهیزات مانند گوشی‌های تلفن همراه، دکل‌های مخابراتی، سیستم‌های حمل و نقل و خودروها و غیره نقش مهمی دارند. هر چند اولین و پر کاربردترین سیستم ناوبری ماهواره‌ای سیستم ناوبری جی پی اس آمریکا است. ولی امروزه کشورهای رقیب همچون روسیه و چین نیز سیستم‌های ناوبری پیشرفته‌ای پیاده‌سازی نموده و یا در حال ساختند. [11]

سنتزکننده فرکانس طراحی شده برای سیستم جی‌پی‌اس در رنج فرکانسی 1560MHz تا 1610MHz با گام فرکانسی 100KHz می‌باشد. در این سنتزکننده که از نوع کسری می‌باشد از تراشه PLL، ADF4153 برای شرکت Analog Device و تراشه VCO، CVCO55CC برای شرکت *crystek* استفاده شده است. طرح این مدار در شکل ۵-۱۳ به نمایش در آمده است. همچنین پهنای باند این سیستم برابر 10KHz می‌باشد.

جدول ۵-۷ و شکل ۵-۱۴ عملکرد نویز فاز اجزای PLL در فرکانس‌های آفست مختلف، در فرکانس 1580MHz نشان می‌دهد.



شکل ۵-۱۳: شماتیک سنتر کننده فرکانس برای GPS

جدول ۵-۷: مقایسه نوبز فاز یک سنتر کننده فرکانس سیستم GPS

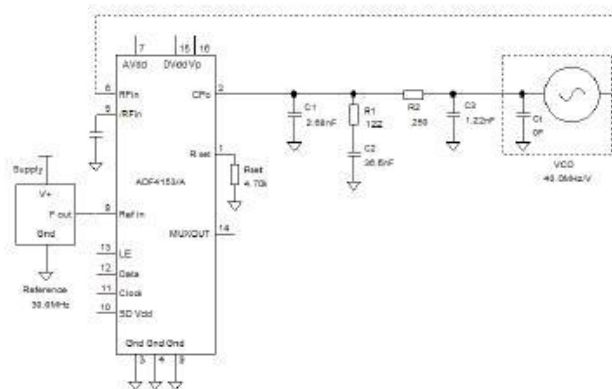
فرکانس (Hz)	مجموع	VCO	تراشه	فیلتر
100	-89.94	-133.2	-89.94	-144.1
1K	-99.18	-117.7	-99.26	-124.2
10K	-102.4	-109.7	-104.1	-111.1
100K	-132	-132.9	-142.9	-141.7
1M	-151	-151	-200	-180



شکل ۵-۱۴: نمودار نویز فاز برای سنتزکننده سیستم GPS

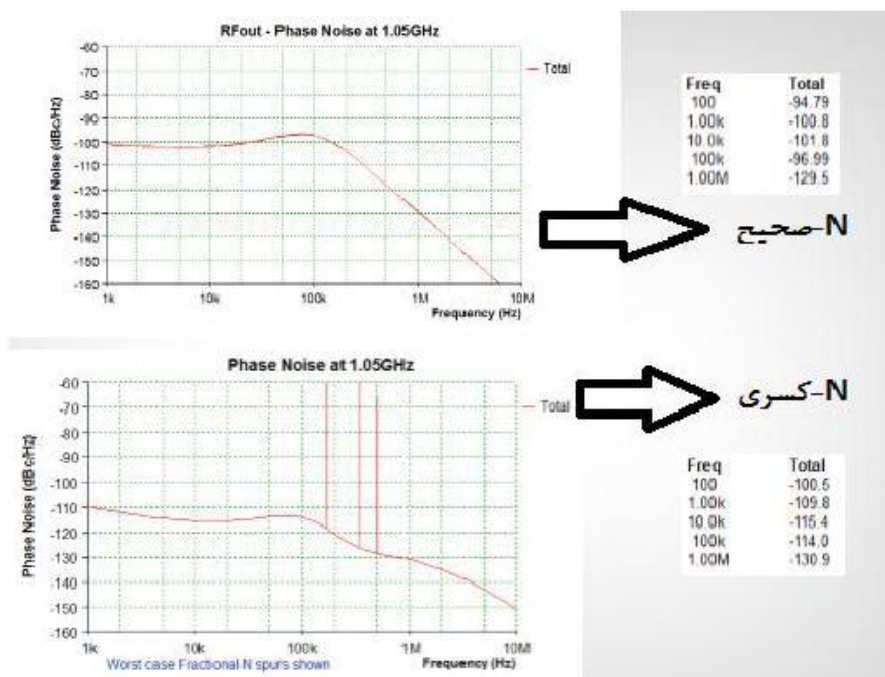
۵-۸ - مقایسه سنتزکننده N-صحیح و N-کسری

در این مثال ما قصد داریم یک سنتزنده فرکانس در رنج فرکانسی 1GHz الی 1.1GHz با گام فرکانسی 1MHz به دو صورت N-صحیح و N-کسری طراحی کرده و نویز فاز آن را مقایسه کنیم. پرواضح است که ما در سنتزکننده N-کسری نویز فاز بهتر و همچنین زمان قفل سریع‌تر خواهیم گرفت ولی اسپورس بدتر خواهد شد. در شکل ۵-۱۵ طراحی شماتیک این سنتزکننده را می‌بینیم. در طراحی سنتزکننده N-صحیح



شکل ۵-۱۵: شماتیک سنتزکننده N-کسری

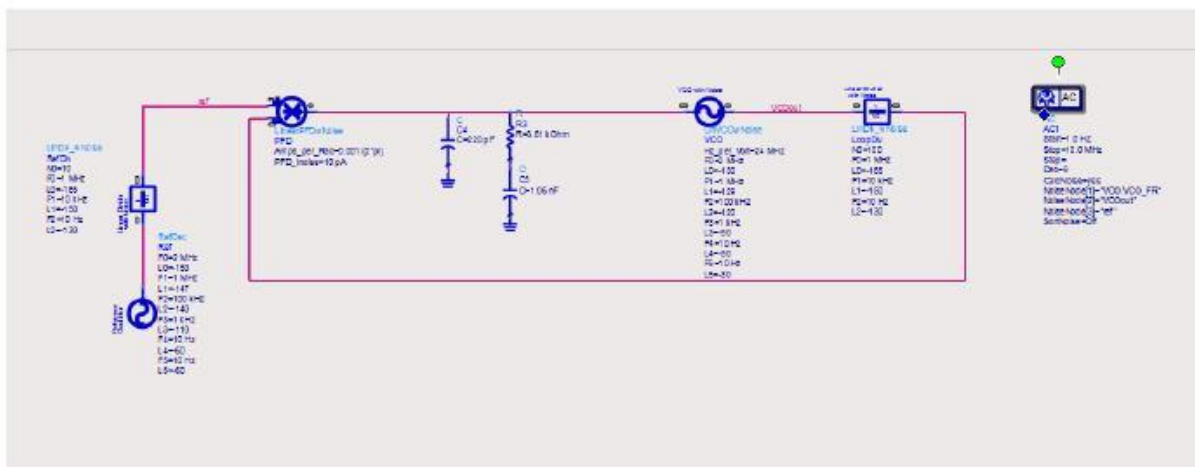
بجای استفاده از آی سی ADF4153/A از آی سی ADF4107 که از نوع صحیح می باشد استفاده می کنیم. توجه به این نکته ضروری است که تمام پارامترهای دو آی سی یکسان می باشد و تنها تفاوت آنها به نوع سنتز کننده است که یکی صحیح و دیگری از نوع کسری می باشد. نمودار نویز فاز و مقایسه مقدار آن در شکل ۱۶-۵ آمده است.



شکل ۱۶-۵: مقایسه نویز فاز در سنتز کننده نوع صحیح و کسری

۵-۹- مقایسه N-صحیح و چند حلقه و شیفت فرکانسی

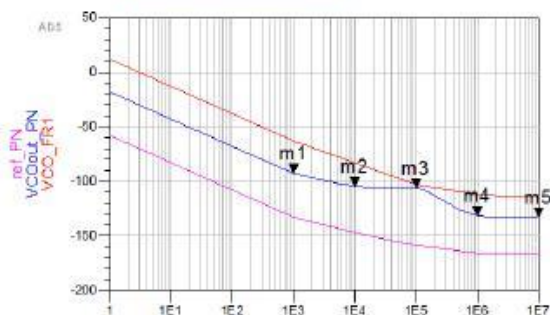
اکنون در نرم افزار ADS شماتیک سه نوع از سنتز کننده های فرکانس را کشیده و در فرکانس های مختلف نویز فاز آنها را مقایسه می کنیم.



شکل ۵-۱۷: طراحی حلقه قفل فاز در نرم افزار ADS

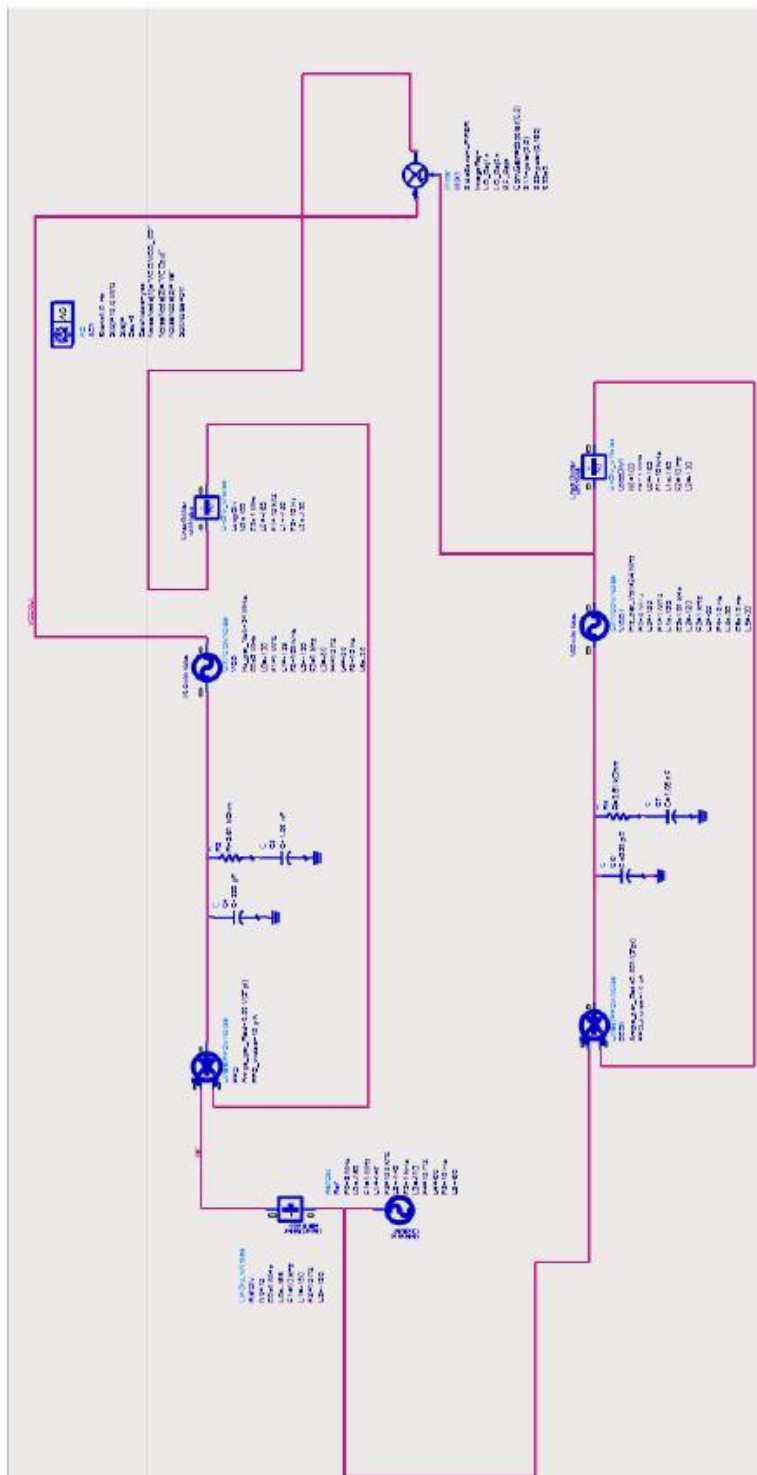
در شکل ۵-۱۷ حلقه قفل فازی طراحی شده و نویز فاز برای هر یک از اجزای حلقه قفل فاز تعریف شده است. در نمودار نویز فاز مجموع و VCO و کریستال مرجع را مشاهده می‌کنید.

m1 freq=1.000kHz VCOout_PN=92.545	m2 freq=10.00kHz VCOout_PN=104.294	m3 freq=100.0kHz VCOout_PN=106.110	m4 freq=1.000MHz VCOout_PN=131.274
m5 freq=10.00MHz VCOout_PN=133.008			

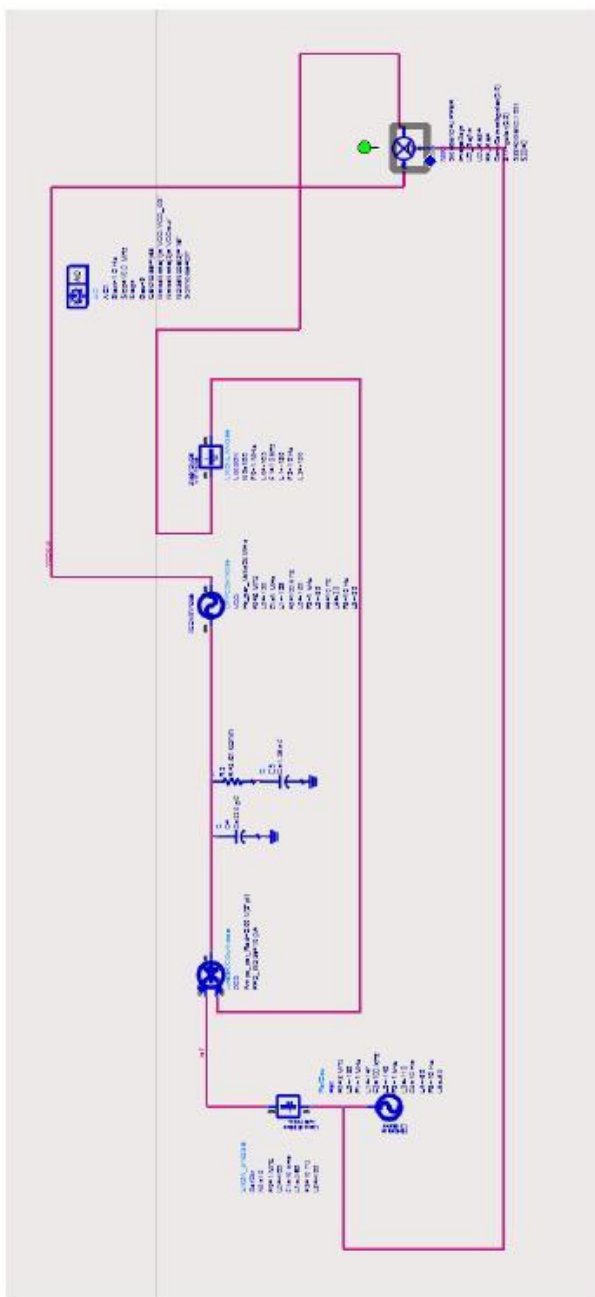


شکل ۵-۱۸: نمودار نویز فاز حلقه قفل فاز طراحی شده

در ادامه شکل ۵-۱۹ و شکل ۵-۲۰ نشان دهنده شماتیک دو نوع سنتز کننده فرکانس چند حلقه‌ای و شیفت فرکانسی می‌باشند.



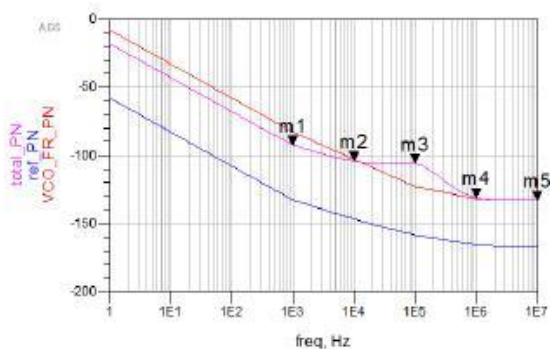
شکل ۱۹-۵: شماتیک سنز کننده دو حلقه در نرم افزار ADS



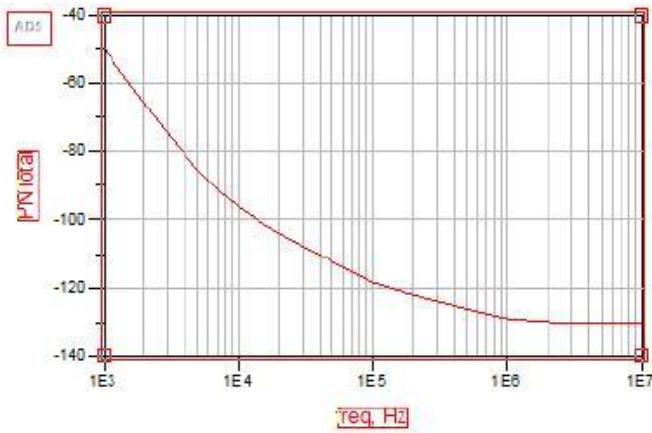
شکل ۲-۵: طراحی شماتیک سنسور کننده شیب فرکانسی در نرم افزار ADS

در شکل ۲۱-۵ و نمودار نویز فاز به نمایش در آمده و در فرکانس‌های مختلف قابل قیاس است. پر واضح است که ما با صرف زمان و هزینه بیشتر و طراحی دشوار روبه‌رو شده‌ایم ولی در عوض پارامترهایی از جمله نویز فاز را بهبود بخشیده‌ایم.

m1 freq=1.000kHz total_PN=-92.545	m2 freq=10.00kHz total_PN=-104.294	m3 freq=100.0kHz total_PN=-106.110	m4 freq=1.000MHz total_PN=-131.274	m5 freq=10.00MHz VCO_FR_PN=-133.010
---	--	--	--	---



شکل ۲۱-۵: نمودار نویز فاز سنتزکننده دو حلقه‌ای



freq	PNTotal[0:9::maxindex]
1.000 kHz	-49.830
10.00 kHz	-96.196
100.0 kHz	-118.523
1.000 MHz	-128.972
10.00 MHz	-130.000

شکل ۵-۲۲: نمودار نویز فاز در سنتز کننده شیفتر فرکانسی

منابع

- [۱] A W-Band Low-Noise PLL With a Fundamental " ,A. Niknejad , J.-C. Chien ,S. Kang
pp. 2390 - 2404 , رقم ۱۰ , المجلد ۶۲ , ۲۰۱۴ .
- [۲] A BiCMOS Dual-Band Millimeter-Wave Frequency " .P. Heydari , B. Javid ,V. Jain
"Synthesizer for Automotive Radars", المجلد ۴۴ , رقم ۸ , pp. 2100 - 2113 , ۲۰۰۹ .
- [۳] .A. Chenakin ,Frequency Synthesizers ,Artech House , ۲۰۱۱ .
- [۴] .B. Razavi ,RF MICROELECTRONICS ,PRENTICE HALL ,Los Angeles , ۲۰۱۱ .
- [۵] switzerland: .Radio Ferequency Integrated Circuits and Technologies ,F. Ellinger
Springer , ۲۰۰۶ .
- [۶] ,Sons & Amherst: John Wiley ,Microwave Engineering, Fourth Edition ,D. M. Pozar
۲۰۱۲ .
- [۷] THE DESIGN OF CMOS RADIO-FREQUENCY INTEGRATED .T. H.Lee
CIRCUITS ,CAMBRIDGE , ۲۰۰۴ .
- [۸] pp. 326 - ۳ , رقم ۲۵ , المجلد ۲۵ "Oscillator Phase Noise: A Tutorial" ,A. Hajimiri و T. Lee
۳۳۶ , ۲۰۰۰ .
- [۹] "Phase Noise Model of Single Loop Frequency Synthesizer" ,J. D. Yu و K. Y. W. Kim
المجلد ۵۴ , رقم ۱ , pp. 112 - 119 , ۲۰۰۸ .

- [۱۰] Novel Techniques for Fully Integrated RF CMOS Phase-Locked Loop ,C. C. Boon
Nanyang Technological University, School of Electrical and ,Frequency Synthesizer
.۲۰۰۴ ,Electronic Engineering
- [۱۱] "An integrated GPS receiver with synthesizer" ,J. Pulver ,C. Mason ,A. Chao ,R. Herman
"المجلد ۲" ,vol.2 ,pp. 883 - 886 ,۱۹۹۱ .and downconversion functions
- [۱۲] "Prediction of reference spur in frequency synthesizers" ,T. Bhattacharyya ,P. Mandal
"المجلد ۹" ,رقم ۲ , pp. 131 - 139 , ۲۰۱۵ .