

ترانزیستورهای چندگیتی و معرفی ترانزیستور Tri-gate ۲۲ نانومتری

Intel

مجید رحیمی

majidgeek@majidr.ir

در بیش از ۴ دهه، اندازه‌ی ترانزیستورها به صورت نمایی کوچک می‌شد و بنابراین تعداد ترانزیستورهای موجود در یک چیپ، به صورت نمایی افزایش یافت. چنین افزایشی در چگالی بسته‌بندی، توسط کوچک کردن ترانزیستور اثر میدانی نیمه‌رسانا-اکسید-فلز^۱ (MOSFET) امکان پذیر بود. در نسل کنونی از ترانزیستورها، ابعاد ترانزیستور به اندازه‌ای کوچک شده که مشخصه‌های الکتریکی دستگاه به طور محسوسی کاهش پیدا کرده است؛ طوری که باعث جلوگیری از ادامه‌ی کاهش اندازه‌ی ترانزیستور شده است. اخیراً، نسل جدیدی از ترانزیستورهای اثر میدانی نیمه‌رسانا-اکسید-فلز، با نام ترانزیستورهای چندگیتی ارائه شده است؛ چنین ترانزیستورهایی با هندسه‌ی چندگیتی، امکان ادامه‌ی بهبود کارایی رایانه‌ها همزمان با کوچک سازی آن‌ها را، در دهه‌های آینده را فراهم می‌کند. در این تحقیق ابتدا به بررسی MOSFET های عادی (مسطح) پرداخته و محدودیت‌های این نوع ترانزیستور را بررسی می‌کنیم، سپس به معرفی جدیدترین ترانزیستور از نوع چندگیتی که به تولید انبوه رسیده است، می‌پردازیم.

MOSFET

این ترانزیستور بار اصلی صنعت میکروالکترونیک را بر دوش خود می‌کشد. بلوک‌های ریزپردازنده‌ها، چیپ حافظه و ریزمدارهای ارتباطی از این ترانزیستورها ساخته می‌شوند. یک ریزپردازنده‌ی مدرن می‌تواند شامل بیش از ۲ میلیون MOSFET باشد و همچنین یک حافظه‌ی ۳۲ گیگابایتی که فقط نیم گرم وزن دارد، شامل ۲۵۶ میلیون ترانزیستور است که با تعداد ستاره‌های موجود در کهکشان راه شیری قابل مقایسه است. این نوع ترانزیستورها بیشتر به عنوان کلید در ریزمدارهای منطقی به کار می‌روند؛ اگرچه از آن‌ها برای مقاصد دیگر هم می‌توان بهره جست.

نمونه‌ای از یک MOSFET در شکل ۱ قابل مشاهده است. این ترانزیستور شامل دو نیمه‌رسانای نوع n با نام‌های source و drain است که با یک نیمه‌رسانای نوع p که substrate نامیده می‌شود، از هم جدا می‌شوند. این توصیف برای MOSFET

¹ Metal-Oxide-Semiconductor Field-Effect Transistor

از نوع n (NMOS) است. MOSFET نوع p (PMOS)، ترکیب متفاوتی در ناحیه‌های source, drain و substrate دارد. عموماً نیمه‌رسانای مورد استفاده سیلیکون است، اگرچه سایر مواد نیمه‌رسانا با سرعت حمل بار بیشتر نیز در صنعت میکروالکترونیک مورد استفاده قرار می‌گیرد. لایه‌ای نازک از مواد عایق مانند سیلیکون اکسید، ناحیه‌ی بین source و drain را می‌پوشاند و این لایه با یک لایه‌ی فلزی که گیت نامیده می‌شود، فراگرفته شده است. عایق به عنوان گیت اکسید در نظر گرفته می‌شود.

محدودیت‌های MOSFET

یک کلید بی نقص باید در زمان باز بودن، جریان عبوری از آن صفر و زمان بسته بودن، مقاومت آن صفر باشد. همچنین باید قابلیت تغییر وضعیت سریع بین حالت‌های روشن و خاموش را داشته باشد. متأسفانه MOSFET ها کلیدهای بی نقصی نیستند و با کوچک شدن آن‌ها، رفتار تغییر حالت آن‌ها بدتر هم می‌شود [1].

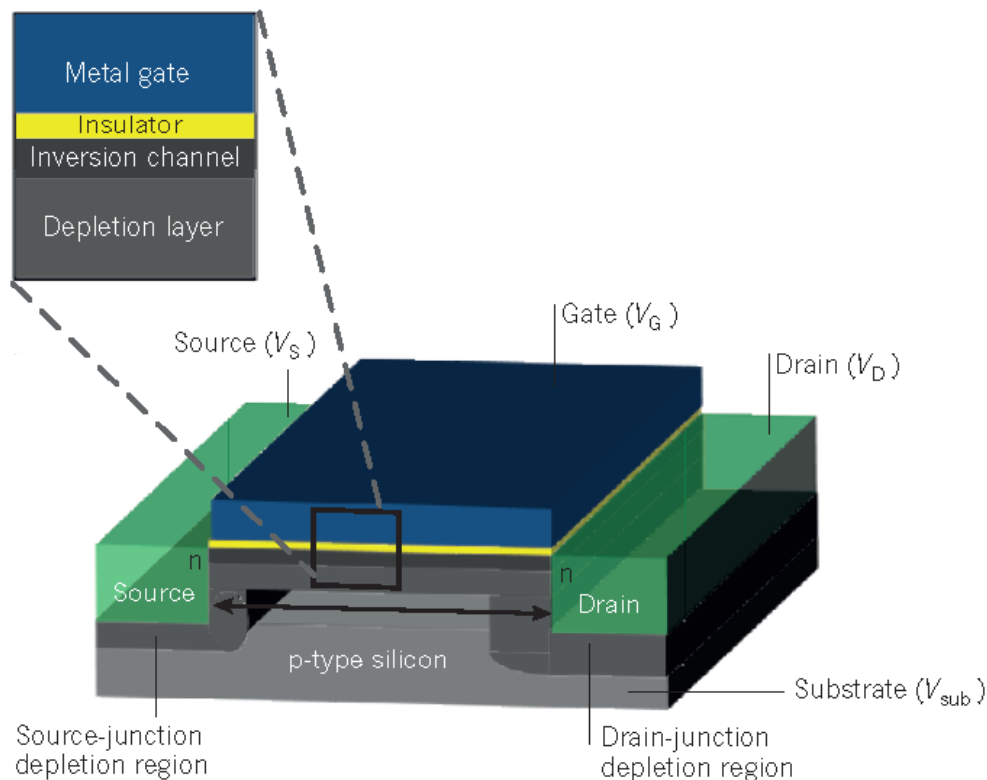
زمانی که ابعاد یک MOSFET کاهش پیدا می‌کند، سطح ولتاژ و ضخامت گیت اکسید هم باید کاهش پیدا کند. از آن جایی که ولتاژ گرمایی الکترون (kT/q) برای وسایل الکترونیکی در دمای اتاق، ثابت است؛ نسبت بین ولتاژ عملکرد و ولتاژ گرمایی نیز ناگزیر به کاهش است. این باعث افزایش جریان‌های عبوری source-drain ناشی از نفوذ گرمایی الکترون‌ها می‌شود. در همین حال، گیت اکسید به ضخامتی حدود چند لایه اتم رسیده است که تونل زنی مکانیک کوانتومی باعث افزایش شدید جریان‌های عبوری می‌شود [2].

یک راه‌حل، عدم استفاده از پیکربندی مسطح است؛ طوری الکتروگیت را طراحی کنیم که چند طرف کانال رسانا را احاطه کند و باعث بهبود کنترل الکترواستاتیکی روی کانال شود. این‌گونه معماری چندگیتی امکان کوچک سازی بیشتر ترانزیستور، بدون کاهش کارایی را فراهم می‌کند.

قانون مور^۲

در سال ۱۹۶۵، گوردن مور مقاله‌ای منتشر کرد که در آن پیش‌بینی کرده بود که چگالی ترانزیستورهای روی یک چیپ هر ۱۸ ماه دو برابر خواهد شد. اگرچه این نتیجه تجربی و فقط بر اساس داده‌های ۶ سال به دست آمده بود، قانون مور به طور فوق‌العاده‌ای تا ۴۵ سال برقرار بود. به نظر می‌رسید که این قانون دیگر برقرار نباشد، اما با ابداع ترانزیستورهای چندگیتی، همچنان این قانون برقرار مانده است!

² moore's law



شکل ۱: ساختمان داخلی MOSFET کانال n عادی (حجیم) [1]

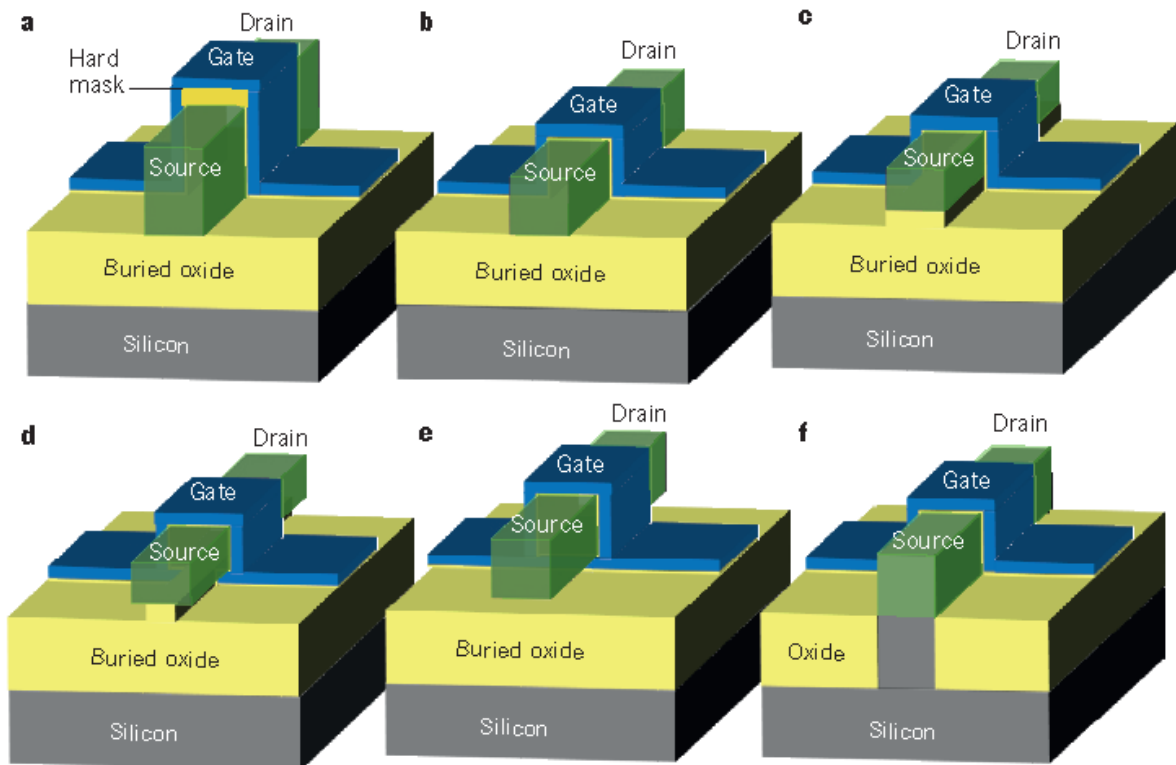
معماری چندگیتی

در MOSFET عادی حجیم، الکتروود گیت در بالای یک عایق (اکسید) قرار می‌گرفت که ناحیه‌ی کانال بین source و drain را می‌پوشاند. در این پیکربندی، ترانزیستور مسطح و در اصل، دو بعدی است. کنترل الکترواستاتیک کانال به وسیله‌ی گیت از طریق اتصال خازنی بین گیت و ناحیه‌ی کانال و از طریق عایق گیت امکان‌پذیر می‌شود. قوانین مقیاس‌گذاری به یک کاهش در عمق ناحیه‌های source و drain توسط فاکتور مقیاس‌گذاری مانند کاهش طول گیت نیازمند است. این باعث کاهش اثرات کانال کوتاه^۳ به وسیله‌ی کاهش تحویل موثر کنترل ناحیه‌ی کانال توسط source و drain می‌شود. کاهش ضخامت اکسید گیت هم با بهبود اتصال خازنی بین گیت و کانال، نتیجه‌ی یکسانی در پی دارد. به علاوه با جایگزین کردن سایر اکسیدهای فلزی که ثابت دی‌الکتریک بالاتری دارند، به جای دی‌اکسید سیلیکون به عنوان عایق گیت، می‌توان ظرفیت خازنی گیت را به مقدار قابل توجهی بهبود داد که در عوض باعث افزایش جریان می‌شود.

³ Short-channel effects

^۴ اصلی‌ترین این اثرات عبارتند از: نبود pinch-off و اشباع به دلیل رسانایی بالای drain و جریان عبوری بالا [3].

کنترل الکترواستاتیک کانال گیت را به وسیله‌ی اصلاح شکل MOSFET هم بهبود داد. MOSFET های چند گیتی از مزایای بعد سوم برای خنثی کردن اثرات کانال کوتاه بهره می‌برد. از آن جایی که این گونه ترانزیستورها فقط یک الکتروود گیت دارند، شاید چندگیتی مناسب‌ترین عبارت برای توصیف این معماری نباشد. در واقع منظور از این عبارت این است که الکتروود از چند طرف ناحیه‌ی کانال احاطه می‌شود. در شکل ۲ چند نمونه از این ترانزیستورهای چندگیتی قابل مشاهده است. ساختار این ترانزیستور ها نیز در شکل ۳، قابل مشاهده است.

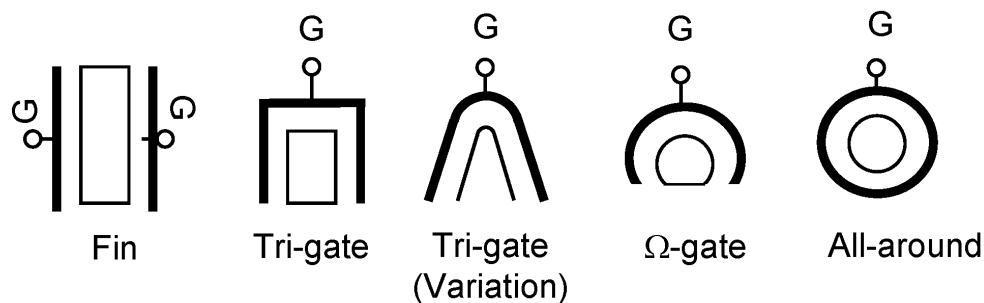


شکل ۲ برخی نمونه‌های ترانزیستورهای چندگیتی [1]

a: SOI (FinFET) **b:**SOI tri-gate MOSFET. **c:** SOI Π -gate MOSFET. **d:** SOI Ω -gate MOSFET.

e: SOI gate-all-around MOSFET. **f:** A bulk tri-MOSFET.

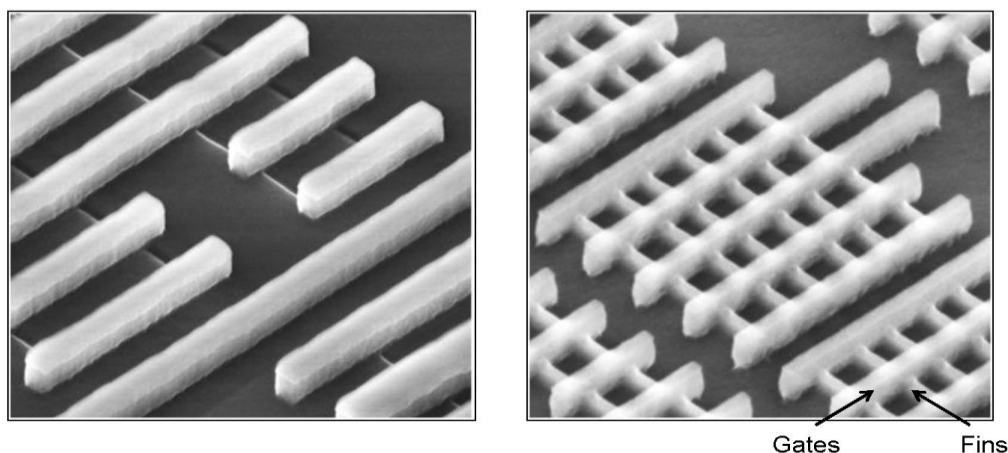
تمامی ترانزیستورهای موجود در شکل ۲، با استفاده از زیر لایه‌ی سیلیکون روی عایق^۵ ساخته شده‌اند. این زیر لایه شامل یک لایه‌ی نازک سیلیکون تک کریستالی بر روی یک عایق (معمولاً سیلیکون دی اکسید) می‌شود. همچنین "hard mask" یک دی الکتریک ضخیم است که از شکل‌گیری یک وارونگی کانال در بالای سیلیکون "fin" جلوگیری می‌کند [1].



شکل ۳: انواع اتصال گیت در ترانزیستورهای چندگیتی [4]

ترانزیستور Tri-gate

در اوایل به وجود آمدن ترانزیستورهای چندگیتی، این ترانزیستورها فقط ارزش تحقیقاتی داشتند تا این که در سال ۲۰۱۱ Intel تصمیم خود مبنی بر تولید tri-gate FET با اندازه‌ی ۲۲ نانومتر را اعلام کرد [1]. این ترانزیستور به دلیل "fin" ها، FinFET نیز نامیده می‌شود [5] (شکل ۴).

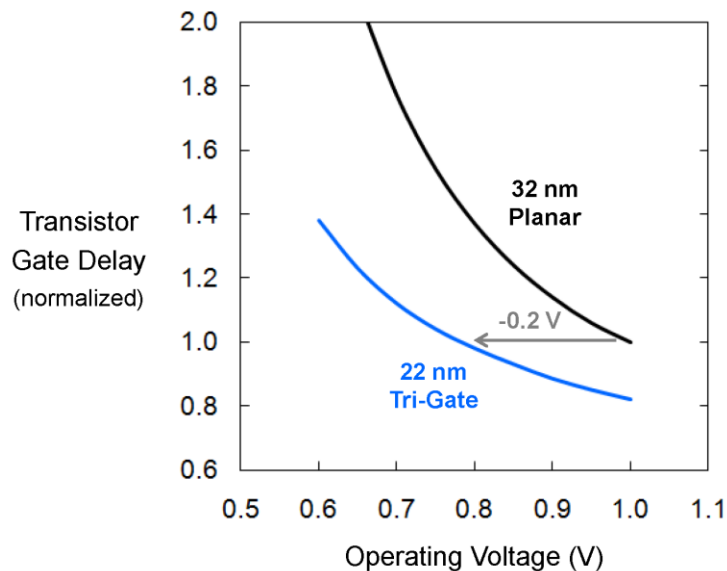


شکل ۴: سمت راست ترانزیستور Tri-gate نانو متری و سمت چپ ترانزیستور مسطح ۲۲ نانومتری [6]

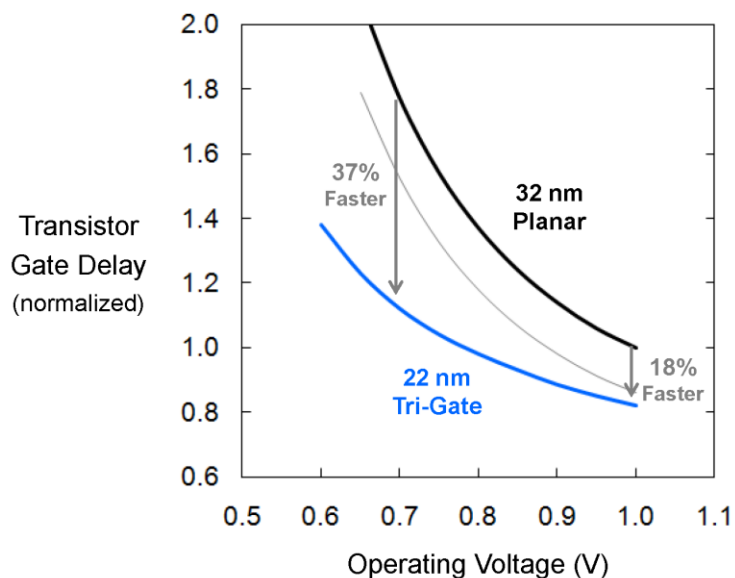
⁵ Silicon-On-Insulator (SOI)

ساختار ترانزیستور Tri-gate الکتروود گیت را از سه طرف لایه نازک و بلند سیلیکون (fin) احاطه می‌کند که باعث بهبود یافتن کنترل کانال می‌شود. این باعث می‌شود تا شیب پایین آستانه تندتر شود که باعث ۱۰ برابر شدن کاهش جریان عبوری شود. همچنین می‌تواند مقیاس پذیری طول گیت را بهبود دهد که هم باعث ایجاد امکان کوچک سازی و کاهش ظرفیت خازنی گیت شود.

همین طور این ترانزیستور می‌تواند در ولتاژ آستانه کمتر با همان جریان عبوری نسبت به ترانزیستور مسطح شود. این ولتاژ آستانه‌ی پایین تر می‌تواند برای فراهم کردن کارایی بیشتری یا کاهش ولتاژ عملکرد به کار رود. ترانزیستورهای ۲۲ nm tri-gate نانومتری امکان بهبود تاخیر گیت تا ۳۷٪ در ولتاژ ۰.۷ یا کاهش نیروی فعال لازم تا ۵۰٪ در عملکرد ثابت را نسبت به نمونه‌ی مسطح را دارند [5]. شکل ۵ و ۶ نمودارهای مقایسه بین این دو نوع ترانزیستور ها را نشان می‌دهد.



شکل ۵: کاهش ولتاژ عملکردی در ترانزیستور tri-gate نسبت به ترانزیستور مسطح [7]



شکل ۶: کاهش تاخیر در ترانزیستور tri-gate نسبت به ترانزیستور مسطح [7]

منابع

- [1] Ferain, Isabelle, Cynthia A. Colinge, and Jean-Pierre Colinge. "Multigate transistors as the future of classical metal-oxide-semiconductor field-effect transistors." *Nature* 479.7373 (2011): 310-316.
- [2] Taur, Yuan. "CMOS design near the limit of scaling." *IBM Journal of Research and Development* 46.2.3 (2002): 213-222.
- [3] Hosseini, Seyed Ebrahim. "IMPROVED SHORT CHANNEL EFFECTS IN 4H-SIC MOSFET WITH DUAL MATERIAL GATE STRUCTURE." 8th International Conference on Technical and Physical Problems of Power Engineering. 2012.
- [4] Iwai, Hiroshi. "Future of nano CMOS technology." *Microelectronics Technology and Devices (SBMicro), 2013 Symposium on.* IEEE, 2013.

[5] Singer, Pete. "The Next Transistor." *Solid State Technology* 55.5 (2012): 13–16.

[6] Bohr, Mark. "Silicon Technology Leadership for the Mobility Era." *Intel Design Forum*. 2012.

[7] Bohr, Mark, and Kaizad Mistry. "Intel's revolutionary 22 nm transistor technology." *Rob Willoner at Innovation* (2011).