www.wikiazmoon.ir

wikiAzmoon

wikiazmoon.ir

www.wikiazmoon.ir

367

F

367F

نام

نام خانوادگی

محل امضاء

صبح جمعه

۹۱/۱/۲۵

اگر دانشگاه اصلاح شود مملکت اصلاح می‌شود.

امام خمینی (ره)

جمهوری اسلامی ایران

وزارت علوم، تحقیقات و فنّاوری

سازمان سنجش آموزش کشور

آزمون ورودی دوره‌های دکتری (نیمه متمرکز) داخل در سال ۱۳۹۱

رشته‌ی

مهندسی کامپیوتر ـ معماری سیستم‌های کامپیوتری (سخت‌افزار) (کد ۲۳۵۵)

نام و نام خانوادگی داوطلب:	شماره داوطلبی:
تعداد سؤال: ۴۵	مدت پاسخگویی: ۱۵۰ دقیقه

عنوان مواد امتحانی، تعداد و شماره سؤالات

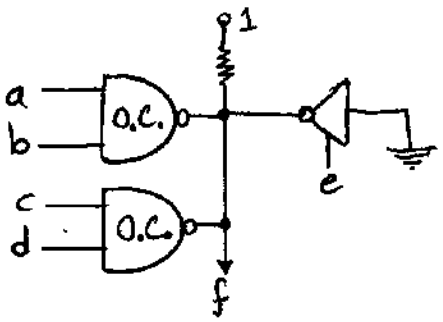
ردیف	مواد امتحانی	تعداد سؤال	از شماره	تا شماره
۱	مجموعه دروس تخصصی (مدار منطقی، معماری کامپیوتر پیشرفته، VLSI پیشرفته)	۴۵	۱	۴۵

فروردین سال ۱۳۹۱

استفاده از ماشین حساب مجاز نمی‌باشد.

حق چاپ و تکثیر سؤالات پس از برگزاری آزمون برای تمامی اشخاص حقیقی و حقوقی تنها با مجوز این سازمان مجاز می‌باشد و با متخلفین برابر مقررات رفتار می‌شود.

۱- در مدار شکل زیر گیت‌های **nand** از نوع **open collector** هستند. این مدار کدام تابع منطقی را پیاده‌سازی می‌کند؟



۱) $f = \overline{ab}.\overline{cd}.e$
۲) $f = e + \overline{ab}.\overline{cd}$
۳) $f = \overline{(a+b).(c+d).e}$
۴) $f = (\bar{a}+\bar{b})(\bar{c}+\bar{d}).\bar{e}$

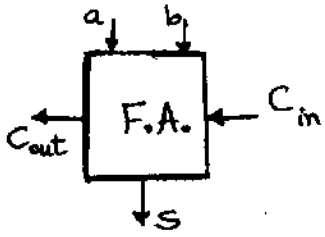
۲- **یک واحد انکودر (ENC) عادی که اولویت‌ها را تشخیص نمی‌دهد با تعداد ورودی 8 و تعداد خروجی 3 با کدام گیت‌ها ساخته می‌شود؟**

۱) سه عدد گیت AND سه ورودی
۲) سه عدد گیت OR چهار ورودی
۳) سه عدد گیت OR سه ورودی
۴) سه عدد گیت AND چهار ورودی

۳- **کدام یک از توابع زیر می‌تواند به عنوان منطق کامل (تابعی که هر تابع دیگر با آن قابل ساختن است) در نظر گرفته شود؟**

۱) $f(a,b) = a \oplus \bar{b}$
۲) $f(a,b) = a \oplus b$
۳) $f(a,b) = ab + \bar{a}c$
۴) $f(a,b,c) = ab + ac$

۴- **کدام گزینه در مورد واحد FA (Full Adder) صحیح است؟**



۱) مدار F.A. در حقیقت از یک مدار رأی گیر اکثریت و یک مدار XoR ساخته شده است.
۲) مدار F.A. دقیقاً با دو واحد H.A. (Half Adder) و بدون نیاز به هیچ عنصر دیگر ساخته می‌شود.
۳) طراحی مدار F.A. براساس ساده‌سازی قواعد Quine مانند جدول Karnugh یا الگوریتم Mckluskey است و لذا مدار آن مبتنی بر SOP ساده شده است.
۴) در مدار F.A. ، a و b جابه‌جایی دارند یعنی اگر ورودی‌های آن‌ها را عوض کنیم خطایی رخ نمی‌دهد ولی c_{in} با a و c_{in} با b جابه‌جایی ندارد و اگر ورودی c_{in} را با a یا ورودی c_{in} را با b عوض کنیم عملکرد مدار خراب می‌شود.

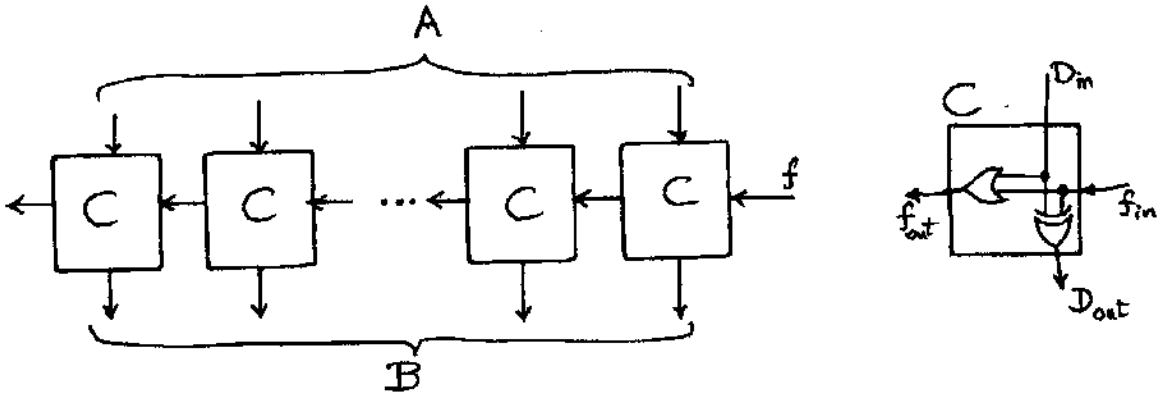
۵- **با فرض آن که تأخیر گیت‌ها مستقل از تعداد ورودی‌های آن‌ها باشد تأخیر یک جمع‌کننده با پیش‌بینی نقلی (carry look – ahead addar) ۵ بیتی بر حسب تأخیر یک گیت چقدر است؟ (d = تأخیر یک گیت)**

۱) 5d
۲) 6d
۳) 10d
۴) 11d

۶- **در فیلیپ‌فلاپ نوع SR، اگر هر دو ورودی فعال باشند:**

۱) خروجی Q نوسان می‌کند.
۲) خروجی Q نامشخص می‌شود.
۳) مشکل وقتی پیش می‌آید که کلاک غیر فعال می‌شود.
۴) مشکلی پیش نمی‌آید و فقط خروجی‌ها عکس یکدیگر نخواهند بود.

۷- مدار زیر را در نظر بگیرید: کدام گزینه صحیح‌ترین است؟



۱) خروجی B ، جمع A و f است.
۲) خروجی B ، مکمل دو (2's complement) ورودی A است.
۳) خروجی B ، مکمل (one's complement) ورودی A است.
۴) بسته به مقدار f ، خروجی B می‌تواند مکمل یک یا مکمل دو ورودی A باشد.

۸- **مبنای اعداد (radix) چه باشد تا عبارت $24+15=42$ صحیح باشد؟**

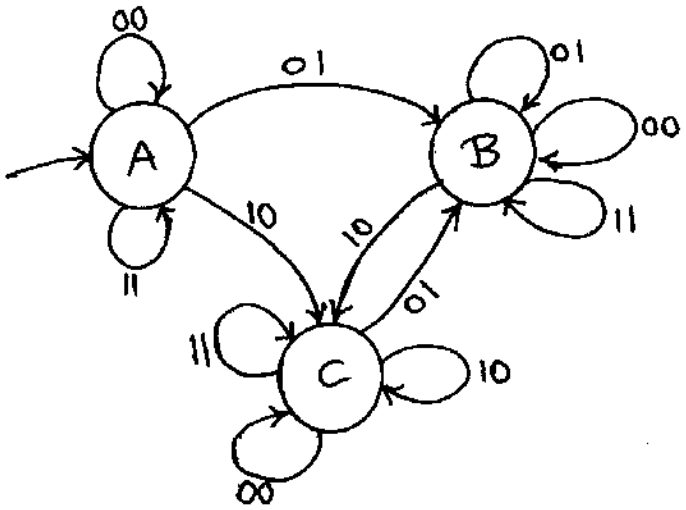
۱) 6 ۲) 7 ۳) 8 ۴) 9

۹- **حداقل تعداد دروازه منطقی که برای پیاده سازی جدول کارنوی مقابل لازم است چه تعدادی می‌باشد؟**

۰	۰	۱	۰
۰	۱	۰	۱
۱	۰	۱	۰
۰	۱	۰	۱

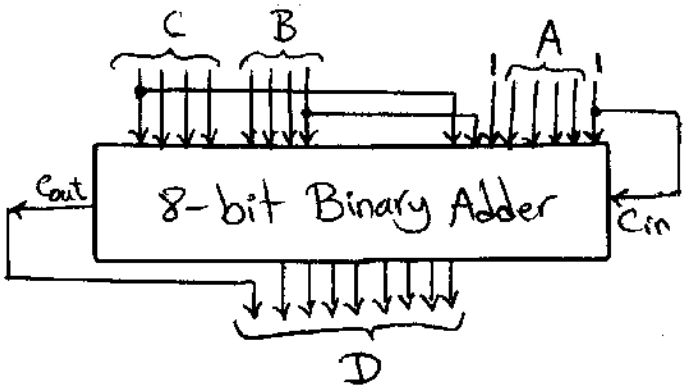
۱) سه عدد
۲) چهار عدد
۳) پنج عدد
۴) شش عدد

۱۰- نمودار حالت زیر مربوط به کدام مدار است؟ (حالت اولیه A است.)



۱) یک شمارنده دو بیتی
۲) یک فیلپ فلاپ JK
۳) یک مقایسه کننده سریال
۴) یک مدار ترتیبی که الگوهای 0001 و 1110 را تشخیص می‌دهد.

۱۱- در مورد عملکرد مدار زیر کدام گزینه صحیح است؟



۱) $D = 2A + 16C + B + 34$

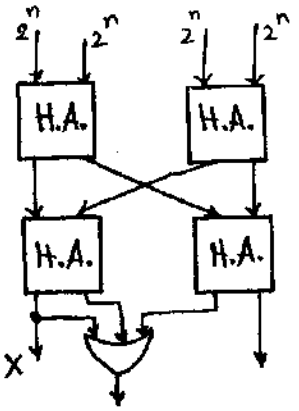
۲) $\text{if } B \text{ is odd then } D = 2A + B + 16C + 98$
$\text{else } D = 2A + 16C + B + 32$

۳) $\text{if } C \geq 8 \text{ then } D = 2A + B + 16C + 162$
$\text{else } D = 2A + 16C + B + 32$

۴) هیچ کدام

۱۲- جدول حالت عبارات Sum و $\overline{\text{Carryout}}$ در یک تمام جمع‌کننده (Full Adder)در چند حالت مشابه می‌باشند؟
۱) سه حالت
۲) چهار حالت
۳) پنج حالت
۴) شش حالت

۱۳- در مدار روبه‌رو ارزش مکانی x چه باشد تا در خروجی جمع ورودی را داشته باشیم؟



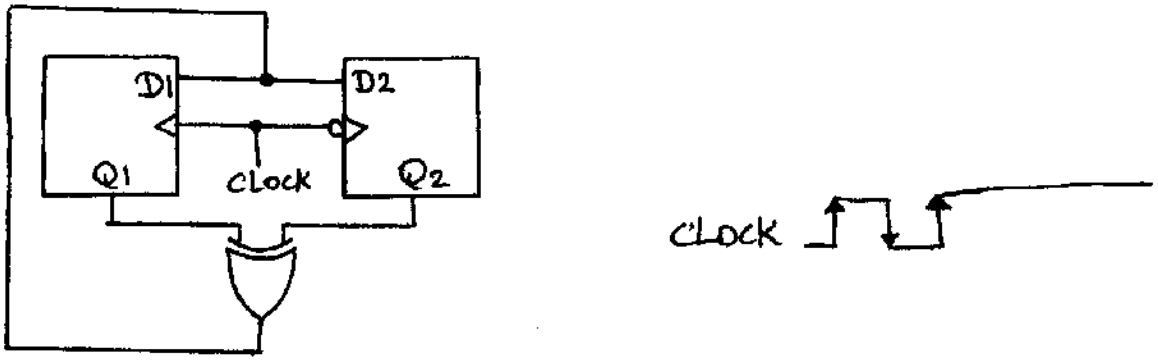
۱) 2^n ۲) 2^{n+1} ۳) 2^{n+2} ۴) 2^{n+3}

۱۴- اگر بخواهیم تابع $f(a,b,c,d)=\sum m(0,2,4,5,6,7,8,10,13,15)$ را به صورت مجموع حاصل ضرب‌ها (SOP) تا حدّ امکان ساده کنیم چند essential prime implicant وجود دارد؟ (منظور، عباراتی است که الزاماً در جواب نهایی باید وجود داشته باشد).
۱) چهار ۲) سه ۳) دو ۴) یک

۱۵- مدار زیر را در نظر بگیرید:

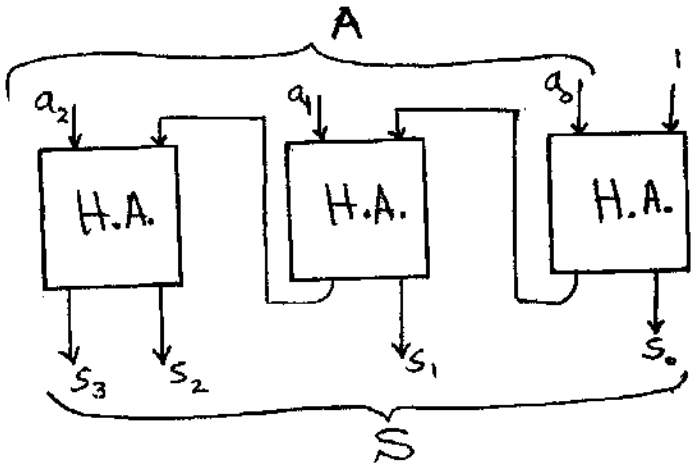
۱) خروجی out همیشه صفر است.
۲) خروجی out همیشه یک است.
۳) این مدار دو برابر کننده فرکانس می‌باشد.
۴) این مدار تقسیم کننده فرکانس بر دو می‌باشد.

۱۶- در مدار زیر بعد از اعمال Clock چه اتفاقی می‌افتد؟



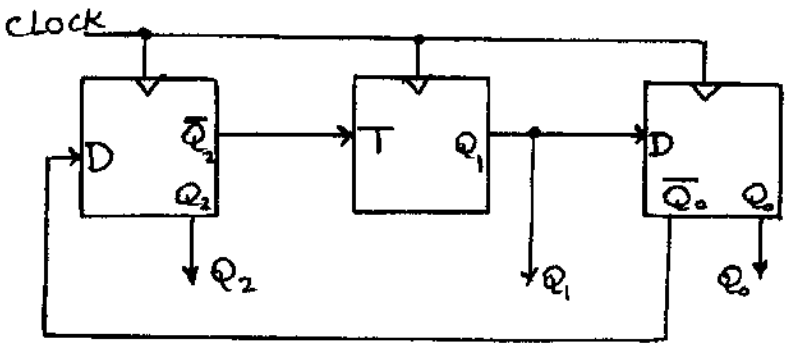
۱) اطلاعات دو Flip-Flop با هم عوض می‌شود.
۲) هر دو Flip-Flop مقدار یک خواهند گرفت.
۳) هر دو Flip-Flop مقدار صفر خواهند گرفت.
۴) به صورت latch عمل می‌شود و اطلاعات هیچکدام تغییری نمی‌کند.

۱۷- این مدار چه می‌کند؟



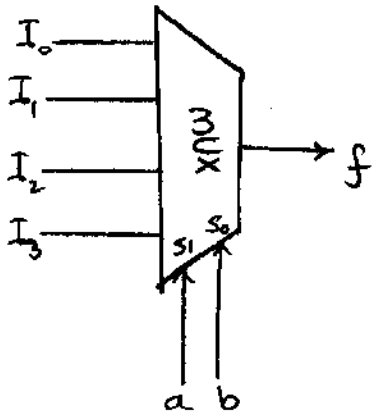
۱) عدد S مکمل ۱ عدد A است.
۲) عدد S مکمل ۲ عدد A است.
۳) عدد S یک واحد کمتر از عدد A است.
۴) عدد S یک واحد بیشتر از عدد A است.

۱۸- به فرض آنکه شمارنده زیر از حالت $Q_2Q_1Q_0 = 000$ شروع به شمارش کند، خروجی $Q_2Q_1Q_0$ کدام مقدار را نمی‌گیرد؟



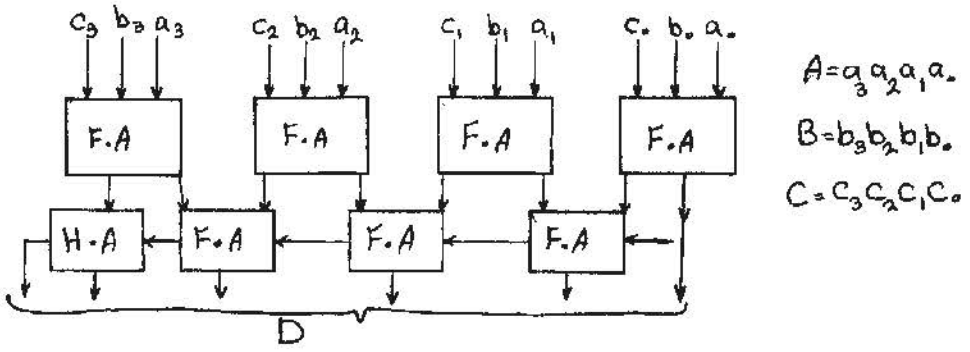
۱) 100
۲) 010
۳) 011
۴) 101

۱۹- اگر تابع $f(a,b,c,d) = \sum m(0,1,7,9,11,13,14)$ را با استفاده از یک مولتی پلکسر چهار ورودی (دو خط آدرس) به صورت شکل زیر طراحی کنیم، ورودی I_3 مولتی پلکسر مطابق با کدام گزینه خواهد بود؟



۱) d
۲) $\overline{d}$
۳) $C \oplus d$
۴) $\overline{C \oplus d}$

۲۰- در مدار زیر مقدار خروجی D و تأخیر تولید آن چیست؟ (تأخیر گیت را t فرض کنید.)



۱) $D=A+B+C$ است و تأخیر تولید نتیجه $12t$ است.
۲) $D=A+B+C+2$ و تأخیر تولید نتیجه $10t$ است.
۳) $D=d_3d_2d_1d_0$ ($d_i=a_i\oplus b_i\oplus c_i$ برای $i=0,1,2,3$) و تأخیر تولید نتیجه $10t$ است.
۴) هیچ یک از موارد فوق صحیح نیست.

۲۱- مشخص کنید اگر 90٪ یک برنامه قابل موازی‌سازی باشد حداکثر تسریع (Speedup) و بازدهی (Efficiency) قابل حصول با یک کامپیوتر موازی دارای ۱۰ پردازنده برای اجرای این برنامه به ترتیب چقدر است:

۱) 5.2 و 52%
۲) 5.2 و 94.8%
۳) 9 و 91%
۴) 10 و 90%

۲۲- مشخص کنید در یک شبکه چندکامپیوتری فوق مکعب (Hypercube) ۱۰ بعدی تعداد پیوندهای دو طرفه (Bidirectional link) بین گره‌ها و پهنای میان برشی (Bisection width) به ترتیب چه مقادیری است:

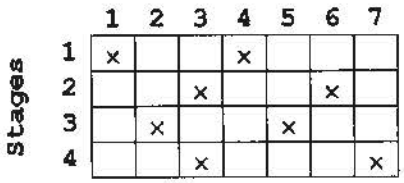
۱) ۱۰۲۴۰ و ۱۰۲۴
۲) ۱۰۲۴۰ و ۵۱۲
۳) ۵۱۲۰ و ۵۱۲
۴) ۵۱۲۰ و ۱۰۲۴

۲۳- در یک کامپیوتر موازی دوپردازنده، جمع زدن دو عدد روی یک پردازنده 1ns و ارسال نتیجه به یک پردازنده دیگر 200 ns طول می‌کشد. اگر قرار باشد جمع n عدد یک بردار را محاسبه کنیم، n باید بزرگ‌تر از چند باشد که زمان اجرای موازی (یعنی استفاده از بیش از یک پردازنده) بهتر از اجرای سریال روی یک پردازنده باشد؟

۱) ۱۰۲
۲) ۲۰۲
۳) ۳۰۲
۴) ۴۰۲

www.doktora.ir

۲۴- با فرض داشتن جدول رزرواسیون زیر برای یک پایپلاین ۴ طبقه‌ای مشخص کنید بردار تلاقی (Collision vector) و کمینه تاخیر متوسط راه اندازی (MAL) در پایپلاین به ترتیب چقدر است:



۱) (101100)، 3 clocks
۲) (001100)، 3 clocks
۳) (001100)، 2.33 clocks
۴) (101100)، 2.33 clocks

۲۵- الگوریتمی طراحی کرده‌ایم که برای فشرده‌سازی تصاویر مورد استفاده قرار می‌گیرد و می‌تواند حجم هر تصویر را تا نصف مقدار اولیه‌اش کاهش دهد. ۲۰٪ از عملیات این الگوریتم صرف بلوک‌بندی تصویر می‌شود و قابل موازی‌سازی نیست اما بقیه پردازشها را می‌توان موازی اجرا کرد. اگر این برنامه را روی یک تک‌پردازنده اجرا کنیم، برای پردازش یک تصویر یک مگابایتی مدت ۸۵۰ میکروثانیه زمان نیاز دارد. همچنین برای خواندن همان فایل تصویر ورودی از یک درگاه ورودی سریال، مدت ۱۰۰ میکروثانیه و برای نوشتن فایل نتیجه، که پانصد کیلوبایت است، روی یک درگاه خروجی سریال مدت ۵۰ میکروثانیه زمان لازم است. حد بالای تسریع قابل حصول در این سیستم (خواندن فایل ورودی، پردازش آن، و نوشتن فایل خروجی) با استفاده از پردازش موازی چقدر خواهد بود؟

۱) حدود ۳ برابر ۲) حدود ۴ برابر ۳) حدود ۵ برابر ۴) حدود ۷ برابر

۲۶- گزاره‌ها A، B، C را در نظر بگیرید.

A: استفاده از تکنیک Delayed Branch اثر منفی دستورات پرش در کارآیی پردازنده‌های پایپلاین را کاهش می‌دهد.

B: آدرس مقصد پرش در پیش‌بینی کننده پرش در BTB ذخیره می‌شود.

C: در پردازنده‌های VLIW وابستگی بین دستورات داخل پایپلاین توسط مدارات خاص کنترل پایپلاین مشخص می‌شود.

کدام گزینه صحیح است:

۱) گزاره A درست – B نادرست – C درست است.
۲) گزاره A درست – B درست – C نادرست است.
۳) گزاره A نادرست – B درست – C نادرست است.
۴) گزاره A نادرست – B نادرست – C درست است.

۲۷- در یک ابرکامپیوتر برداری از پایپلاین ۵ سطحی A با پریود ساعت ۱۰ نانوثانیه برای محاسبه تابع $\sqrt{x}$، پایپلاین ۱۱ سطحی B با پریود ساعت ۱۱ نانوثانیه برای محاسبه تابع $\sin(x)$، و پایپلاین ۶ سطحی C با پریود ساعت ۱۰ نانوثانیه برای محاسبه تابع e^x استفاده شده اند. به فرض استفاده از تکنیک زنجیرکردن پایپلاینها (pipeline chaining) تسریع قابل احتصال (نسبت به معماری اولیه بدون زنجیرکردن پایپلاینها) برای محاسبه تابع $\sin(e^{\sqrt{x}})$ روی عناصر یک بردار ۱۰۰ عنصری چیست؟

۱) بیش از ۱ اما کمتر از ۲
۲) بیش از ۲ اما کمتر از ۳
۳) بیش از ۳ اما کمتر از ۴
۴) بیش از ۴ اما کمتر از ۵

www.doktora.ir منابع آزمون دکتری

۲۸- در یک کامپیوتر برداری از نوع حافظه-حافظه (عملوندهای برداری درون حافظه اصلی هستند)، دستورات برداری بصورت

VOpCode DST_vector_address, SRC_vector_address, vector_length, stride

و دستورات اسکالر بصورت

SOpCode DST_address, SRC_ address

در برنامه ها توسط برنامه ساز بکار میروند.

پس از اجرای قطعه برنامه زیر حاصل جمع عناصر بردار B برابر است با:

```
Counter:  dw  10
A:        dw  11 dup (0);
B:        dw  1,  10 dup (0);
.
.

repeat: Vmov   A+1,B,10,1
        Vadd   B,A,11,1
        Loop   counter,repeat
```

توجه: دستور loop ابتدا یک واحد از counter میکاهد و اگر حاصل بزرگتر از صفر باشد به آدرس repeat پرش میکند.

۱) ۵۱۲

۲) ۱۰۲۴

۳) ۲۰۴۸

۴) با این مفروضات قابل تعیین نیست.

۲۹- گزاره های زیر را در نظر بگیرید:

A: H-layout روشی برای توزیع ساعت در سطح مدار است تا skew ساعت در بخش های مختلف مدار حداقل شود.

B : شبکه Clos یک شبکه چندسطحی non-blocking است.

C : معماری چند پردازنده با حافظه توزیع شده مقیاس‌پذیرتر از معماری چند پردازنده با حافظه مشترک است.

کدامیک از موارد زیر صحیح است:

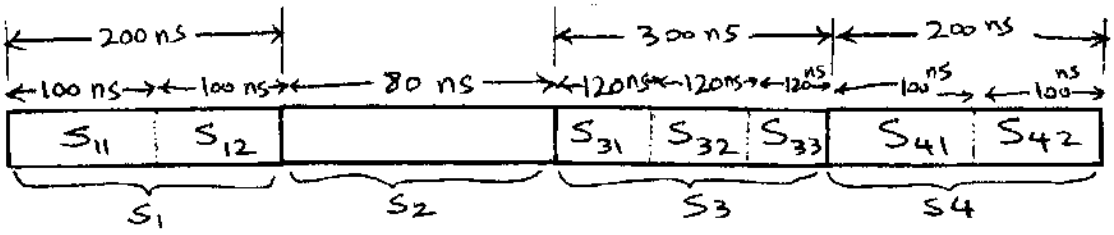
۱) گزاره A درست است - گزاره B درست است - گزاره C درست است

۲) گزاره A درست است - گزاره B نادرست است - گزاره C درست است

۳) گزاره A نادرست است - گزاره B درست است - گزاره C نادرست است

۴) گزاره A نادرست است - گزاره B نادرست است - گزاره C نادرست است

۳۰- در یک پایپلاین ۴ سطحی، امکان شکستن سطح اول به ۲ زیرسطح، سطح سوم به ۳ زیرسطح، و سطح چهارم به ۲ زیرسطح با تاخیر مشخص شده در شکل زیر ممکن است.



حداکثر مقدار تسریع قابل احتصال برای اجرای برنامه ها در یک معماری **3-issue superscalar superpipeline** نسبت به معماری پایپلاین اولیه تقریبا برابر است با:

۱) 3.5

۲) 4.5

۳) 7.5

۴) 8.5

۳۱- در یک چندپردازنده متقارن، میخواهیم ۵ برنامه با مشخصات زیر را اجرا کنیم:

برنامه ۱: با زمان اجرای ۱۰ ثانیه روی یک پردازنده و در صد کد ترتیبی ۱۰٪

برنامه ۲: با زمان اجرای ۱۰ ثانیه روی یک پردازنده و در صد کد ترتیبی ۱۲٪

برنامه ۳: با زمان اجرای ۱۵ ثانیه روی یک پردازنده و در صد کد ترتیبی ۲۰٪

برنامه ۴: با زمان اجرای ۱۰ ثانیه روی یک پردازنده و در صد کد ترتیبی ۲۰٪

برنامه ۵: با زمان اجرای ۹ ثانیه روی یک پردازنده و در صد کد ترتیبی ۲۰٪

حداکثر تسریع قابل احتصال برای اجرای این ۵ برنامه روی این چندپردازنده (نسبت به اجرای آنها روی یک پردازنده) چیست؟

۱) ۵

۲) ۸

۳) ۶

۴) ۱۰

۳۲- برای بهبود کارآیی یک پردازنده پایپلاین ۵ سطحی با پریود ساعت ۱۰ نانوثانیه از تکنیک **4-issue superscalar 4-substage superpipeline** با پریود ساعت ۳ نانوثانیه استفاده میکنیم. اگر احتمال استفاده از دستورات پرش شرطی در برنامه ها ۰/۲ و احتمال انجام پرش ۰/۲۵ باشد، حداکثر تسریع بدست آمده توسط معماری بهبودیافته نسبت به معماری اولیه چیست؟

۱) 3.36

۲) 4.8

۳) 5.22

۴) 6.84

۳۳- در یک پایپلاین غیرخطی ۳ سطحی دو تابع A و B طبق جداول رزرواسیون زیر انجام میگیرند:

A	t1	t2	t3	t4
s1	X		X	
s2		X		
s3				X

B	t1	t2	t3	t4
s1				X
s2	X		X	
s3		X		

مقدار کمینه متوسط تاخیر راه اندازی (MAL) توامان توابع A و B چیست؟

۱) 1.5

۲) 2

۳) 2.5

۴) 2.25

۳۴- در یک شبکه میان ارتباطی **Hypermesh** (k,n) تعداد k^n گره پردازشی بصورت یک آرایه n بعدی با k گره در هر بعد به هم متصلند.ارتباط k پردازنده موجود در هر بعد کامل است. پس هر گره با آدرس :

$A = (a_{n-1}, a_{n-2}, \cdots, a_{i-1}, a_i, a_{i+1}, \cdots, a_0)$ (که در آن $0 \le a_i \le k-1$)

در بعد i به گره های با آدرس $(a_{n-1}, a_{n-2}, \cdots, a_{i-1}, L, a_{i+1}, \cdots, a_0)$ برای $0 \le L \le k-1$ و $L \neq a_i$ متصل است.

درجه هر گره و قطر شبکه بترتیب برابرند با:

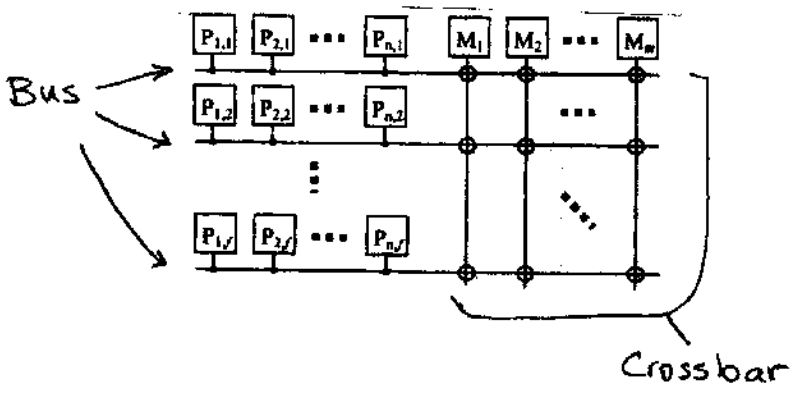
۱) nk و n

۲) nk و nk/2

۳) n(k-1) و nk/2

۴) n(k-1) و n

۳۵- در شکل زیر یک چندپردازنده با شبکه میان ارتباطی ترکیبی Bus و Crossbar بین پردازنده‌ها و پیمانه‌های حافظه نشان داده شده است. اگر هر پردازنده با نرخ r به حافظه دسترسی کند و احتمال دسترسی به پیمانه های مختلف برابر باشد پهنای باند دسترسی به حافظه برابر خواهد بود با:



۱) $m\left(1-\frac{(1-r)^n}{m}\right)^f$

۲) $m\left(1-\frac{1-(1-r)^{nf}}{m}\right)$

۳) $m\left(1-\frac{1-(1-r)^n}{m}\right)^f$

۴) $m\left(1-\left(1-\frac{1-(1-r)^n}{m}\right)^f\right)$

۳۶- در یک تراشه الکترونیکی FPGA با اندازه‌ی نمای ۶۰ نانومتر و ولتاژ تغذیه‌ی ۱٫۲۵ ولت، ۱۰۰ میلیون ترانزیستور وجود دارد که ۶۰٪ آن‌ها مربوط به سلول‌های منطقی و ۱۰٪ آن‌ها سوییچ‌های برنامه‌ریزی و ۳۰٪ باقی مانده حافظه‌ی برنامه‌زیزی FPGA هستند. در این فناوری، امکان استفاده از دو نوع ولتاژ آستانه وجود دارد (۰/۳ ولت و ۰٫۵ ولت). با توجه به آن که معمولاً مسیر بحرانی طرح در FPGA به منابع مسیریابی آن مربوط است، معمولاً مسیر بحرانی طرح در FPGA به منابع مسیریابی آن مربوط است، معمولاً سوییچ‌ها را با ولتاژ آستانه‌ی کم (سرعت بالاتر) و بقیه‌ی اجزا را با ولتاژ آستانه‌ی بالا (توان نشتی کم) می‌سازند. با فرضیات زیر توان نشتی چقدر است؟

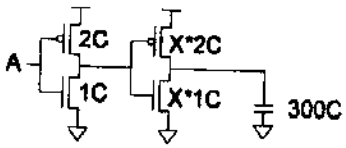
فرض اول: در بخش منطقی به طور متوسط ۵۰٪ ترانزیستورها و در بخش حافظه‌ی برنامه‌ریزی به طور متوسط ۷۰٪ ترانزیستورها خاموش هستند.

فرض دوم: جریان نشتی زیر آستانه برای ترانزیستورهایی که ولتاژ آستانه ۰٫۳ ولت دارند، برابر ۱۰nA است و جریان نشتی زیر آستانه برای ترانزیستورهایی که ولتاژ آستانه‌ی ۰٫۵ ولت دارند، ۰/۰۱nA است.

۱) ۳۶ mA ۲) ۸۱ mA ۳) ۱۰۹ mA ۴) ۱۲۶ mA

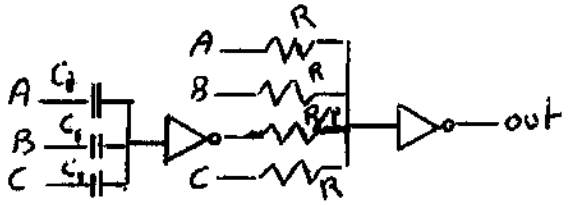
۳۷- مدار بافر دو طبقه‌ی زیر را در نظر بگیرید.

بهترین اندازه برای طبقه‌ی دوم و تأخیر شارژ خازن خروجی با این اندازه را برحسب RC (ثابت زمانی) حساب کنید.



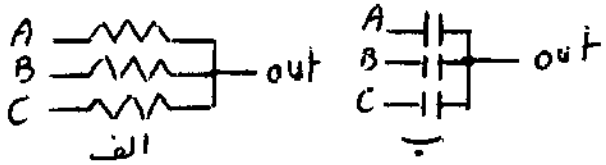
۱) نسبت طبقه‌ی دوم: ۱۰، تأخیر شارژ: ۶۰RC
۲) نسبت طبقه‌ی دوم: ۱۰، تأخیر شارژ: ۶۶RC
۳) نسبت طبقه‌ی دوم: ۲۵، تأخیر شارژ: ۵۰RC
۴) نسبت طبقه‌ی دوم: ۲۵، تأخیر شارژ: ۵۵RC

۳۸- در شکل زیر خروجی out برحسب ورودی‌های A، B، C چه می‌باشد؟ معکوس‌کننده‌ها استاندارد می‌باشند یعنی در $\frac{V_{dd}}{2}$ تغییر حالت می‌دهند.



۱) AND سه ورودی ۲) NOR سه ورودی ۳) XNOR سه ورودی ۴) XOR سه ورودی

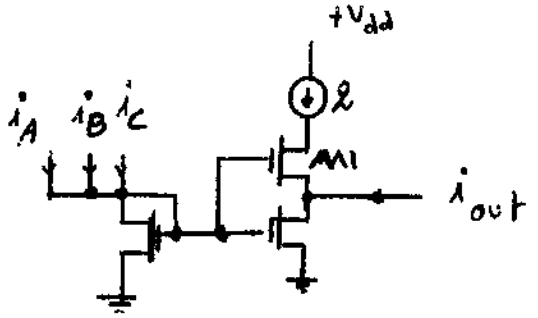
۳۹- در طراحی مدارهای VLSI، هدف پیاده‌سازی جمع مقیاس‌بندی شده به صورت $out = \frac{A+B+C}{3}$ می‌باشد. کدام‌یک از دو مدار زیر کارآمدتر است؟



۱) الف
۲) ب
۳) هر دو برای این منظور مناسب هستند.
۴) از هیچکدام نمی‌توان به این منظور استفاده کرد.

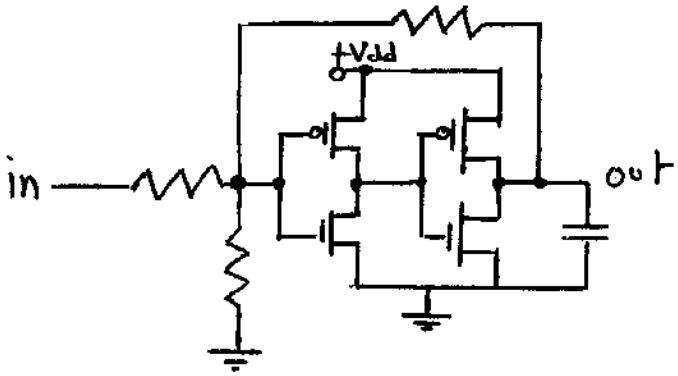
۴۰- اگر هدف پیاده‌سازی XOR سه ورودی باشد، در شکل زیر باید ولتاژ آستانه ترانزیستور M1 چه باشد؟

۱) ۰/۵ منطقی
۲) ۱/۵ منطقی
۳) ۲/۵ منطقی
۴) ۳/۵ منطقی

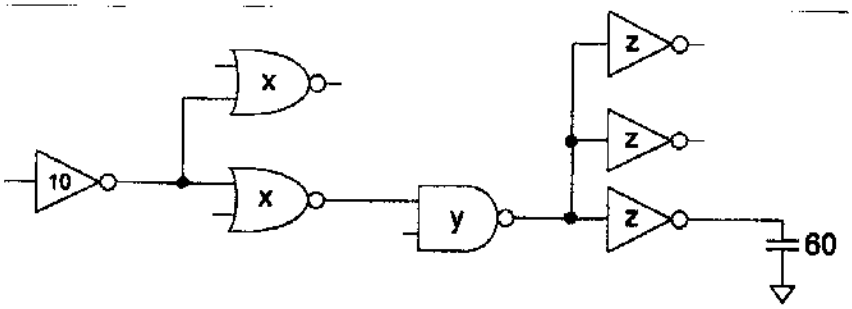


۴۱- مدار زیر چه می‌کند؟

۱) این مدار یک تریگر اشمیت است.
۲) این مدار در واقع یک بافر است.
۳) این مدار یک تولیدکننده فرکانس است.
۴) این مدار یک چند برابر کننده فرکانس است.



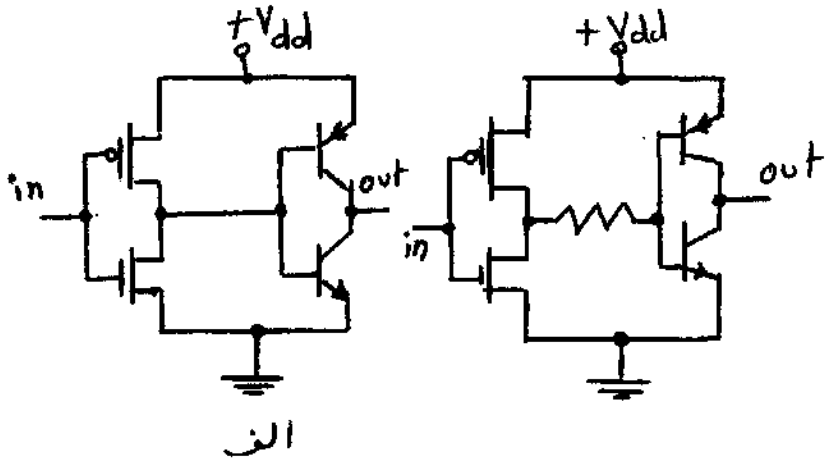
۴۲- مدار شکل زیر را در نظر بگیرید. عدد داخل گیت‌ها، بیانگر خازن ورودی هر گیت است.



با استفاده از روش تلاش منطقی (logical effort) بهترین اندازه برای گیت‌ها (x، y، z) را طوری تعیین کنید که تأخیر مدار حداقل شود.

۱) x=۶, y=۶, z=۱۰
۲) x=۵, y=۶, z=۲۰
۳) x=۵, y=۹, z=۲۰
۴) x=۱۲, y=۱۸, z=۲۴

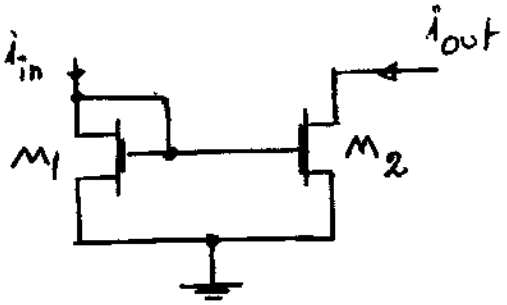
۴۳- کدام‌یک از دو مدار زیر درست کار می‌کند؟



الف

۱) الف
۲) ب
۳) هر دو
۴) هیچکدام

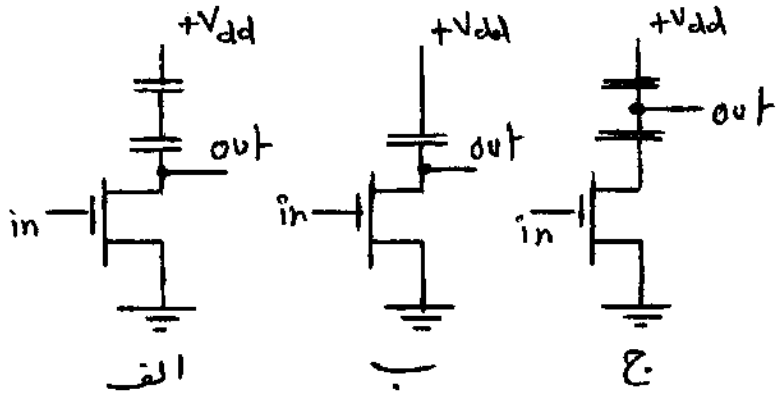
۴۴- حداکثر چند ترانزیستور باید اضافه گردد تا مدار زیر سه برابرکننده جریان ورودی گردد؟



$$\left(\frac{W}{L}\right)_{M_1} = \left(\frac{W}{L}\right)_{M_2}$$

۱) یک عدد
۲) دو عدد
۳) سه عدد
۴) چهار عدد

۴۵- کدام‌یک از مدارهای زیر معکوس‌کننده می‌باشند؟



۱) الف و ب
۲) ب
۳) ج
۴) هیچکدام