ترانزیستورهای اتصال

فلز – اکسید – نیمه هادی

Metal-Oxide-Semiconductor (MOS)

فهرست

مقدمه 2

2-1 تکنولوژی ساخت CMOS 3

2-1-1 انواع CMOS 6

2-2 عملکرد فیزیکی و مداری ترانزیستور CMOS 10

2-3 توصیف سمبلیک و ساختاری MOSFET 11

2-4 مشخصه های I/V ترانزیستورهای MOS 15

2-4-1 توصیف ریاضی 19

2-4-2 توصیف فیزیکی: 24

2-5 آثار مرتبهٔ دوم 27

2-5-1 آثار بدنه ای: 27

2-5-2 مدولاسیون طول کانال: 28

2-5-3 هدایت زیر آستانه: 32

2-6 خازنهای پارازیتی MOSFET 33

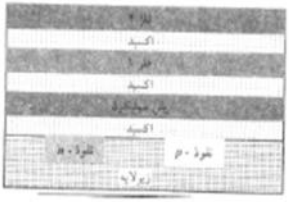
2-6-1 خازنهای مربوط به اکسید: 35

2-6-2 خازنهای پیوندی: 38

مقدمه

ساختارهای ترانزیستوری MOS که به صورت مزدوج ساخته می شوند به نام complementary MOS یا به اختصار CMOS شناخته می شوند که خود افزارهای با اتلاف کم، چگالی زیاد و عملکرد سوئیچینگ نسبتا ایده آل هستند. این تکنولوژی از سایر تکنولوژیهای مشابه مثل nMOS و حتی GaAs متمایزتر و پر کاربردترند. همچنین با اضافه کردن ترانزیستورهای دو قطعی می توان مدارهای فوترا به شکل Bi-CMOS بکار گرفت. در این راستا، ساختارهای VLSI با طراحی مناسبی از اندازه و سایز قطعات روی یک آی سی همراه با اتصالات مربوط، ساخته می شوند. شکل زیر شمای یک طرح ساده از ساختار CMOS را نشان می دهد. با اعمال میدان الکتریکی (پتانسیل خارجی)، زیر لایهٔ این چیپ یا تراشه حاوی میدان شده و عمکرد ترانزیستور به شکل یک ترانزیستور اثر میدان (Field Effect Transistor-FET) شکل میگیرد. عملکرد یک تراشهٔ CMOS از دو جنبه مورد بررسی قرار می گیرد:

1- تکنولوژی ساخت ***2- عملکرد فیزیکی و مداری***



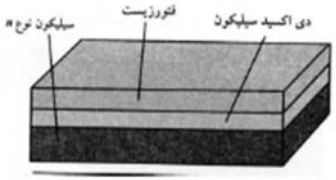
شکل 1-2 شمای یک طرح ساده از ساختار CMOS

2-1 تکنولوژی ساخت CMOS

معمولا ترانزیستورهای CMOS را روی یک قرص دایره ای و برش یافته، به شکل قطعاتی شبیه به دیسک فشرده (CD)، از جنس سیلیکون، رشد داده و طراحی می کنند. این قرص دایره ای به نام یک ویفر سیلیکونی شناخته می شود که روی سطح خود از یک میزان صیقل بالا، برخوردار است بطوریکه شبیه به آینه می شود تا برای پردازشهای آتی کاملا آماده باشد.

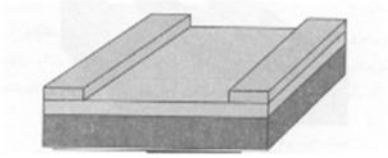
به منظور بیان کلی نحوه ساخت ابتدا مراحل ساخت یک ترانزیستور **nCMOS** را بصورت زیر می توان ارائه نمود.

1- *طراحی ماسک فوری*: جهت تعیین نواحی کوچک و دقیق، به منظور دو پینگ و اتصالات درونی (شکل 2-2). این نواحی توسط ماده حساس به نور به نام فوتور زیست مرزبندی و تعیین می شوند.



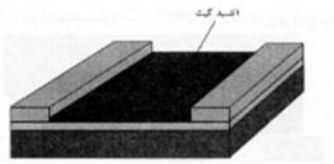
شکل 2-2 مرحله اعمال ماسک نوری روی ویفر سیلیکونی

2- خوردگی *(Etching)*: ماسک نوری دیگری در بالای فوتورزیست قرار داده می شود و با اعمال تابش اشعهٔ ماوراء بنفش (UV) نواحی خاصی از سطح ویفر باقی مانده و سایر نواحی خورده می شوند تا الگوی مناسب حک شود.



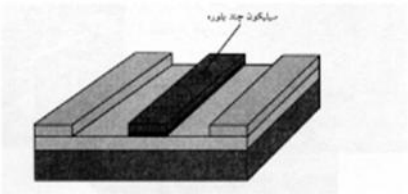
شکل 2-3 مرحله اعمال خوردگی

3- اکسید شدگی: نواحی که خورده شده اند توسط یک اکسید مناسب پر شده تا مرزهای مابین قطعات به شکل عایق شده در آیند. معمولا این اکسید، اکسید سیلیکون SiO_2 است.



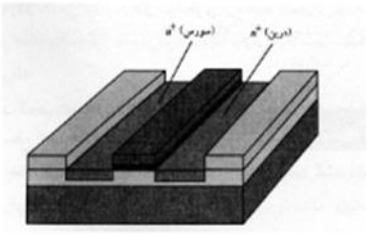
شکل 2-4 مرحله اعمال اکسیداسیون

4- تشکیل گیت: با کمک لایه مناسبی از پلی سیلیکون که روی ویفر با الگوی از پیش تعیین شده رسوب داده می شود، گیت ترانزیستور بوجود می آید.



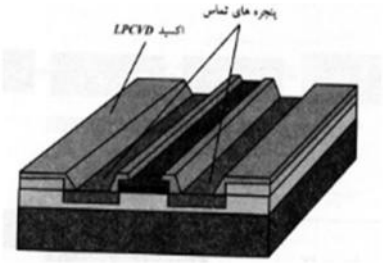
شکل 2-5 مرحله تشکیل گیت

5- اعمال ناخالصی: بجز نواحی که ویفر از اکسید و پلی سیلیکون پوشانده شده است، نفوذ ناخالصی، معمولا از نوع n، اعمال می شود.



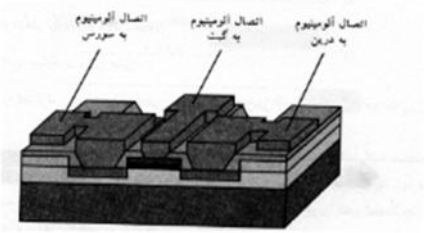
شکل 2-6 مرحله نفوذ ناخالصی

6- بازنشانی مجدد *لایهٔ اکسید*: لایهٔ دیگری از کسید سیلیسیوم، مجددا روی سطح ویفر نشانده می شود. این همان لایه اکسید در ساخت ترکیب *فلز – اکسید – نیمه هادی* است. بدیهی است که در این مرحله نیمه هادی و اکسید ساخته شده اند.



شکل 2-7 مرحله تولید لایهٔ اکسید

7- لایهٔ فلز: در این مرحله، لایه ای از آلومینیوم روی سطح ویفر به شکل مناسبی قرار داده می شود تا ترانزیستور **MOS** با کانال n (با توجه به اعمال ناخالص نوع n در مرحله 5) بوجود آید.



شکل 8-2 مرحله رسوب فلز روی ویفر

2-1-1 انواع CMOS

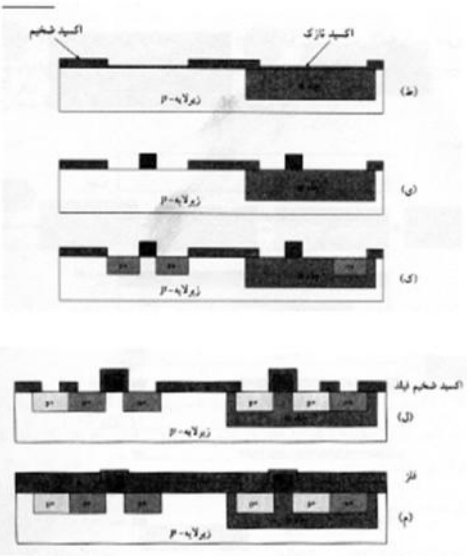
همانطور که قبلا نیز ذکر شد، این تکنولوژی تقریبا تکنولوژی اصلی در طراحی و ساخت مدارات **VLSI** است و دارای مزایایی از قبیل مصرف توان بسیار کم و همچنین میزان کوچکی از مقدار **"تاخیر گیت×توان مصرفی"**، حتی نسبت به تکنولوژی **nMOS** و دو قطبی است.

انواع تکنولوژی های اصلی **CMOS** عبارتند از:

الف)فرآیند چاه n (n-well)

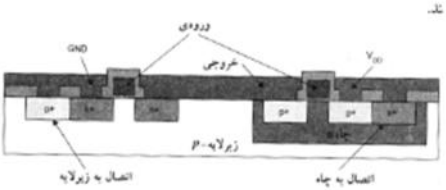
در این روش ساخت، که به نام **n-well-CMOS** معروف است، یک زیر لایه نوع **p** با ناخالصی کم انتخاب، سپس ایجاد چاه نوع **n** برای ترانزیستورهای نوع **p** و بالاخره ساخت ترانزیستور کانال **n** در زیر لایهٔ نوع **p** آغاز می شود. کل مراحل مذکور را در اشکال 9-2 می توان ملاحظه نمود.

ادامهٔ شکلها در صفحهٔ بعد



شکل 9-2 (ادامه از صفحهٔ قبل) مراحل تشکیل یک n-well-CMOS

اکنون به عنوان مثال می توان با ترانزیستور n-well-CMOS، یک معکوس کننده را طراحی نمود. با توجه به شکل 9-2 این معکوس کنندهٔ **CMOS** از ترانزیستوری ساخته می شود که روی زیر لایهٔ p بوجود آمده است. گیتهای هر دو ترانزیستور مشترک شده و بعنوان یک ورودی یکسان، تشکیل ورودی اصلی گیت معکوس کنندهٔ **CMOS** را می دهند. با توجه به شکل 10-2 می توان اتصالات GND (زمین) و V_{DD} را نیز برقرار نمود. توجه کنید که اتصالات دنیای خارج و نیمه هادی کنتاکتهائی است که در محل اتصال، از نیمه هادیهای با دو پینگ بالا استفاده می کنند تا عدم تشکیل یک اتصال یکسو کننده تضمین می شود، چرا که در غیر اینصورت اتصالی بوجود می آید که خواص یکسو کنندگی داشته و عمل ترانزیستور را مختل می نماید. بعلاوه لایه های ضخیمی از SiO_2 بنام اکسید میدان (field oxide) از ایجاد اتصال کوتاه فلز با دیگر لایه ها جلوگیری می نماید.



شکل 10-2 تولید یک معکوس کننده

ب) فرآیند چاه p (p-well)

این فرآیند طی سالهای گذشته کاربرد بسیار زیادی داشته است و بعنوان یکی از متداول ترین فرآیندهای ساخت **CMOS** بحساب می آید. مراحل ساخت در این روش کاملا مشابه با روش چاه n است با این تفاوت که جای n و p با هم عوض می شود. ترانزیستورهای نوع n در این نوع از چاه و ترانزیستورهای نوع p در درون زیر لایه قرار می گیرند.

ج) فرآیند چاه دو قلو

به منظور عملکرد مجزای ترانزیستورهای n و p فرآیند چاه دوقلو ارائه می گردد. در ابتدا زیر لایهٔ n^+ یا p^+ همراه با یک لایه رونشستی (epi-taxy) که به اختصار آنرا لایهٔ اپی (epi) می نامیم، با میزان دو پینگ کم به منظور حفاظت در مقابل فرآیند قفل شدگی (latch-up) استفاده می شود. این لایه معمولا از جنس سیلیکون با درجه خلوص زیاد است که به شکل تقریبا یکنواختی روی لایهٔ اصلی زیرین قرار می گیرد. مراحل ساخت، شبیه به حالت قبل بوده و بصورت زیر دسته بندی می شوند:

1- تشکیل نواحی ترانزیستورهای n ، p (نواحی فوق بنام چاه یا حوضچه شناخته می شوند)

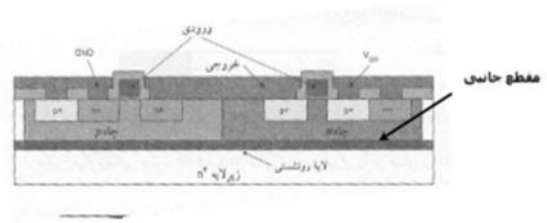
2- ساخت اکسید نازک و لایهٔ پلی سیلیکون،

3- تولید سورس و درین از طریق روش کاشت یونی،

4- برش قطعات و اتصالات اضافی،

5- فلز کاری

تصویری از یک معکوس کنندهٔ **CMOS** با این فرآیند شکل 11-2 دیده می شود.

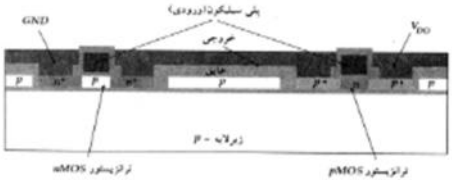


شکل 11-2 شمائی از یک معکوس کنندهٔ CMOS با فرآیند چاه دو قلو

د) فرآیند سیلیکون روی عایق SOI (Silicon On Insulator)

این فرآیند اندکی توان مصرفی کمتر و بازدهی بالاتری را داراست که این عمل با بکارگیری یک میدان پتانسیل صورت می گیرد، لیکن دارای هزینه ساخت و پیچیدگی بیشتری نسبت به تکنولوژی **CMOS** معمولی است.

تفاوت اصلی آن با تکنولوژی **CMOS** مرسوم در این است که سورس، درین و کانال ترانزیستور همگی توسط یک اکسید عایق (بجای زیر لایهٔ هدایتی یا یک چاه خاص) احاطه شده اند. با چنین عملی بیشتر خازنهای پارازیتی حذف شده و در عین حال بدنهٔ افزاره از طریق زیر لایه به پتانسیلهای خارجی متصل نیست. در شکل 12-2 نمایی از یک معکوس کننده با تکنولوژی SOI دیده می شود.



شکل 12-2 شمای یک معکوس کننده در تکنولوژی SOI

2-2 عملکرد فیزیکی و مداری ترانزیستور CMOS

در بررسی عملکرد ترانزیستور **CMOS** کافی است مشخصات فیزیکی و همچنین مداری را بر اساس آنچه که در این درس نیازمندیم، بررسی نماییم. بدیهی است این بررسی نمی تواند کلیهٔ جنبه های این ترانزیستور را پوشش دهد و در صورت تمایل می توان به منابعی مراجعه کرد که فیزیک این نوع ترانزیستورها را به دقت بررسی می کنند. مطالعهٔ این ترانزیستورها را در سطح درس حاضر می توان به مراحل زیر دسته بندی نمود:

توصیف سمبلیک و ساختاری ***MOSFET***،

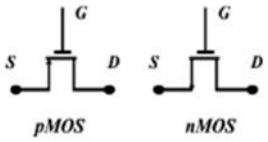
مشخصه های *I/V*،

آمار مرتبهٔ دوم، مثل اثر بدنه، مدولاسیون طول کانال و هدایت زیر آستانه و

خازنهای پارازیتی ***MOSFET***

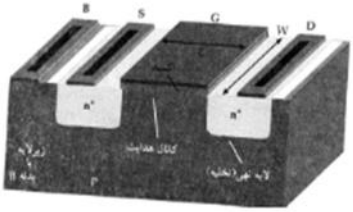
2-3 توصیف سمبلیک و ساختاری MOSFET

معمولا در مدارهای حاوی این نوع ترانزیستورها از نمایشهای نشانداده شده در شکل 2-13 استفاده می شود.



شکل 2-13 شمای ساده ای از ترانزیستورهای MOSFET

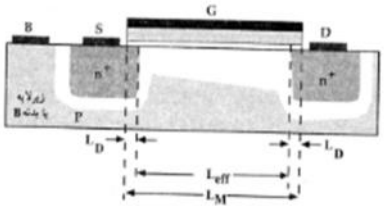
از لحاظ ساختاری می توان پایه های سورس و درین این ترانزیستور را بجای یکدیگر استفاده نمود. درعملکرد سوئیچینگ این ترانزیستور، اگر ولتاژ گیت (V_G) زیاد باشد ("1" منطقی) سورس و درین تقریبا به شکل اتصال کوتاه و اگر ولتاژ گیت کم باشد ("0" منطقی) سورس و درین تقریبا به شکل اتصال باز، عمل خواهند کرد. به منظور تعیین مرز اتصال کوتاه یا باز این کلید، ابتدا ساختار آنرا با دقت بیشتری مطالعه می کنیم. در شکل 2-14 ساختار یک **nMOS** را مشاهده می کنیم.



شکل 14-2 ساختار nMOS افزایشی (MOS با کانال نوع n)

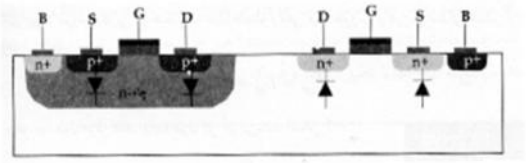
مشخصات این ترانزیستور به این شکل است که زیر لایه یا بدنه از نوع p و نواحی سورس و درین از نوع n با دو پینگ زیاد هستند. بعلاوه لایه اکسیدی در قسمت بالای کانال هدایت، توسط یک لایه پلی سیلیکون عامل محرک این ترانزیستور یا به اصطلاح گیت آن است و از زیر لایه جدا شده است. ابعاد گیت در مسیر درین – سورس همان طول کانال است که با L_M مشخص شده است پهنای کانال نیز با W نشان داده شده است. در هنگام تولید نواحی سورس و درین معمولا حوضچه های n^+ در شکل 14-2 بدلیل فرآیند دمائی، اندکی به زیر ناحیهٔ موسوم به طول کانال نفوذ می کنند. این نکته دال بر آن است که طول حقیقی کانال، اندکی کاهش خواهد یافت. اگر فرض کنیم که شکل واقعی این ترانزیستور با در نظر گرفتن این نکته بصورت 15-2 باشد، در این صورت کانال دارای طول موثری است مثل L_{eff} که تقریبا برابر است با:

$$L_{eff}=L_M-2L_D \qquad (1)$$



شکل 15-2 تصویری از جهت کناری یک ترانزیستور MOS

در این رابطه L_M همان طول کانال لاست و L_D میزان نفوذ ناحیه سورس یا درین به ناحیه زیرین کانال. گاهی بجای ذکر کردن این جزئیات تنها طول L را بعنوان طول موثر کانال در نمایشهای آتی استفاده خواهیم نمود. توجه کنید که در این مدلسازی از تولید **MOS**، سورس ترمینالی است که منبع یا تولید کننده الکترونهای ترزیقی بدون ترانزیستور (**nMOS** در این حالت) و درین ترمینال جمع کنندهٔ این حاملهای بار است. واژهٔ *حاملهای بار* را می توان برای ترانزیستورهای **pMOS** نیز استفاده نمود چرا که در این نوع ترانزیستورها حفره ها از سورس ترزیق شده و از درین جمع آوری می شوند. بدیهی است که هر تغییر در ولتاژهای سه ترمینال فوق، اثر گذار بر نحوهٔ حرکت حاملهای بار است. بعلاوه اگر زیر لایه با بدنهٔ این ترانزیستور نیز دارای پتانسیل غیر صفری باشد می تواند بر عملکرد ترانزیستور اثر گذارد. لذا این افزاره خود یک وسیله با 4 ترمینال است. البته عمدتا در عملکرد ترانزیستور **nMOS** باید دیودهای متشکل از اتصال سورس به زیر لایه، همچنین درین به زیر لایه، بصورت معکوس بایاس شوند. لذا در عمل زیر لایه را به کمترین ولتاژ در مدار، برای یک ترانزیستور **nMOS**، وصل می کنیم. به منظور عدم تشکیل یک اتصال یکسو کننده در این عمل می توان زیر لایه را در نقطهٔ اتصال خود به کمترین ولتاژ با میزان زیادی از دو پینگ p، یعنی p^+، تغلیظ نمود. این عمل متضمن آن است که زیر لایه تحت شرایط مختلف اعمال بایاس با دنیای خارجی اتصال یکسو کننده تولید نمی کند، بلکه یک اتصال مستقل از جهت پتانسیل اعمالی ایجاد می شود که از این به بعد آنرا به نام اتصال غیر یکسو کننده یا *اتصال اهمی* (البته با مقاومت بسیار ناچیز) خواهم شناخت. نتیجه مطابق شکل 16-2 زیر است.



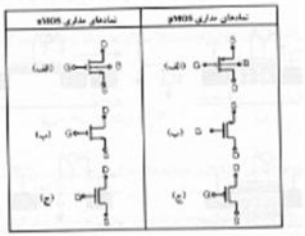
شکل 16-2 نحوه اتصالات در ترانزیستور MOS، سمت چپ ترانزیستور pMOS و سمت راست ترانزیستور nMOS با اتصالات مربوطه

13

و همچنین جهت دیودهای نظیر دیده می شوند

توجه کنید که زیر لایه در تکنولوژی **CMOS** که ساخت **pMOS** و **nMOS** روی یک ویفرانجام می شود، باید در شرط اتصال معکوس با درین و سورس صادق باشد. مثلا اگر زیر لایه n باشد (که معمولا نیز چنین است) باید توسط یک اتصال اهمی (که در این حالت p^+ خواهد بود) شرط فوترا برقرار نمود. بعلاوه گاهی بمنظور سهولت ترانزیستور **nMOSFET** را به اختصار به نام **nFET** و **pMOSFET** را به نام **pFET** می شناسیم. بهر حال در چنین شرایطی و به منظور تعیین اثر پایهٔ مربوط به بدنه یا زیر لایه، سمبل مداری ترانزیستور **MOSFET** را می توان بصورت جدول زیر نیز ارائه نمود.

جدول 1-2 سمبل مداری انواع ترانزیستور MOSFET با در نظر گرفتن پایهٔ زیر لایه

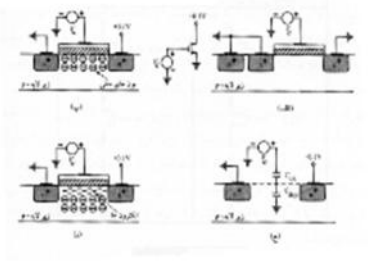


در مجموعه ترانزیستور های فوق توجه کنید که زیر لایه **nMOS** همانطور که قبلا نیز ذکر گردید به کمترین پتانسیل و حال آنکه در ترانزیستور **pMOS** به بیشترین پتانسیل وصل می شوند. بعلاوه معمولا چون بدنه به ولتاژهای معینی وصل می شود (زمین در **nMOS** و V_{DD} در **pMOS**) ممکن است ترمینال زیر لایه یا بدنه را بوضوح در مدار ترسیم نکنیم و لذا عمدتا طرح ردیف وسط از جدول 1-2 مرسومترین طرح در نمایش مداری ترانزیستورهای **MOS** است.

2-4 مشخصه های I/V ترانزیستورهای MOS

همانطوری که قبلا نیز دیدیم وجود پتانسیل درترمینالهای یک ترانزیستور و چهار پایهٔ **MOS** تاثیر مستقیم بر عملکرد حرکت حاملهای بار دارد. با فرض حذف اثر پتانسیل زیر لایه یا بدنه (که زمین یا V_{DD} خواهد بود) می توان عملکرد ترانزیستور **MOS** را تحت اثر سه ولتاژ روی پایه های گیت، سورس و درین توصیف کرد. در این راستا معمولا چند منحنی مختلف برای یک ترانزیستور **MOS** ارائه میشود. اگر این ترانزیستور را بعنوان یک کلید در ساده ترین حالت خود در نظر بگیریم با توجه به نکات ذکر شده در عملکرد سوئیچینگ آن لازم است که مرز روشن و خاموش بودن این کلید تعیین شود. لذا در ابتدا به توصیف این مرز، موسوم به آستانهٔ روشن شدن یا در اختصار آستانه خواهیم پرداخت.

یک **nMOS** متصل شده به منابع خارجی را مطابق شکل 17-2 در نظر بگیرید.



شکل 17-2 تحریک ترانزیستور MOS

درین این ترانزیستور به حداقل ولتاژ مدار متصل شده و ولتاژ گیت شروع به افزایش میکند. گیت، لایهٔ اکسید و زیر لایه یا بدنه تشکیل یک خازن را می دهند و با افزایش V_G در صفحهٔ مقابل خازن درون زیر لایه، غلظتی از بارهای مخالف یعنی الکترونها، تشکیل خواهد شد (شکل 17-2ب). اکنون اگر حتی بین سورس و درین یک پتانسیل خارجی اعمال شود جریانی بوجود نخواهد آمد، چرا که حاملهای باری بین آنها وجود ندارد. به لحاظ ساختاری می توان تصور نمود که در ناحیهٔ زیرین اکسید پایین گیت یک ناحیهٔ تخلیه تشکیل شده که با افزایش ولتاژ گیت این

ناحیهٔ تخلیه به شکل عمیق تری در ناحیهٔ زیرلایه رشد میکند. این ناحیهٔ تخلیه خود دارای یک خازن بایاس معکوس در مفاهیم دیودی است. از این بحث همچنین استنتاج می شود که باید دو خازن با یکدیگر سری شوند تا معادل مداری این قطعه را مدلسازی کنند. خازنها عبارتند از یکی خازن گیت-اکسید-نیمه هادی، و دیگری خازن بایاس معکوس پیوندی که با زیر لایه تشکیل شده و به دلیل حذف اثر پتانسیل زیر لایه، این پیوند بایاس معکوس بوده و ظرفیت دومی را بوجود می آورد. نتیجهٔ معادل مداری این قسمت در شکل 2-17 ج دیده میشود. اکنون تصور کنید که ولتاژ گیت افزایش چشمگیری یابد به طوریکه حفره های زیرلایهٔ موجود در ناحیهٔ زیرین اکسید خنثی شده و در عوض حجم عظیمی از الکترونها در این منطقه ظاهر شوند. تحت این شرایط ناحیهٔ مذکور دچار یک انعکاس در عملکرد ذاتی خود از ناحیهٔ با حفره های زیاد به ناحیهٔ باالکترونهای زیاد خواهد شد. توجه کنید که چنین انعکاسی بمنزله تغییر ماهیت نیمه هادی نیست بلکه تجمع حاملهای بار خاصی را در یک منطقه آنهم بعلت اعمال میدان الکتریکی خارجی به دنبال خواهد داشت. این انعکاس درتجمع یا وارونگی در غلظت حاملهای بار، عامل اصلی جهت عملکرد ترانزیستور است چرا که در اثر وجود این ناحیه که در زیر اکسید و در مجاورت نواحی سورس و درین است، در زیر لایهٔ اکسید کانالی ایجاد می شود با غلظت نسبتا زیادی از حاملهای بار منفی که اگر الکترونی از نواحی n^+ در طرفین کانال (یعنی نواحی سورس و درین) بخواهد جابجا شود، امکان حرکت از درون کانال را خواهد داشت. لذا با اعمال پتانسیل بین سورس و درین تحت شرایطی که ولتاژ گیت آنقدر شده باشد که تشکیل کانال را تضمین کند، جریان خواهیم داشت. در این نوع ترانزیستور جریان الکترونها از سورس به درین است (جریان قراردادی از درین به سورس خواهد بود). ولتاژی از گیت را که در آن کانال پدید آمده و امکان برقراری جریان بین دو ترمینال سورس و درین است، به نام ولتاژ آستانهٔ تولید جریان یا در اختصار ولتاژ آستانه می شناسیم و آنرا با نماد V_{TH} نشان می دهیم. بدیهی است افزایش بیشتر این ولتاژ ضامن ازدیاد جریان برقرار شده بین سورس و درین است چرا که ناحیه کانال ضخیم تر خواهد شد و امکان حضور بارهای مشابه با بارهای اکثریت بین ترمینالهای سورس و درین به میزان بیشتری فراهم می گردد. این تشکیل کانال و برقراری جریان همان روشن شدن ترانزیستور و حالتی که هنوز کانالی خلق نشده همان *خاموش* بودن آن است.

تذکر-1: توجه کنید که در این توصیف سورس در پتانسیل صفر، گیت از پتانسیل صفر تا V_{TH}، و سپس ولتاژهای بالاتر از آن و بالاخره درین از پتانسیل صفر تا مقادیر لازم جهت افزایش I_D تغییر می نمایند. این سهولت اعمال پتانسیلها سبب می شود که تنها با ولتاژ V_D و V_G سرو کار داشته باشیم. اما تصور کنید که هر ترمینال (البته بجز زیر لایه) بخواهد پتانسیل متفاوتی داشته باشد. در این صورت لازم است که پتانسیلها بصورت نسبی و نسبت به سورس سنجیده شوند. بدین معنی که جهت تحرک وعملکرد این ترانزیستور دو نوع ولتاژ داریم، یکی *ولتاژ گیت نسبت به سورس* و دیگری *ولتاژ درین نسبت به سورس*، بطوریکه شرط روشن شدن ترانزیستور این باشد که ولتاژ گیت نسبت به سورس از V_{TH} بیشتر شود. به بیان ریاضی شرط روشن بودن بصورت زیر است:

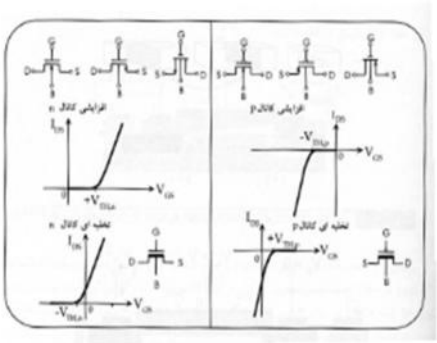
$$V_{GS} > V_{Th} \qquad (2)$$

$$V_G - V_S > V_{Th} \equiv \begin{cases} V_G > V_{Th} + K & \text{ولتاژ گیت حداقل از ولتاژ سورس به اندازهٔ } V_{Th} \text{ بیشتر است} \\ V_S < V_G - V_{Th} \end{cases}$$

بعلاوه لازم به ذکر است که ترانزیستورهای **pMOS** همان ساختار ترانزیستورهای **nMOS** را دارا می باشند با این تفاوت که جهت ها و نیمه هادیها عوض می شوند و نیز ولتاژ V_{TH} آنها منفی است. مثلا در یک ترانزیستور **pMOS** ولتاژ گیت، منفی اختیار شده و جهت داشتن جریان درین (از سورس به درین در اینحالت) لازم است که ولتاژ درین نسبت به سورس منفی تر باشد.

تذکر-2: امکان داشتن یک ترانزیستور **nMOS** با V_{TH} منفی نیز وجود دارد. چنین عملی را می توان با قرار دادن یک لایهٔ کانال در زیر اکسید گیت به روش کاشت یونی بوجود آورد. در اینحالت ترانزیستور **nMOS** با ولتاژ V_{GS}=0 نیز هدایت دارد و برای حذف اثر هدایتی لازم است که گیت آنقدر منفی شود تا حالت قطع کلید درین-سورس بوجود آید و این بمنزلهٔ ولتاژ آستانهٔ منفی خواهد بود. از این رو و به

منظور ثبت تفاوت در این دو نوع ترانزیستور، آندسته از ترانزیستورهای **nMOS** که دارای V_{TH} مثبت اند ترانزیستورهای نوع ***افزایشی*** و آندسته که دارای V_{TH} منفی اند ترانزیستورهای نوع ***تخلیه ای*** نامیم. این امر در رابطه باترانزیستورهای **pMOS** نیز وجود دارد. خلاصه ای از آنچه که شرح داده شده را می توان در شکل 2-18 مشاهده نمود.



شکل 18-2 نمادهای مداری ترانزیستورهای MOS و مشخصهٔ هر یک

توجه کنید که رفتارهای الکتریکی هر دو دستهٔ افزایشی و تخلیه ای صرف نظر از ولتاژ آستانهٔ آنها، یکسان است.

به لحاظ ریاضی می توان رابطهٔ مربوط به ولتاژ آستانه را با سایر خواص فیزیکی ترانزیستور شکل زیر نوشت.

$$V_{Th} = \phi_{ms} + |2\phi_F| + \frac{Q_{dep}}{C_{ox}} \qquad (3)$$

که در آن ϕ_{ms}اختلاف بین تابع کار گیت و زیر لایه و ϕ_F پتانسیل سطح فرمی است که برابر است با:

$$\phi_F \equiv \frac{kT}{q}\ln\left(\frac{N_A}{n_i}\right) \qquad (4)$$

در این رابطه نیز N_A میزان دو پینگ درون زیر لایه، q بار الکترون ، k ثابت بولتزمن با مقدار $1.38*10^{-23} J/K$ و بالاخره T دمای مطلق است. n_i نیز چگالی حاملها در حالت عدم حضور ناخالصی درون سیلیکون است که مقدار تقریبی آن درهای اتاق حدود $1.5*10^{10} cm^{-3}$ است. رابطهٔ (3)، Q_{dep} بار موجود درون ناحیه تخلیه و C_{ox} خازن مربوط به اکسید گیت، هر دو در واحد سطح، هستند. بر اساس روابط مربوط به پیوندهای نیمه هادی که در فیزیک نیمه رساناها وجود دارد بار ناحیه تخلیه برابر است با:

$$Q_{dep} = \left[4q\varepsilon_{si}|\phi_F|N_A\right]^{1/2} \qquad (5)$$

با فرض این که ε_{si} ثابت دی الکتریک مربوط به زیر لایهٔ سیلیکونی باشد.

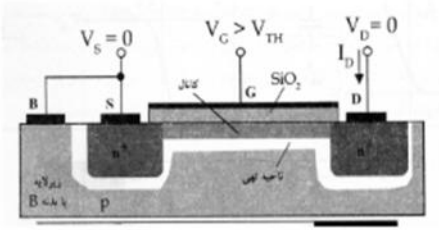
2-4-1 توصیف ریاضی:

معمولا معادلهٔ (3) را نمی توان برای یک ترانزیستور **MOS** معمولی به دلیل نداشتن دقیق پارامترها، جهت تعیین V_{TH}بکار گرفت. در واقع تعیین این پارامتر از روی منحنی مشخصه، یکی از روشهای تعیین مرز روشن–خاموش بودن ترانزیستور است. اما جهت مدلسازی، از یک قطعهٔ نیمه هادی حاوی جریان I شروع می کنیم. اگر چگالی طولی بار ρ_l کولن برمتر و سرعت حاملهای بار v متر بر ثانیه باشد این جریان برابر است با:

$$I = \rho_l \times v \qquad (6)$$

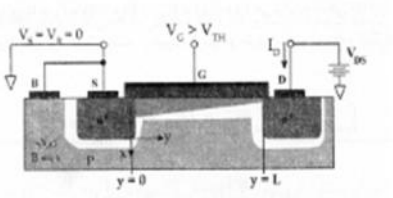
برای یک **nFET** شکل 2-19 که درین و سورس آن اتصال زمین است و $V_G > V_{Th}$، مشروط بر آنکه توزیع بار درون کانال یکنواخت باشد، این توزیع برابر است با:

$$\rho_l = WC_{ox}\left(V_{GS} - V_{Th}\right) \qquad (7)$$



شکل 2-19 یک nFET با ولتاژ صفر روی درین و سورس

چرا که بار معکوس، متناسب با افزایش ولتاژ گیت نسبت به آغاز وارونگی یعنی V_G-V_{Th} است. اکنون فرض کنید که با سورس در پتانسیل صفر ولتاژ درین را افزایش دهیم. مطابق با شکل 2-20 این ولتاژ از صفر در سورس به میزان V_D (V_{DS}=) چون V_S=0 است) خواهد رسید و در طول کانال تابع y خواهد بود.



شکل 2-20 یک nFET باترسیم توزیع پهنای کانال و ولتاژ درین غیر صفر

با لحاظ کردن این نکته می توان چگالی بار را، مشروط به توزیع پتانسیل درون کانال به شکل $V(y)$ به صورت زیر نوشت:

$$\rho_l = WC_{ox}[V_{GS} - V(y) - V_{Th}] \qquad (8)$$

توجه کنید که ضخامت لایهٔ معکوس در طرف سورس بیشتر و در طرف درین کمتر است چرا که ولتاژ گیت در سمت سورس از درین بالاتر می باشد. حال با ترکیب معادلات (6) و (8) داریم:

$$I_D = WC_{ox}\left[V_{GS} - V(y) - V_{Th}\right] \times v \qquad (9)$$

اما از طرفی در نیمه هادیها میدان الکتریکی E و موبیلیتی μ با سرعت v به شکل زیر مرتبط باشند:

$$v = \mu E = \mu\left[-\frac{dV}{dy}\right] \qquad (10)$$

که در آن V پتانسیل درون ناحیه و μ بر ای این حالت موبیلیتی الکترونها یعنی μ_n است ولذا رابطهٔ (9) به شکل زیر نوشته می شود:

$$I_D = WC_{ox}\left[V_{GS} - V(y) - V_{Th}\right] \times \mu_n \frac{dV}{dy} \qquad (11)$$

که در آن $C_{ox} = \frac{\varepsilon_{ox}}{t_{ox}}$ بوده وقتی ε_{ox} ضریب دی الکتریک و t_{ox} ضخامت اکسید میباشند.

اکنون شرایط موجود روی مرزها به شکل $V(y=0)=V_S=0$ و $V(y=L)=V_{DS}=V_D$ است که با ضرب طرفین رابطهٔ (11) در dy و سپس انتگرال گیری این معادله به فرم زیر نوشته می شود. (توجه کنید که فرض می کنیم μ_n و V_{Th} در طول کانال ثابت هستند):

$$I_D = \begin{cases} \mu_n C_{ox}\frac{W}{L}\left[\left(V_{GS} - V_{Th}\right)V_{DS} - \frac{1}{2}{V_{DS}}^2\right] & (12) \\ \frac{K'}{2}\frac{W}{L}\left[2\left(V_{GS} - V_{Th}\right)V_{DS} - {V_{DS}}^2\right] & (13) \\ \frac{K}{2}\left[2\left(V_{GS} - V_{Th}\right)V_{DS} - {V_{DS}}^2\right] & (14) \end{cases}$$

که در آن خواهیم داشت.

$$K' \equiv \mu_n C_{ox} \qquad \& \qquad K \equiv K'\frac{W}{L} \qquad (15)$$

هر یک از معادلات (14)-(12) رابطهٔ جریان–ولتاژ یک **MOSFET** هستند. یکی از مهمترین پارامترهای طراحی مدارهای دیجیتال **MOS**، نسبت $\frac{W}{L}$ بوده که مشخصهٔ هندسی گیت را بیان می کند و بنام نسبت ظاهری یا وضعیتی (Aspect Ratio) معروف است. بعلاوه ولتاژ $V_{GS}-V_{Th}$ را ولتاژ فوق تحریک یا موثر (Over-Drive) نامیده و تعریف می کنیم که اگر $V_{DS} \le V_{GS}-V_{Th}$ باشد آنگاه ترانزیستور در ناحیه مقاومتی، خطی یا تریودی است. توجه کنید در روابط فوق برای ولتاژهای درین–سورس بسیار کوچک ارتباط خطی بین I_D و V_{DS} را به دنبال دارد. مثلا برای $V_{DS} << 2(V_{GS}-V_{Th})$ از رابطهٔ (14) داریم:

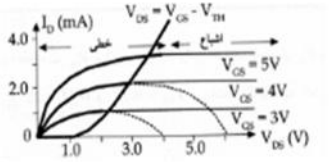
$$I_D \approx K(V_{GS}-V_{Th})V_{DS} \qquad (14)'$$

یقین جریان درین تابع خطی V_{DS} است.

تذکر-1: منحنی های روابط جریان-ولتاژ یک **MOSFET** همگی دارای فرمی به شکل سهمی بوده، حاوی یک پیک و سپس تنزل در طرفین می باشند. یک ترسیم مثالی می تواند بصورت شکل 2-21 باشد. البته عملا چنین اتفاقی رخ نمی دهد و لذا معادلات فوق تنها در شرایط زیر برقرارند:

$$V_{GD} \ge V_{Th}$$
$$V_{GD} = V_{GS} - V_{DS} \ge V_{Th}$$

این شرایط عملکرد را در ناحیهٔ سمت راست پیک حذف کرده و لذا عمل درون این ناحیه (طرف چپ پیک) بنام عمل در ناحیهٔ خطی معروف است.



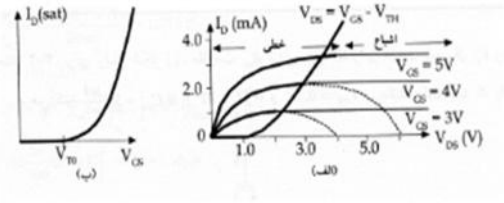
شکل 2-21 یک ترسیم مثال از جریان درین نسبت به ولتاژ درین-سورس

تذکر-2: اگر در یک ترانزیستور $V_{GD} = V_{GS} - V_{DS} < V_{Th}$ باشد، ترانزیستور در ناحیهٔ اشباع رفته و معادلات دیگری جهت توصیف لازم است.

تذکر-3: از روی معادلات جریان-ولتاژ می توان پیک منحنی را بدست آورد. این حداکثر در نقطهٔ $V_{DS} = V_{GS} - V_{Th}$رخ داده که آنرا به نام ولتاژ اشباع درین یا V_{DSAT} می شناسیم (با صفر قراردادن $\frac{\partial I_D}{\partial V_{DS}} = 0$ به این نتیجه می توان دست یافت). جریان درین برای این ولتاژ حداکثر کننده، دارای بالاترین مقدار شکل زیر است:

$$I_{DSAT} = \frac{K}{2}\left[2(V_{GS} - V_{Th})(V_{GS} - V_{Th}) - (V_{GS} - V_{Th})^2\right] = \frac{K}{2}(V_{GS} - V_{Th})^2 \quad (16)$$

لذا جریان درین در ماوراء مرز اشباع خواهد بود که تابعی از V_{GS}خواهد شد. در شکل 2-22 مشخصه های مرسومی از این نوع ترانزیستور ترسیم شده است.



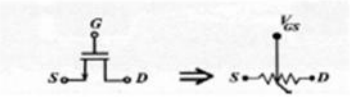
شکل 2-22 الف) مشخصه اصلی جریان-ولتاژ یک nMOS

ب) جریان درین **nMOS** به شکل تابعی از V_{GS} با فرض $V_{DS} > V_{DSAT}$ که ناحیهٔ اشباع ترانزیستور است.

تذکر-4: شبیه به رابطهٔ '(14) برای مقادیر V_{DS} کوچک، هر سهمی می تواند با یک رابطهٔ خطی تقریب زده شود. بعبارت دیگر مسیر سورس به درین دارای جریانی است که با ولتاژ V_{DS} رابطهٔ مستقیم دارد که می تواند به شکل یک مقاومت خطی فرض شود. از روی رابطهٔ '(14) این مقاومت برابر است با:

$$R_{on} = \frac{1}{K(V_{GS} - V_{Tk})} \qquad (17)$$

در این حالت **nMOS** یک مقاومت خطی است که میزان مقاومت آن توسط ولتاژ گیت-سورس قابل کنترل است لذا در جمع بندی اگر $V_{DS} << 2(V_{GS} - V_{Tk})$ باشد، ترانزیستور مقاومت خطی و کنترل شده با ولتاژ (ولتاژ گیت–سورس) خواهد بود و دارای نمادی به صورت ترسیمی در شکل 2-23 است. این ناحیه را ناحیهٔ عمیق تر تریودی می نامیم.



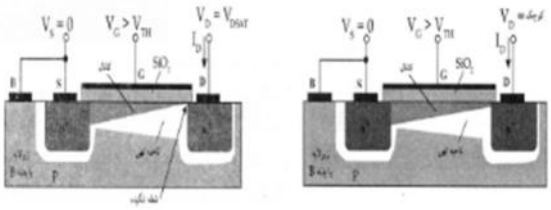
شکل 2-23 یک nMOS بصورت مقاومت خطی کنترل شده با ولتاژ

2-4-2 توصیف فیزیکی:

در این قسمت به تشریح فیزیکی ترانزیستوهای **MOS** و برای شروع یک ترانزیستور **nMOS** می پردازیم که با کانال n روی لایهٔ p ساخته می شود. این ترانزیستور دو پیوند p و n دارد که در مجاورت طرفین کانالند و توسط ولتاژ گیت عرض آنها کنترل می شود. حاملهای بار و در این حالت الکترونها از طریق سورس وارد ساختار می شوند

و با کنترل توسط گیت از درین خارج می گردند. پتانسیل زیر لایه از هر سه ترمینال کمتر است و لذا هر دو پیوند طرفین بایاس معکوسند.

برای $0 < V_{GS} < V_{Tn}$ ناحیهٔ بین درین–سورس تهی شده و حاملی عبور نمی کند. با افزایش و لتاژ گیت بطوریکه شرط $V_{GS} > V_{Tn}$ برقرار شود، سطح زیر گیت معکوس شده یک کانال هدایتی از نوع n بین سورس–درین تشکیل می شود که می تواند حامل جریان باشد. حال اگر V_{DS} را تغییر دهیم در واقع جریان درون این کانال یا جریان درین را تغییر داده ایم که این عمل تنها برای $V_{GS} > V_{Tn}$ صورت می گیرد چرا که در غیر این صورت ($V_{GS} < V_{Tn}$) ترانزیستور در حالت قطع قرار گرفته است. اگر $V_{DS} = 0$ باشد، جریان درین تقریبا صفر است و اگر $V_{DS} > 0$ شود برای مقادیر کوچک V_{DS} جریان درین متناسب با V_{DS}افزایش خواهد یافت. در این حالت لایه معکوس شده یا کانال، مسیر جریانی را برای انتقال حاملها از سور س به درین ایجاد می کند که همان حالت خطی یا تریودی ترانزیستور نام دارد. دیدیم که در این حالت، کانال یک مقاومت خطی و کنترل شده با ولتاژ است. اکنون با ازدیاد ولتاژ درین، بار درون لایهٔ معکوس شده یا عمق کانال در طرفین شروع به کاهش کرده و این کاهش در طرف درین بیشتر است بطوریکه در نهایت برای $V_{DS} = V_{DSAT}$ بار لایه وارون شده در طرف درین به صفر خواهد رسید. این نقطه را بنام نقطه تنگی (pinch–off) می شناسیم که در شکل 2-24 دیده می شود.

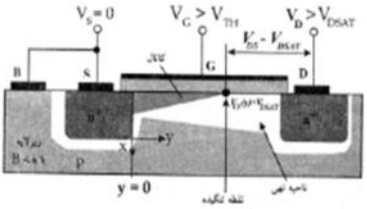


(ب) (الف)

شکل 2-24 عملکرد ترانزیستور nMOS در الف) ناحیهٔ خطی و ب) مرز اشباع

25

اکنون فرض کنید که V_{DS} را از V_{DSAT} بیشتر کنیم. طبیعی است که یک ناحیهٔ سطحی تهی در مجاورت درین تشکیل شده که با افزایش ولتاژ درین به طرف سورس حرکت خواهد نمود. این عملکرد **nMOS** همان عملکرد در ناحیهٔ اشباع است که طول موثر کانال را تنزل داده و لایه معکوس در نزدیکی درین حذف خواهد شد چنانچه در شکل 25-2 دیده می شود.



شکل 25-2 عملکرد nMOS در ناحیه اشباع

توجه کنید که پس از مرز اشباع الکترونهایی که به نقطهٔ تنگدستی می رسند، به علت وجود ولتاژ درین زیاد، وارد یک میدان الکتریکی قوی شده و بطرف ناحیهٔ تخلیهٔ سمت درین شتاب خواهند گرفت و این بمنزله عدم قطع جریان درین پس از رخداد تنگیدگی است. اما در عوض مقدار این جریان نسبت به V_{DS} تقریبا ثابت است بطوریکه **nMOS** در این حالت از اشباع شدگی، می تواند به عنوان یک منبع جریان پیوسته بین درین و سورس عمل کند. یک میزان از مفید بودن ترانزیستور **nMOS** در این حالت می تواند معرفی پارامتری موسوم به هدایت انتقالی (trans-conductance) با تعریف زیر باشد:

$$g_m \equiv \left.\frac{\partial I_D}{\partial V_{GS}}\right|_{V_{DS}=\text{Constant}} = \mu_n C_{ox}\frac{W}{L}(V_{GS}-V_{Th}) \qquad (18)$$

این پارامتر در واقع حساسیت ترانزیستور است. بطوری که برای g_m بزرگ هر تغییر کوچک در V_{GS} سبب تغییر بزرگی در I_D می گردد. بعلاوه توجه کنید که g_m درناحیهٔ اشباع، معکوس R_{on} [رابطهٔ (17)] در ناحیهٔ تریودی عمیق است. بعلاوه می توان ثابت کرد که رابطهٔ زیر برقرار است:

$$g_m = \sqrt{2\mu_n C_{ox}\frac{W}{L}I_D} = \frac{2I_D}{V_{GS}-V_{Th}} \qquad (19)$$

2-5 آثار مرتبهٔ دوم

در هنگام تحلیل مدارهای **MOS** تعدادی از مفروضات جهت ساده نمودن بررسی ترانزیستور **MOS** در نظر گرفته می شود که عملا در بسیاری از مدارات بر قرار نیستند. مهمترین آنها همانطوری که قبلا نیز اشاره شده بود عبارتند از:

- ***آثار بدنه ای***
- ***هدایت زیر آستانه***
- ***مدولاسیون طول کانال***

2-5-1 آثار بدنه ای:

تاکنون فرض کرده بودیم که بدنه و همچنین سورس ترانزیستورهای **nMOS** به زمین متصل است. اما در بعضی از مدارات نمی توان سورس را به زمین اتصال داد و عملا $V_{SB} > 0$ خواهد شد. مثلا در یک مدار **NAND** دو ترانزیستور **nMOS** به شکل سری اند و سورس یکی باید به زمین متصل نشود. به منظور درک موضوع و اثر صفر نبودن ولتاژ سورس فرض کنید $V_S = V_D = 0$ و $V_G < V_{Th}$باشد. به عبارت دیگر یک ناحیهٔ تهی زیر گیت تشکیل شده اما لایهٔ معکوس نداریم. با افزایش ولتاژ سورس نسبت به زیر لایه، الکترون های بیشتری به سوی ناحیه سورس جذب می شوند و به ولتاژ V_G بزرگتری برای ایجاد کانال در زیر گیت پلی سیلیکون نیاز خواهیم داشت. لذا V_{Th} بیشتر می شود که این اثر را ***اثر بدنه*** یا ***اثر زیر بنایی*** نامیم. با لحاظ کردن این اثر می توان ولتاژ آستانهٔ جدید را با ولتاژ آستانه ایکه قبلا در معادلهٔ (3) دیده بودیم شکل زیر مرتبط نمود

$$V_{Th} = V_{Th0} + \gamma\left[\sqrt{2|\phi_F| + V_{SB}} - \sqrt{2|\phi_F|}\right] \qquad (20)$$

که در آن V_{Tho} همان ولتاژ آستانه بدون لحاظ کردن آثار بدنه ایست و γ به شکل زیر و با فرض این که V_{SB} اختلاف پتانسیل سورس با بدنه باشد تعریف می گردد:

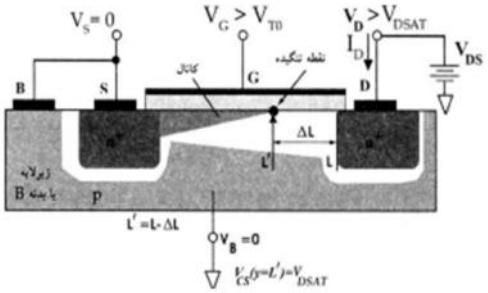
$$\gamma = \frac{\sqrt{2q\varepsilon_{Si}N_A}}{C_{ox}} \qquad (21)$$

2-5-2 مدولاسیون طول کانال:

قبلا دیدیم که اگر در بایاس کردن **MOS** ولتاژ درین-سورس $V_{DS} = V_{DSAT} = V_{GS} - V_{Tho}$ باشد، کانال در طرف درین تنگیده خواهد شد بعبارت دیگر $\rho_i = 0$ به ازاء **t=L** خواهد بود. با افزایش بیشتر ولتاژ درین-سورس، کانال دارای طول موثر کوتاه تری خواهد شد بعبارت دیگر طول لایه معکوس به مقدار زیر محدود می شود:

$$L' = L - \Delta L \qquad (22)$$

که در آن L طول قطعه ای از کانال با $\rho_i = 0$ بوده که در شکل **2-26** ترسیم شده است.



شکل 2-26 مدولاسیون طول کانال در عملکرد یک nMOS درون ناحیهٔ اشباع

بعبارت دیگر نقطه تنگیدگی از طرف درین، با افزایش ولتاژ V_{DS} بطرف سورس حرکت خواهد کرد. در ناحیهٔ باقیمانده، کانال، از نقطه تنگیدگی یا درین در حالت تهی باقی خواهد ماند.

به دلیل آنکه برای $\rho_i = 0, L' < y < L$ است پس ولتاژ کانال در نقطهٔ تنگیدگی برابر با $V_{DS.AT}$ باقی خواهند ماند بعبارت دیگر:

$$V(y = L') = V_{DS.AT} \qquad (23)$$

طبق رابطهٔ (16) جریان درین در چنین حالتی برابر است با:

$$I_{D(S.AT)} = \frac{\mu_n C_{ox}}{2} \frac{W}{L'} (V_{GS} - V_{Th0})^2 \qquad (24)$$

L' در واقع تابع V_{DS} است و این اثر بنام ***اثر مدولاسیون طول کانال*** معروف است. با استفاده از رابطهٔ (22) معادلهٔ (24) را می توان شکل زیر نوشت:

$$I_{D(S.AT)} = \left(\frac{1}{1 - \frac{\Delta L}{L}} \right) \frac{\mu_n C_{ox}}{2} \frac{W}{L} (V_{GS} - V_{Th0})^2 \qquad (25)$$

در واقع ضریب $\left(\frac{1}{1 - \frac{\Delta L}{L}} \right)$ ناشی از مدولاسیون طول کانال است.

می توان نشان داد:

$$\Delta L \propto \sqrt{V_{DS} - (V_{GS} - V_{Th})^2} \qquad (26)$$

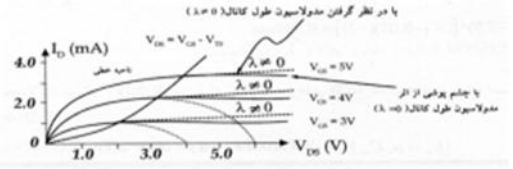
بصورت تجربی می توان رابطهٔ زیر را با کمک پارامتر تجربی λ نوشت که در آن λ ضریب مدولاسیون طول کانال نام دارد:

$$\left(\frac{1}{1-\frac{\Delta L}{L}}\right)^{-1} \approx 1+\lambda V_{DS} \qquad (27)$$

این ضریب بیانگر شیب منحنی ها در ناحیهٔ اشباع است با فرض $\lambda V_{DS} << 1$ داریم:

$$I_{D(SAT)} = \frac{\mu_n C_{ox}}{2}\frac{W}{L}(V_{GS}-V_{Th0})^2(1+\lambda V_{DS}) \qquad (28)$$

با توجه به شکل 2-27 دیده می شود که این پدیده در یک شیب غیر صفر در مشخصهٔ جریان درین-ولتاژ درین به سورس دیده می شود و لذا در ناحیهٔ اشباع یک منبع جریان غیر ایده آل داریم که بین سورس و درین واقع شده است. معمولا پارامتر λ توصیف کنندهٔ تغییرات نسبی در طول کانال برای افزایش معینی در پتانسیل V_{DS} است و خود، برای کانال های طولانی تر کاهش می یابد.



شکل 2-27 اثر مدولاسیون طول کانال بر روی مشخصه یک nMOS

تذکر-1: با لحاظ کردن مدولاسیون طول کانال، لازم است پارامترهایی مثل g_m تصحیح شوند رابطهٔ (18) را می توان شکل زیر نوشت:

$$g_m = \mu_n C_{ox}\frac{W}{L}(V_{GS}-V_{Th})(1+\lambda V_{DS}) = \sqrt{2\mu_n C_{ox}\frac{W}{L}I_D(1+\lambda V_{DS})} \qquad (29)$$

تذکر-2: می توان در یک جمع بندی معادلات جریان–ولتاژ تقریبی را برای ترانزیستورهای **MOS** با کانال n یا p در جداول I و II با در نظر گرفتن اثر مدولاسیون کانال نوشت. در شکل 2-28 قطبهای

ولتاژ اعمال شده همراه با جهت جریانها ترسیم شده اند. توجه کنید که ولتاژ آستانه V_{Th} و همچنین همهٔ ولتاژهای ترمینال V_{GS}، V_{DS} وV_{SB}برای ترانزیستور **pMOS** منفی اند.

جدول I

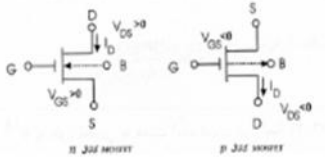
معادلات جریان – ولتاژ MOSFET کانال n $(K_n' = \mu_n C_{ox})$

قطع	$I_D = 0$	$V_{GS} < V_{TH}$
خطی	$I_D(linear) = \frac{1}{2} K_n' \frac{W}{L}\left[2(V_{GS} - V_{TH})V_{DS} - V_{DS}^2\right]$	$V_{GS} \geq V_{TH}$ $V_{DS} < V_{GS} - V_{TH}$
اشباع	$I_D(sat) = \frac{1}{2} K_n' \frac{W}{L}(V_{GS} - V_{TH})^2.(1 + \lambda V_{DS})$	$V_{GS} \geq V_{TH}$ $V_{DS} \geq V_{GS} - V_{TH}$

جدول II

معادلات جریان – ولتاژ برای MOSFET کانال p $(K_p' = \mu_p C_{ox})$

قطع	$I_D = 0$	$V_{GS} > V_{TH}$
خطی	$I_D(linear) = \frac{1}{2} K_p' \frac{W}{L}\left[2(V_{GS} - V_{TH})V_{DS} - V_{DS}^2\right]$	$V_{GS} \leq V_{TH}$ $V_{DS} > V_{GS} - V_{TH}$
اشباع	$I_D(sat) = \frac{1}{2} K_p' \frac{W}{L}(V_{GS} - V_{TH})^2.(1 + \lambda V_{DS})$	$V_{GS} \leq V_{TH}$ $V_{DS} \leq V_{GS} - V_{TH}$



شکل 2-28 نمایش ولتاژ و جریانهای ترانزیستور MOS

2-5-3 هدایت زیر آستانه:

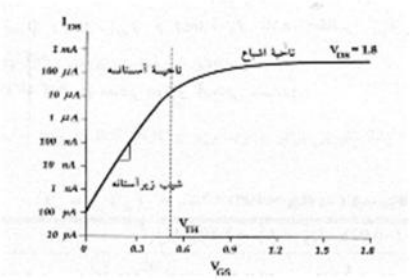
دیدیم که V_{Th} بمنزلهٔ ولتاژی بوده که در یک ترانزیستور ایده آل جریان از سورس به درین با فرض زمانی که $V_{GS} > V_{Th}$ باشد، بر قرار است. لیکن در عمل چنین نیست و در واقع جریان در زیر آستانه بصورت پله ای قطع نمی گردد بلکه به شکل رابطه ای نمایی و به فرم زیر کاهش می یابد:

$$I_{DS} = I_{DS0} e^{\frac{V_{GS}-V_{Th}}{nV_T}} \left(1 - e^{\frac{-V_{DS}}{V_T}}\right) \qquad (30)$$

که در آن $V_T = \frac{kT}{q}$ همان ولتاژ حرارتی (معادل با 26mV در دمای اتاق) است. این نوع هدایت موسوم نشتی است و عامل یکسری جریانهای ناخواسته است که در هنگام خاموش شدن ترانزیستور هنوز قابل رویت است. در این رابطه I_{DS0} برابر است با:

$$I_{DS0} = \mu C_{ox} \frac{W}{L} V_T e^{1.8} \qquad (31)$$

فاکتور $e^{1.8}$، یک فاکتور تجربی است. n در رابطهٔ (30) ضریب وابسته به تکنولوژی ساخت بوده و برای تکنولوژی **CMOS** در بازهٔ 1.4 تا 1.5 است. توجه کنید که اگر $V_{DS} = 0$ باشد از رابطهٔ (30) $I_{DS} = 0$ خواهد شد. مادامی که V_{DS} چند برابر V_T شود، جریان نشتی افزایش یافته، تا به حداکثر مقدار خود، یعنی $I_{DS0} e^{\frac{V_{GS}-V_{Th}}{nV_T}}$، برسد. ترسیمی از این توصیف در شکل 2-29 دیده می شود.



شکل 2-29 مشخصهٔ زیر آستانه MOS

تذکر-1: از ویژگی "هدایت زیر آستانه" در طراحی مدارات آنالوگ با توان مصرفی کم (low power) استفاده می شود. این جریان نشتی، عامل مهمی در معادلهٔ توان مصرفی مدارهای غیر اکیتو است. هر قدر V_{Th} کاهش یابد یا دما زیاد شود، این جریان به شکل نمایی زیاد می شود و لذا در آی سی هایی که از تغذیهٔ کم و ولتاژ آستانه کوچک استفاده می کنند، عامل مهمی است.

تذکر-2: در فرایند **CMOS** برا هر 90mV کاهش V_{GS} به زیر آستانه، ده درصد کاهش جریان نشتی را به دنبال داریم. این نسبت به عنوان شیب زیر آستانه تعریف شده و با S نشان داده میشود. با این توصیف $S = 90mV/Decade$ خواهد شد. برای $n=1$ $S = 60mV/Decade$ می باشد.

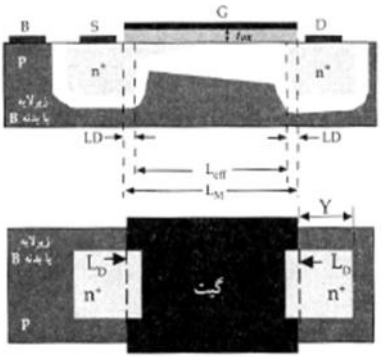
تذکر-3: شیب زیر آستانه از فرمول تجربی زیر نیز قابل محاسبه است:

$$S \approx nV_T \ln(10) \qquad (32)$$

2-6 خازنهای پارازیتی MOSFET

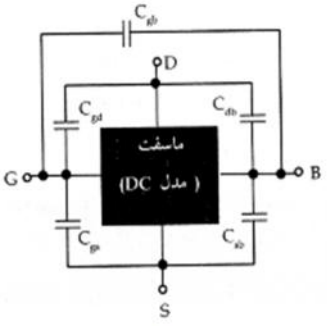
خازنهای موجود در یک ترانزیستور **MOS** عمدتا توابع بسیار پیچیده ای از ساختار و مواد نیمه هادی مورد استفاده در این نوع ترانزیستور ها هستند و لذا در این قسمت تنها مدلهای ساده شده ای از آنها ارائه خواهد شد. البته توجه کنید که مشخصه هایی که تاکنون ارائه شده اند جهت بررسی این نوع از خازنها قابل استفاده نیستند چرا که این

مشخصه ها جنبه های حالت گذرا را مطالعه نمی کنند. این مدلهای ساده تقریبهای نسبتا مناسبی را ارائه می کنند تا بتوان در آنالیز ac رفتار یک ترانزیستور **MOS** را بررسی نمود. بعلاوه خازنهای مربوط به ترانزیستورها در یک آی سی و خازنهای اتصالات میانی بصورت مجزا بررسی خواهند شد. در شکل 2-30 می توان نمایی از جهات مختلف یک ترانزیستور **MOS** را ملاحظه نمود.



شکل 2-30 نمایش از یک nFET

توجه کنید که همپوشانی سورس و درین بصورت متقارن فرض شده است. خازنهایی را که می توان به چنین ساختاری مرتبط نمود در شکل 2-31 دیده می شوند.



شکل 2-31 نمایش کلی از یک ترانزیستور MOS با در نظر گرفتن شرایط گذرا

انواع خازنهای پارازیتی را می توان به دو گروه زیر تقسیم کرد

1- خازنهای مربوط به اکسید ***2- خازنهای پیوندی***

2-6-1 خازنهای مربوط به اکسید:

با توجه به شکل 2-30 دیده می شود که الکترود گیت با نواحی سورس و درین همپوشانی دارد. این خازنها را به ترتیب با C_{GS} و C_{GD} نشان می دهیم این خازنها، خازنهای هم پوشان هستند و ظرفیت آنها برابر است با:

$$C_{GS} = C_{ox} W L_D \qquad C_{GD} = C_{ox} W L_D \qquad C_{ox} = \frac{\varepsilon_{ox}}{t_{ox}} \qquad (33)$$

در این رابطه W پهنای ناحیه نفوذی سورس یا درین است و L_D در شکل 2-30 نشانداده شده است. توجه کنید که مقادیر خازنهای فوق مستقل از شرایط بایاس و اعمال ولتاژ می باشند. بین گیت با سایر نواحی نیز خازنهایی وجود دارد که برای ارتباط آنها سه خازن را به شکل زیر تعریف می کنیم و آنها را خازنهای اکسیدی می نامیم:

خازن گیت با سورس

خازن گیت با درین

خازن گیت با زیر لایه

این خازنها در واقع خازن گیت به کانال هستند که خود نیز مستقل از ولتاژ می باشد. رفتار این خازنها به شکل زیر قابل خلاصه کردن است:

در حالت قطع که در شکل 2-32 (الف) دیده می شود سطح زیر گیت، معکوس نشده و کانال هدایتی موجود نیست. لذا در این حالت خازنهای گیت به سورس و گیت به درین صفراند:

$$C_{gs} = C_{gd} = 0$$

اما خازن گیت به زیر لایه برابر است با:

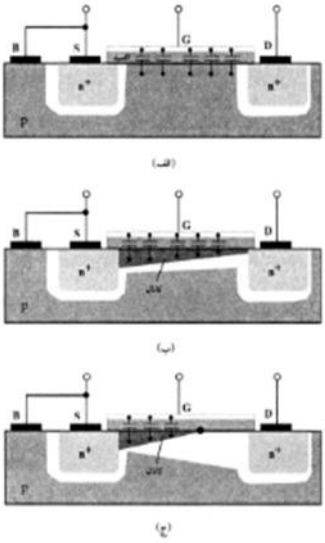
$$C_{gb} = C_{ox}WL \qquad (34)$$

در حالت عملکرد خطی مطابق شکل 2-32 (ب) کانال معکوس شده تشکیل گردیده است. این لایهٔ وارون در سطح، بصورت موثر زیر لایه را از میدان الکتریکی گیت محافظت می نماید و لذا $C_{gb} = 0$ است. خازن بین گیت و کانال، میان سورس و درین تقسیم می شود و این تقسیم، به شکل یکسان، برابر است با:

$$C_{gs} = C_{gd} = \frac{1}{2}C_{ox}WL \qquad (35)$$

اکنون حالت اشباع را در نظر می گیریم [شکل 2-32 (ج)]. لایهٔ معکوس در نقطه تنگیدگی به اتمام رسیده و از آن نقطه تا درین لایهٔ معکوسی موجود نیست. پس خازن گیت به درین صفر است $C_{gd} = 0$. اما سورس تقریبا دارای رفتار هدایتی سابق خود است. تاثیر هدایت سورس چنین است که ظرفیت خازن گیت به زیر لایه صفر خواهد شد $C_{gb} = 0$ و نهایتاً ظرفیت خازن گیت به سورس بصورت تقریبی برابر است با (رابطه ایکه می توان اثبات آنرا در مراجع دنبال نمود).

$$C_{gs} \approx \frac{2}{3}C_{ox}WL \qquad (36)$$



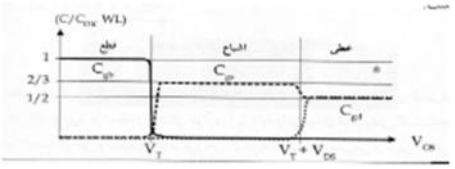
شکل 2-32 بررسی حالات مختلف خازنهای اکسید یک nMOS

جدول زیر خلاصه ای از مطالب یاد شده است:

جدول III مقادیر خازنهای اکسید یک nMOS

ظرفیت	حالت قطع	حالت خطی	حالت اشباع
C_{sb} (کل)	$C_{ox}.W.L$	0	0
C_{gd} (کل)	$0+C_{GD}=C_{ox}WL_D$	$\frac{1}{2}C_{ox}WL+C_{ox}WL_D$	$0+C_{GD}=C_{GS}WL_D$
C_{gs} (کل)	$0+C_{GS}=C_{ox}WL_D$	$\frac{1}{2}C_{ox}WL+C_{ox}WL_D$	$\frac{2}{3}C_{ox}WL+C_{ox}WL_D$

در شکل 2-33 تغییرات ظرفیتهای اکسیدی فوق را بر حسب توابعی از ولتاژ گیت به سورس مشاهده می نمایید.



شکل 2-33 تغییرات ظرفیت های اکسیدی بر حسب ولتاژ گیت به سورس

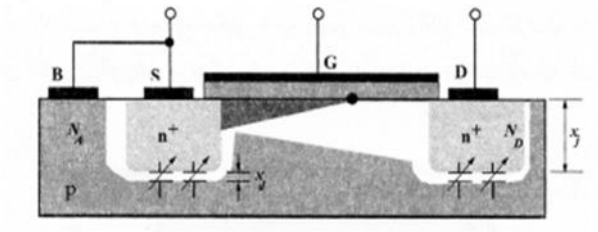
تذکر: جمع خازنهای C_{gs}، C_{gd} و C_{gb} معمولا در رابطهٔ زیر صدق می کند:

$$\underbrace{0.67C_{ox}WL}_{\text{در حالت اشباع}} < C_{gs}+C_{gd}+C_{gb} < \underbrace{C_{ox}WL}_{\text{در حالت خطی و قطع}}$$

که خود مستقل از ولتاژ است. عمدتا درمحاسبات ساده جمع این سه خازن را معادل با $C_{ox}W(L+2L_D)$ فرض می کنیم.

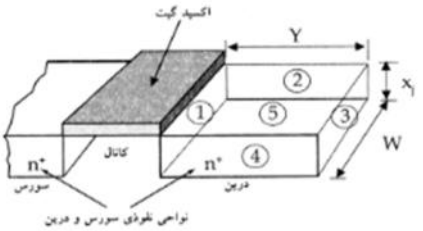
2-6-2 خازنهای پیوندی:

همانطور که دیدیم دو ناحیهٔ سورس و درین با زیر لایه عمدتا یک خازن پیوندی را بدلیل وجود بایاس معکوس ایجاد می کنند (شکل 2-34) که در حالت کلی تابع بایاس نیز می باشد.



شکل 2-34 نمایش خازنهای پیوندی

بر اساس شکل نواحی تشکیل شده، اطراف نواحی سورس و درین در فضای سه بعدی، محاسبه این نوع خازنها کار ساده ای نیست. اما می توان به مدل ساده شدهٔ شکل 35-2 مراجعه کرد تا خازنهای پیوندی را برای یک **nMOS** افزایشی محاسبه نمود (ناحیه نفوذی n با زیر لایه p). البته چنین روشی قابل اعمال به هر دو نوع ترانزیستور p و n می باشد.



شکل 35-2 یک مدل ساده شده جهت تعیین خازن پیوندی از ترانزیستور با ناحیهٔ n^+ و زیر لایهٔ نوع p

با توجه به شکل، ناحیهٔ نفوذی n^+ تعداد پنج پیوند را با زیر لایه p در نواحی اطراف خود تشکیل می دهد. این ناحیه مکعبی به ابعاد W، y و x_j است. توجه کنید که معمولا در اطراف نواحی نفوذ n^+ ناحیه از p^+ ایجاد می گردد تا بین نواحی نفوذ دو ترانزیستور مجاور، کانال ناخواسته ای تشکیل نگردد (نواحی توقف دهندهٔ کانال) لذا سه پیوند 2، 3 و 4 از طرف ناحیه p^+ احاطه شده اند. پیوند 1 روبروی کانال و پیوند 5 در مجاورت زیر لایهٔ نوع p که میزان دو پینگ آن هم N_A می باشد وجود دارند. معمولا چگالی p^+ حدود $10N_A$ بوده و لذا ظرفیت خازنهای پیوندی مرتبط با این دیواره های کناری متفاوت با دیگر خازنهای پیوندی است. جدول IV خلاصه ای از موارد یاد شده است.

جدول **IV** نوع و ناحیهٔ پیوندهای **p-n** موجود در شکل **2-35**

شمارهٔ پیوند	ناحیه	نوع
1	W,x_j	n^+/p
2	Y,x_j	n^+/p^+
3	W,x_j	n^+/p^+
4	Y,x_j	n^+/p^+
5	W,Y	n^+/p

اکنون ضخامت لایه تخلیه را x_d چگالی دو پینگ نوع n را N_D و نوع p را N_A فرض کرده و ولتاژ بایاس معکوس (مثل V_{DB} و V_{SB}) را V (با علامت منفی) در نظر بگیریم. ضخامت لایهٔ تخلیه برابر است با:

$$x_d = \sqrt{\frac{2\varepsilon_{Si}}{q}\frac{N_A+N_D}{N_A N_d}(\varphi_0 - V)} \qquad (37)$$

$$\varphi_0 = \frac{kT}{q}\ln\left(\frac{N_A N_D}{n_i^2}\right) \qquad (38)$$

همچنین بار ذخیره در این ناحیه نیز برابر است با

$$Q_j = Aq\left(\frac{N_A N_D}{N_A+N_d}\right)x_d = A\sqrt{2\varepsilon_{Si}q\left(\frac{N_A N_D}{N_A+N_d}\right)(\varphi_0 - V)} \qquad (39)$$

که در آن A مساحت پیوند است. اکنون با مشتق گیری از این بار نسبت به ولتاژ، خازن پیوندی بدست می آید:

$$C_j(V) = \left|\frac{dQ_j}{dV}\right| = A\sqrt{\frac{q\varepsilon_{Si}}{2}\left(\frac{N_A N_D}{N_A + N_d}\right)} \times \frac{1}{\sqrt{(\varphi_0 - V)}} = A\frac{C_{j0}}{\sqrt{\left(1 - \frac{V}{\varphi_0}\right)}} \qquad (40)$$

البته صورت کلی رابطه فوق شکل زیر است:

$$C_j = A\frac{C_{j0}}{\left(1 - \frac{V}{\varphi_0}\right)^m} \qquad (41)$$

که در آن m فاکتور درجه بندی است و مثلا برای پیوندهای پله ای شکل، 0.5 و پیوندهای با تغییرات دو پینگ خطی حدود $\frac{1}{3}$ است.

در بایاس صفر ظرفیت خازن پیوندی (در واحد سطح) بدست می آید:

$$C_{j0} \equiv \sqrt{\frac{q\varepsilon_{Si}}{2}\left(\frac{N_A N_D}{N_A + N_d}\right)\frac{1}{\varphi_0}} \qquad (42)$$

توجه کنید که خازن پیوندی تابع ولتاژ بایاس اعمال شده است و چون بایاس در طول کانال متفاوت است، پس مقدار دقیقی را نمی توان از این ظرفیت ارائه داد. معمولا جهت داشتن یک تخمین مناسب، ظرفیت پیوندی را در سیگنال بزرگ محاسبه کرده و آنرا بصورت ظرفیت پیوندی کلی می پذیریم. این ظرفیت شکل زیر تعریف می شود:

$$C_{eq} = \frac{\Delta Q}{\Delta V} = -A\frac{C_{j0}\varphi_0}{(V_2 - V_1)(1-m)}\left[\left(1 - \frac{V_2}{\varphi_0}\right)^{1-m} - \left(1 - \frac{V_1}{\varphi_0}\right)^{1-m}\right] \qquad (43)$$

معمولا برای پیوند باید $m = \frac{1}{2}$ را در رابطه بالا قرار داد که با کمک تعریف فاکتور تعادلی ولتاژ، K_{eq} این ظرفیت برابر است با:

$$C_{eq} = AC_{j0}K_{eq} \qquad (44)$$

که در آن $0<K_{eq}<1$ بوده و با تغییر این فاکتور می توان آثار تغییر ولتاژ را روی پیوند تعیین کرد.

تذکر: در آنالیز فوق فرض کردیم که دیواره های کناری سورس و درین توسط لایهٔ p^+ با چگالی بسیار بزرگتر از زیر لایه تغلیظ شده اند. پس ظرفیت خازن بایاس صفر در کنار C_{j0SW}() و لذا فاکتور تعادلی ولتاژ کناری، $K_{eq(SW)}$، متفاوت تر از پیوندهای پایین است. اگر فرض شود چگالی دوپینگ دیواره کناری $N_{A(SW)}$ باشد، ظرفیت خازن بایاس صفر کناری در واحد سطح برابر است با:

$$C_{j0SW} \equiv \sqrt{\frac{q\varepsilon_{Si}}{2}\left(\frac{N_{A(SW)}N_D}{N_{A(SW)}+N_d}\right)\frac{1}{\varphi_{0SW}}} \qquad (45)$$

که در آن φ_{0SW} پتانسیل داخلی در پیوندهای مجاور است. چون دیواره های کناری همگی در تشکیل ترانزیستور تقریبا عمق یکسان x_j را دارا هستند، لذا ظرفیت خازن پیوند کناری بایاس صفر در واحد طول برابر است با:

$$C_{jSW} = C_{j0SW}.x_j \qquad (46)$$

فاکتور تعادلی سیگنال بزرگ برای نوسانات ولتاژ از V_1 تا V_2 را می توان به شکل زیر نوشت:

$$K_{eq(SW)} = -2\frac{\sqrt{\varphi_{0SW}}}{(V_2-V_1)}\left[\sqrt{\varphi_{0SW}-V_2}-\sqrt{\varphi_{0SW}-V_1}\right] \qquad (47)$$

با توجه به معادلات (45) و (47) ظرفیت خازن پیوندی سیگنال بزرگ برای دیوارهٔ کناری با محیط p برابر است با:

$$C_{eq(SW)} = p.C_{jSW}.K_{eq(SW)} \qquad (46)$$