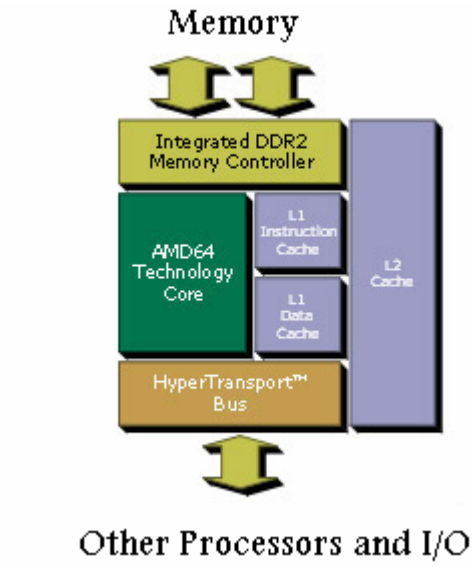
به نام خدا

اهمیت حافظه در سیستم های رایانه ای

معمولا در هنگام خرید رایانه ، افراد دچار سردرگمی برای انتخاب قطعات رایانه خود می شوند . معمولا کاربران رایانه از نحوه عملکرد حدود 14 قطعه مختلف رایانه خود آگاهی ندارند . تمامی قطعات یک سیستم رایانه ای نیز هر یک به نحوی در راندمان کلی سیستم موثر می باشند . اما چند قطعه اصلی در راندمان سیستم ماکزیمم تاثیر را دارند . یکی از مهمترین این قطعات حافظه ها می باشند .
حافظه ها نقش بسیار مهمی در راندمان کلی سیستم دارند . این تاثیر خیلی بیشتر از آنی است که معمولا تصور می شود . در شکل 1 یک سیستم پیشرفته انتقال اطلاعات در رایانه نمایش داده شده است :



شکل **1** : یک سیستم انتقال اطلاعات پیشرفته در رایانه

همانطور که در شکل 1 ملاحظه می شود ، اطلاعات ابتدا وارد حافظه سیستم شده و پس از آن وارد کاشه پردازنده می شوند و در آنجا توسط واحد ALU پردازش شده و اطلاعات پردازش شده توسط خطوط انتقال اطلاعات (BUS) به سایر قطعات رایانه ، جهت اجرا ، ارایه می شوند . سیستم های انتقال اطلاعات دیگری نیز وجود دارند که مثلا در برخی از آنها کنترل کننده حافظه در پردازنده نیست بلکه در داخل چیپست مادربرد تعبیه شده است . و یا در برخی از سیستم های انتقال اطلاعات به جای HyperTransport Bus از Bus های معمولی استفاده شده است .
ولی نکته مهم این است که در هر سیستمی ، و با هر معماری مورد استفاده ، اطلاعات از حافظه خوانده شده و وارد پردازنده می شوند . و همواره سرعت پردازنده از سرعت حافظه های مورد استفاده بسیار بالاتر است . نوع سریع ولی گران قیمتی از حافظه در داخل پردازنده وجود دارد که به آن کاشه می گویند . حجم کاشه ، به دلیل گران قیمت بودن آن بسیار کوچک است و علاوه بر آن چون بر روی

پردازنده وجود دارند ، تولید حرارت نموده و در نتیجه حجم آن محدودیت دارد . قبل از آنکه کاشه را بـر روی پردازنده بسازند ، آن را بر روی مادربرد می ساختند ، ولی همیشه سـرعت مـدارات غیـر مجتمـع محدودیتهای خاص خود را دارد و در نتیجه سرعت کاشه موجود بر روی مادربرد به مقدار لازم نیـست و آن را به داخل پردازنده منتقل نمودند .

کنترل کننده حافظه را نیز جهت افزایش سرعت عملکرد حافظـه بـه داخـل پردازنـده منتقـل نمودنـد (AMD) . از خطوط انتقال اطلاعات سرعت بالای HyperTransport استفاده نمودند و ...

همه این کارها برای افزایش سرعت عملکرد انتقال اطلاعات از حافظه سیستم ، به حافظه پردازنده جهت انجام عملیات پردازش است . همواره پردازنده منتظر رسـیدن اطلاعـات از حافظـه اسـت . در حقیقـت سرعت سیستم محدود به سرعت حافظه است و از یک فرکانس بالاتر ، سرعت سیستم با افزایش سرعت سایر قطعات (مثلا پردازنده) افزایش نمی یابد .

در نتیجه مباحث فوق ، افزایش سرعت انتقال اطلاعات از حافظه به پردازنـده از اهمیـت بـسیار بـالایی برخوردار است . برای دستیابی به این سرعت بالا ، باید از حافظه های با ظرفیت بالاتر و نیـز بـا سـرعت بالاتر استفاده نمود . استفاده از تکنولوژی های پیشرفته جهت افزایش سرعت عملکرد ماجولهای حافظه و نیز استفاده از خنک کننده های مناسب جهت کاهش حرارت و در نتیجه عملکرد مناسب تر ، رانـدمان کلی سیستم را بهبود می بخشد .

در شکلهای 2 و 3و 4 ، انواع حافظه ها با خنک کننده های مختلف که دارای جدید ترین تکنولـوژی هـا می باشند را ملا حظه می نمایید .

شکل 2 : خنک کننده لانه زنبوری ، تکنولوژی XTC

شکل 3 : خنک کننده **Reaper**

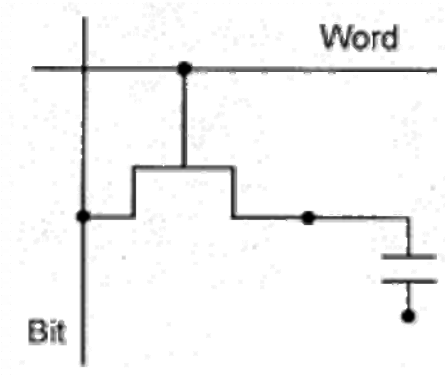
شکل 4 : تکنولوژی **Flex XLC** خنک کننده آبی

امروزه فعالیتهایی در استفاده از قطعات کوانتومی ، مانند RTD ، برای ساخت حافظه ها ، به جای استفاده از قطعات قبلی سازنده حافظه ها ، مانند Mosfet ها ، انجام می شود . قطعات کوانتومی دارای حجم بسیار پایین تر و ولتاژ و جریان کاری کمتر و در نتیجه حرارت پایین تر و سرعت بیشتری می باشند . این پروژه ها فعلا در حد آزمایشگاهی می باشند و هنوز به صورت وسیع و تجاری مورد استفاده قرار نگرفته اند . در آینده از این قطعات بیشتر می شنویم .

انواع حافظه ها :

در سیستمهای رایانه ای از حافظه های مختلف و با فنآوری های متفاوتی استفاده می گردد . حافظه های "ایستا " (Static) و "پویا" (Daynamic) ، دو نمونه متداول در این زمینه می باشند . هر رایانه ممکن است هم دارای حافظه static و هم dynamic باشد . از حافظه های فوق با توجه به تفاوت مشهود قیمت آنان با اهداف متفاوتی اسفاده می گردد . با بررسی نحوه عملکرد هر یک از تراشه های حافظه static و dynamic ، می توان به تفاوت های موجود و علت اختلاف قیمت آنان ، بیشتر واقف گردید .

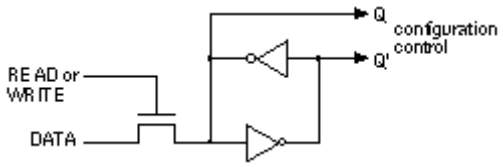
- **Dynamic RAM** ، متداولترین نوع حافظه در حال حاضر محسوب می گردد . درون یک تراشه dynamic RAM ، هر سلول حافظه صرفا" یک بیت اطلاعات را در خود ذخیره نموده و از دو بخش اساسی تشکیل می گردد : یک ترانزیستور و یک خازن . به منظور ذخیره میلیون ها سلول حافظه بر روی یک تراشه از تعداد انبوهی ترانزیستور کوچک و خازن استفاده می گردد . خازن مسئولیت نگهداری صفر و یا یک را برعهده داشته و ترانزیستور به منزله یک سوئیچ است که مدار کنترلی بر روی تراشه را به منظور خواندن خازن و یا تغییر وضعیت آن ، مدیریت می نماید . خازن را می توان به منزله یک سطل کوچک در نظر گرفت که قادر به ذخیره الکترون ها می باشد . به منظور ذخیره سازی مقدار یک در حافظه ، می بایست سطل فرضی از الکترون ها پر گردد و برای ذخیره مقدار صفر ، این سطل می بایست خالی گردد . مهمترین مشکل سطل فرضی ، وجود نشتی و یا سوراخی در آن است که باعث می گردد پس از گذشت مدت زمانی مشخص ، خالی گردد . در مدت زمانی کمتر از چند میلی ثانیه ، یک سطل پر از الکترون ، خالی می گردد . به منظور نگهداری وضعیت خازن و ذخیره سازی مقدار یک قبل از تخلیه خازن ، می بایست پردازنده و یا کنترل کننده حافظه ، خازن را شارژ نمایند . بدین منظور کنترل کننده حافظه ، حافظه را خوانده و آن را مجددا" بازنویسی می نماید . فرآیند فوق که به Refresh معروف است به صورت اتوماتیک در هر ثانیه ، هزاران مرتبه تکرار می گردد . علت نامگذاری این نوع از حافظه ها به dynamic به مفهوم فرآیند Refresh برمی گردد .حافظه های dynamic ، می بایست به صورت پویا بازخوانی و بازنویسی گردند و گرنه تمامی اطلاعات موجود در آنان از بین خواهد رفت . علاوه بر موارد فوق ، عملیات Refresh زمان خاص خود را داشته و باعث می گردد سرعت آنان ، کاهش یابد . ساختار ساده ای از یک حافظه دینامیکی در شکل 5 مشاهده می شود .



شکل 5 : ساختار ساده حافظه دینامیکی

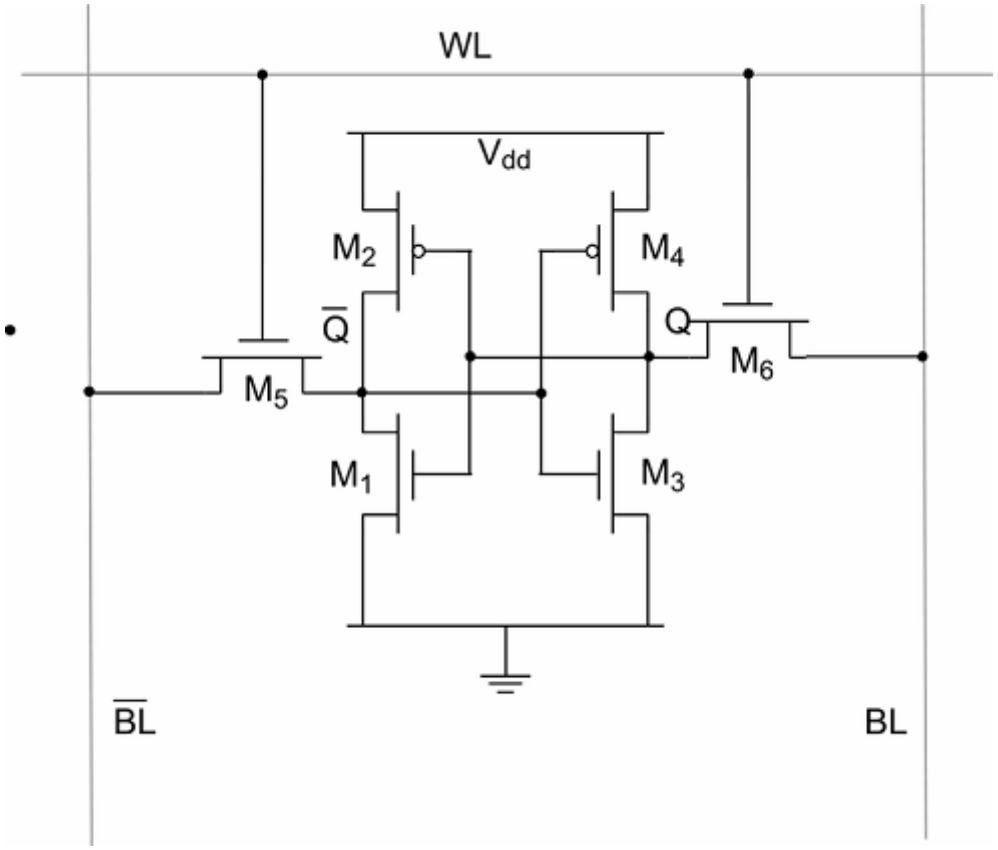
- **Static RAM** ، از یک تکنولوژی کاملا" متفاوت با dynamic RAM ، استفاده می نماید. در حافظه های static از یک نوع فلیپ فلاپ خاص که هر یک از بیت های حافظه را در خود نگهداری می نماید، استفاده می گردد . یک فلیپ فلاپ برای هر سلول حافظه از چهار تا شش ترانزیستور استفاده می نماید . در این نوع حافظه ، ضرورتی به عملیات Refreshing ، نبوده و بدیهی است که سرعت آنان در مقایسه با حافظه های dynamic بمراتب بیشتر می باشد . با

توجه به این که این نوع از حافظه ها دارای بخش ها و عناصر بیشتری می باشند ، یک سلول حافظه Static فضای بمراتب بیشتری را نسبت به یک سلول حافظه dynamic بر روی تراشه ، اشغال خواهد کرد. بنابراین شما حافظه کمتری را در هر تراشه خواهید داشت و بدیهی است که قیمت آنان نیز افزایش خواهد یافت (میزان حافظه قابل استفاده بر روی هر تراشه) . در شکل 6 ، نمونه ای از ساختار حافظه استاتیکی نمایش داده شده است . هریک از گیتهای Not شامل دو عدد ترانزیستور می باشند و مشاهده می شود که این سلول بدین ترتیب شامل 5 ترانزیستور خواهد بود .



شکل 6 : ساختار ساده ای از حافظه استاتیکی

با توجه به موارد اشاره شده ، حافظه های Static سریع و گرانقیمت و حافظه های dynamic ارزان و کند می باشند . از حافظه های Static به منظور ایجاد حافظه های Cache ریزپردازنده (حساس به سرعت) و از حافظه های dynamic به منظور فضای ذخیره سازی اصلی در سیستم ها ، استفاده می گردد . در شکل 7 شمای دیگری از ساختار حافظه استاتیکی دیده می شود .



شکل 7 : ساختار ساده ای از حافظه استاتیکی

این حافظه ها بیشتر مورد بررسی قرار خواهند گرفت ، اما انواع حافظه ها محدود به ایـن دو نـوع نمـی باشند . برای مثال نوع جدیدی از حافظه ها با نام ZRAM وجود دارد.

ZRAM ، نوع پیشرفته ای از حافظه های DRAM می باشد که در آن به جای یک ترانزیـستور و یـک خازن ، تنها از یک ترانزیستور استفاده مـی شـود و بـه همـین دلیـل Zero Capacitance RAM یـا ZRAM نامیده می شوند . [1] و [2]

در ZRAM ها از خاصیت Floating Body یا Body Charging Effect که باعث ذخیره شارژ در بدنه ترانزیستورهای FET می شود و یک خاصیت پارازیتی محسوب می شود ، استفاده نموده و با استفاده از یک آمپلی فایر حساس به جریان ، این ذخیره و یا عدم ذخیره شارژ در ترانزیستور را اندازه گرفته و بـه عنوان یک و یا صفر منطقی در نظر گرفته می شود .

تکنولوژی بکار رفته در این حافظه ها از نوع SOI (Silicon on Insulator) می باشد که در اوایل سـال 2000 در طراحی پردازنده برای اولین بار بکار گرفته شد . در این تکنولـوژی امکـان ذخیـره بـار ، بـین ترانزیستور و بستر وجود دارد .

برای تهیه حافظه های ZRAM هیچگونه عملیات Mask اضافه ای لازم نیست . حذف شـدن خـازن در این حافظه ها حجم اشغالی را بسیار کاهش می دهد (کمتر از نصف مقدار هسته لازم برای DRAM های عمومی) . عقیده بر این است که راندمان این حافظه ها مانند راندمان SRAM هاسـت . سـرعت پاسـخ گزارش شده یرای این حافظه ها کمتر از 3 نانو ثانیه است . شـرکت Innovative Silicon بـر روی ایـن حافظه ها فعالیت زیـادی دارد . کمپـانی AMD نیـز (Advanced Micro Devices) ، در سـال 2006 جهت استفاده در پردازنده های خود شروع به کار بر روی این حافظه ها نمـود. در Spectrom.IEEE در jun سال 2007 این نوع حافظه های جدید را بسیار جالب دانسته است و آنها را مورد بررسی قـرار داده است . در شکلهای 8 و 9 ساختار ZRAM دیده می شود . [3]

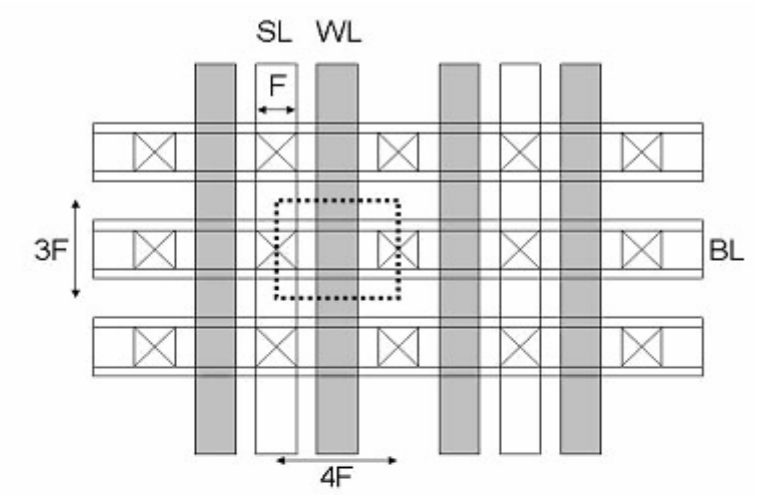


Figure 8a: Z-RAM bit-cell layout on logic process

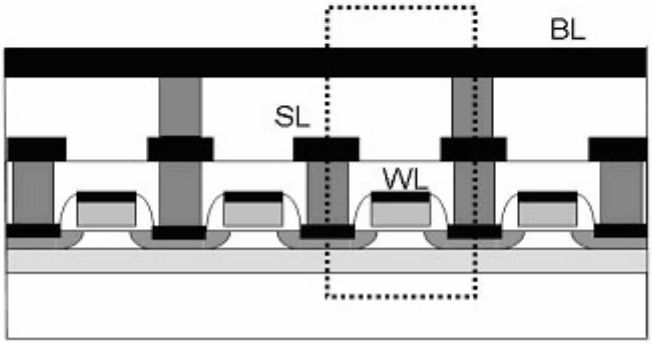
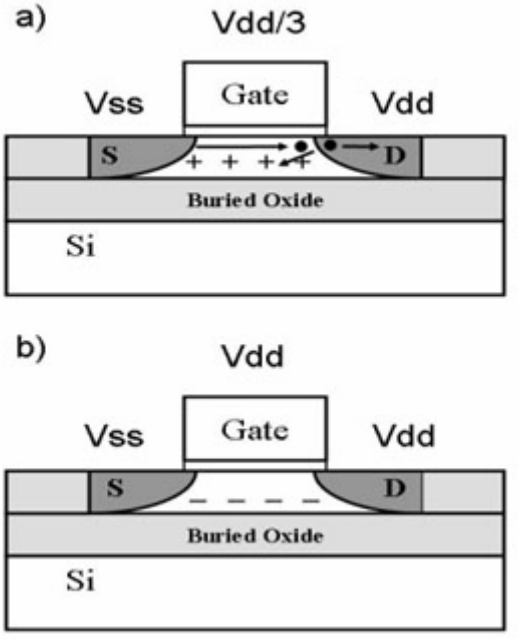


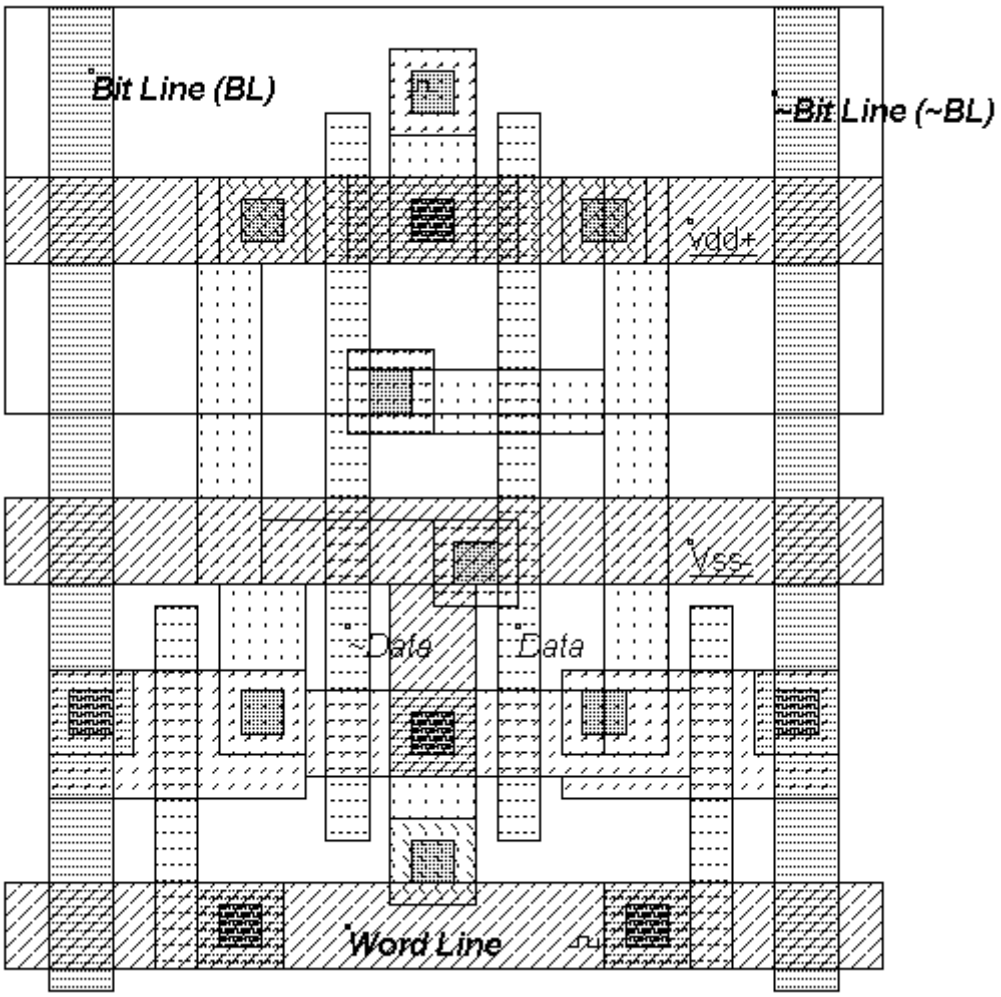
Figure 8b: Z-RAM bit-cell cross section on logic process

شکل 8 : سلول یک بیتی ZRAM



شکل 9 : ZRAM و Floating Body Effect : "a : "1" , b : "0"

می توان شکل 8a را با شکل 10 مقایسه نمود . شکل 10 Layout یک سلول حافظه استاتیک است . در انتهای مقاله پس از بررسی زمان نگاهداری DRAM این زمان را برای ZRAM در چند نمودار نمایش داده ایم .



شکل **10** : **Layout** در سلول حافظه استاتیکی

در هر حال امروزه حافظه های SDRAM (حافظه های دینامیکی) بسیار مورد استفاده می باشند و به عنوان حافظه کلی در سیستمهای رایانه ای بکار می روند . برای اندازه گیری زمانهای مورد نیاز برای عملکرد آنها اعدادی (Timing) بکار می برند که در زیر به توضیح آنها پرداخته ایم .

: DRAM Timings

حافظه ها عموما از سطرها ، ستونها و بانکهای داخلی مختلفی تشکیل شده اند . آدرسهای این اجزا از هم مجزا می باشند . زمانهای لازم برای خواندن یکی از اینها ، حرکت از یکی به دیگری ، یا نگه داشتن یکی برای خواندن های بعدی ، همه با تایمینگهای RAM کنترل می شوند . این تایمینگ ها برای تعیین این

مطلب که حافظه شما چگونه عمل می کند و چقدر زمان طول می کشد که این حافظه وظایف خود را انجام دهد . به این معنی که اعداد تایمینگ کمتر ، نشان دهنده زمان مورد نیاز کمتر برای اجرای وظایف می باشند . هر کدام از تایمینگ ها در یک سیکل ساعت وجود دارند : تنظیم کردن تایمینگ های کمتر ، زمان کمتر را نتیجه می دهد ولی فرکانس کاری بالاتر نشان دهنده کلاکهای موجود بیشترمی باشد . یک تنظیم بین این دو باید صورت پذیرد .

: CAS(tcl)

Column address strobe جایی است که ستون انتخاب شده خوانده می شود و اطلاعات آن ارسال می شود . این عدد در راندمان کلی حافظه های SD RAM و SD DDR RAM ها بسیار مهم است . ولی در DDR2 ها تاثیر زیادی ندارند . CL5 یا CAS5 معمولا 4-4-4-X یا 5-5-5-X در تایمینگها معنی می دهد .

: tRCD

RAS to CAS Delay زمان تاخیر در سیکلهای ساعت سیستم ، برای اولین اجرای دستور خواندن به نوشتن ، است در حالی که بانک مورد نظر قبلا انتخاب شده باشد .

: tRP

Row Precharge زمان توقف برای اجرای دستورات پس از انجام به روز رسانی حافظه است . قبل از زمان به روز رسانی ، حافظه برای اجرای دستورات خواندن و نوشتن تاخیری لازم ندارد . ولی پس از به روز رسانی ، و شارژ شدن خازن سلولهای حافظه ، احتیاج به زمانی برای رسیدن به حالت پایداری می باشد . و دستورات خواندن و نوشتن در این بازه زمانی قابل اجرا نمی باشند . افزایش ولتاژ می تواند تا حدودی این مشکل را حل نماید . ولی ماژولهای حافظه معمولا به افزایش ولتاژ حساس می باشند . با بهینه سازی این تایمینگ زمان کمتری برای انجام عملیات لازم می باشد .

: tRAS

این زمان معادل CAS است ولی برای سطرها . در عملیات Overclocking این تایمینگ مهم است .

: Command Rate

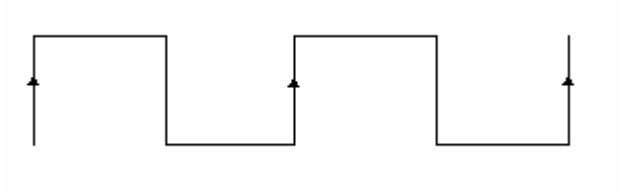
این فاکتور ، نرخ لازم برای ارسال دستورات از چیپست به حافظه می باشد . اگر این نرخ خیلی سریع تنظیم شود ، بدین معنی است که اطلاعات با سرعتی زیاد به حافظه سرازیر می شوند ، در حالی که حافظه هنوز آماده برای اجرای آنها نیست . خازن هنوز در حال شارژ یا دشارژ شدن از دستور قبلی است ، که اطلاعات جدید می رسد ، و این باعث به وجود آمدن خطا می شود . تنها انتخاب 1T و 2T است . پس انتخاب 1T به عنوان اولین انتخاب صحیح نمی باشد . انتخاب تایمینگهای 1T فشرده تر در مادربردها و حافظه ها و بایوسهای ضعیف دشوار می باشد .

: tRC

Row Cycle Time معمولا یک عدد بزرگ است (پنجمین عدد) . حداقل آن tRAS + tRP است .

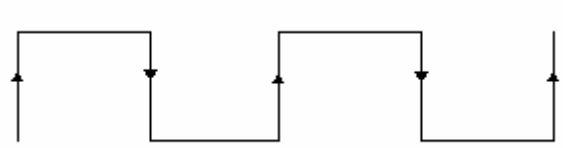
انواع حافظه های دینامیکی : DDR ، DDR2 و DDR3 :

در حافظه ها ، تعریفی تحت عنوان DDR,DDR2 و DDR3 داریم که در زیر به توصیف آنها پرداخته ایم .
امروزه حافظه های DDR3 وارد بازار رایانه شده اند. ولی تفاوت بین این حافظه ها با حافظه های قبلی ، مانند DDR2 و یا DDR چیست ؟
حافظه ها برای خواندن اطلاعات ، از یک ساعت داخلی (Clock) که توسط اسیلاتور ساخته می شود ، استفاده می نمایند . در حافظه های SDRAM همانطور که در شکل 11 مشاهده می شود ، خواندن اطلاعات در لبه های بالارونده انجام می شود .



شکل 11 : انتقال اطلاعات در حافظه های SDRAM
(فلشها انتقال اطلاعات را نشان می دهند)

در حافظه های DDR ، تحولی جالب در انتقال اطلاعات انجام شد . در این نوع از حافظه ها اطلاعات در هر دو لبه بالارونده و پایین رونده پالس ساعت (Clock) اتفاق می افتد . انتقال اطلاعات در حافظه های SD DDR RAM در شکل 12 نشان داده شده است . DDR مخفف Double Data Rate است که نشان دهنده انتقال دوتایی اطلاعات در هر سیکل ساعت است .



شکل 12: انتقال اطلاعات در حافظه های DDR SDRAM
(فلشها انتقال اطلاعات را نشان می دهند)

نوع دیگری از سیستم انتقال اطلاعات وجود دارد که Quadruple data transfer وجود دارد که اطلاعات به صورت چهارتایی در هر سیکل QDR منتقل می شوند . ولی هنوز از این تکنولوژی برای حافظه های SD استفاده نشده است . DDR2 و DDR3 دارای همان تکنولوژی Double Data Rate می باشند .
حال تفاوت DDR3 و DDR2 و DDR در چیست ؟ این حافظه ها در فرکانس کاری ، ولتاژ کاری ، توان مصرفی و توان تلفاتی با یکدیگر تفاوت دارند . به ترتیب پیشرفت ، توان مصرفی و تلفاتی و ولتاژ کاری

کم می شوند و فرکانس کاری افزایش می یابد . برای مثال ولتاژ های کاری نامی بـرای DDR ، DDR2 و DDR3 به ترتیب 2.5 ، 1.8 و 1.5 ولت می باشند .

در جدول 1 ، برخی از انواع حافظه ها و سرعتهای آنها را ملاحظه می نمایید .

DDR	Output	FSB	Peak Bandwidth
PC1600	(200Mhz)	100Mhz	1.6GB/sec
PC2100	(266Mhz)	133Mhz	2.1GB/sec
PC2700	(333Mhz)	166Mhz	2.7GB/sec
PC3200	(400Mhz)	200Mhz	3.2GB/sec
PC3700	(466Mhz)	233Mhz	3.7GB/sec
PC4000	(500Mhz)	250Mhz	4.0GB/sec
PC4200	(533Mhz)	266Mhz	4.2GB/sec

DDR2	Output	FSB	Peak Bandwidth
PC2-3200	(400Mhz)	200Mhz	3.2GB/sec
PC2-4300	(533Mhz)	266Mhz	4.3GB/sec
PC2-5300	(667Mhz)	333Mhz	5.3GB/sec
PC2-5400	(675Mhz)	337Mhz	5.4GB/sec
PC2-6000	(750Mhz)	375Mhz	6.0GB/sec
PC2-6400	(800Mhz)	400Mhz	6.4GB/sec
PC2-7200	(900Mhz)	450Mhz	7.2GB/sec
PC2-8000	(1000Mhz)	500Mhz	8.0GB/sec
PC2-8500	(1066Mhz)	533Mhz	8.5GB/sec

DDR3	Output	FSB	Peak Bandwidth
PC3-8500	(1066Mhz)	533Mhz	8.5GB/sec
PC3-10600	(1333Mhz)	666Mhz	10.6GB/sec
PC3-11000	(1375Mhz)	687Mhz	11.0GB/sec
PC3-12800	(1600Mhz)	800Mhz	12.8GB/sec

جدول 1 : برخی از حافظه های DDR3 , DDR2 , DDR و سرعتهای آنها

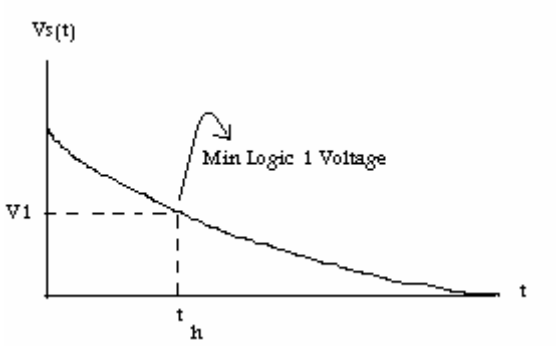
به روزرسانی (Refresh) در حافظه های دینامیکی :

در ساختار حافظه های دینامیکی ، همانطور که در شکل 5 نشان داده شده است و قبلا نیز اشاره شد ، از یک خازن و یک ترانزیستور استفاده شده است . خازن مورد نظر در هر سلول حافظه یا دارای شارژ است

و یا خالی از شارژ می باشد . هنگامی که خازن شارژ شده است (منطق 1)، این شارژ با مرور زمان از طریق جریان نشتی ، تخلیه می شود . این تخلیه شارژ باعث پایین آمدن ولتاژ خازن شده و اگر این ولتاژ از مقدار مجاز پایین تر رود ، دیگر معرف سطح منطقی 1 نخواهد بود . به منظور جلوگیری از این اتفاق ، مداراتی به حافظه دینامیکی اضافه می گردد که مدارات Refresh نامیده می شوند . کار این مدارات ، به روزرسانی اطلاعات حافظه ها می باشد . در حقیقت ، سطح ولتاژ خانه های حافظه دارای منطق 1 را در ولتاژ مرتبط به آن منطق ، و سطح ولتاژ خانه های حافظه دارای منطق صفر را در ولتاژ مرتبط به آن منطق نگاه می دارند .

$$I_L = -\frac{dQs}{dt} = -\frac{dCsVs}{dt} - Cs\frac{dVs}{dt} \quad (1)$$

در رابطه (1) ، Cs خازن حافظه دینامیکی ، Vs ولتاژ این خازن و I_L جریان نشتی می باشد .



شکل **13** : نمودار ولتاژ خازن حافظه دینامیکی بر اساس زمان در اثر جریان نشتی ، بدون مدار به روزرسان

همانطور که در شکل 13 نشان داده شده است ، ولتاژ خازن در اثر جریان نشتی با زمان کاهش می یابد . ولتاژی با نام ولتاژ V1 در این شکل نمایش داده شده است . این ولتاژ حداقل ولتاژی است که می تواند سطح منطق 1 را نمایش دهد . در نتیجه زمان t_h زمانی است که قبل از آن باید عمل به روز رسانی انجام پذیرد .

$$I_L = -Cs\frac{\Delta Vs}{\Delta t} \rightarrow t_h = \left(\frac{Cs}{I_L}\right)\Delta Vs \quad (2)$$

و فرکانس به روز رسانی از رابطه 3 بدست می آید .

$$f_{refresh} = \frac{1}{2t_h} \quad (3)$$

زمان به روزرسانی در حدود چند میلی ثانیه می باشد و در نتیجه برای رسیدن به چنین زمانی ، لازم است طول عمر حاملهای اقلیت در سیلیکان در حدود 25 میکرو ثانیه باشد .

$$\tau_R = \tau_G = \frac{1}{\delta V_{th} N_t} \quad (4)$$

مقادیر در رابطه (4) ، چنین معرفی می شوند :

$\delta : Capture\ cross\ section\ of\ the\ trap$

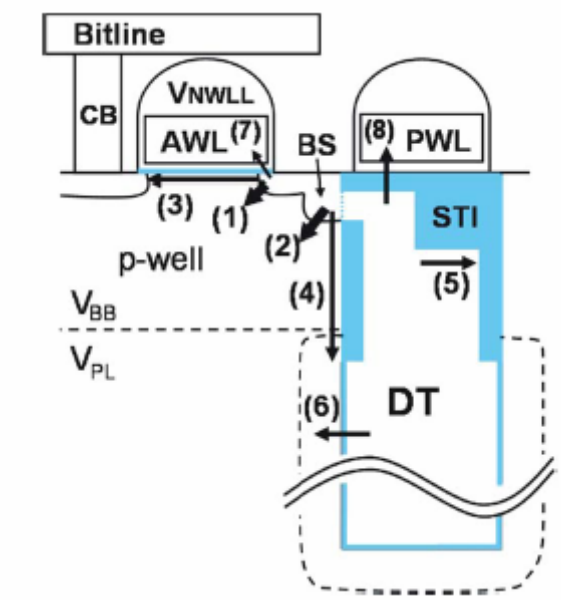
$V_{th} : Minority\ carrier\ thermal\ velocity$

$N_t : number\ of\ traps / cm^3 \rightarrow Depends\ on\ impuritie\ like\ Au, Fe, Cu, ...$

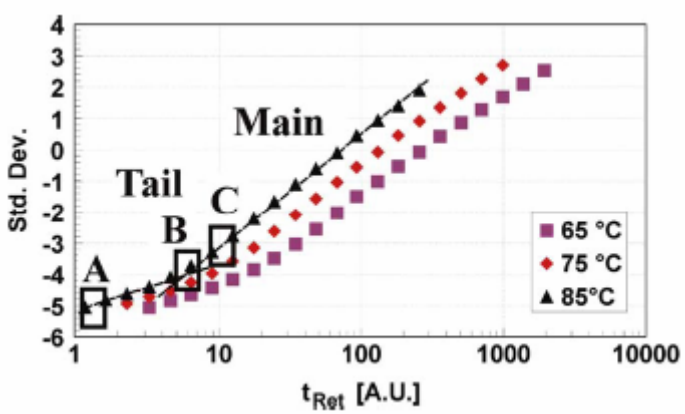
در نتیجه ، تعداد ناخالصی ها در سیلیکان ، بسیار در این امر اهمیت دارد .

در مرجع [4] ، به بررسی جریان Leakage و یا همان جریان نشتی پرداخته شده است . این موضوع در تعیین زمان نگاهداری (و به روز رسانی) حافظه بسیار مهم است . همانطور که در شکل 14 مشاهده می شود ، اجزای تشکیل دهنده جریان نشتی در یک سلول حافظه عبارتند از : (1) GIDL ، (2) Junction ، (3) SubVt ، (4) Vertical Parasitic ، (5) SubSTI ، (6) Node ، (7) Gate و Passing wordline (8) . این اجزا در سه گروه دسته بندی می شوند : (1) و (2) به عنوان pn-leakages ، (3) تا (5) به عنوان Sub-threshold leakages و (6) تا (8) به عنوان Dielectric Leakages . مجموع اینها کل جریان نشتی را مشخص می کند و درنتیجه مشخص کننده زمان نگاهداری (و به روز رسانی) سیستم می باشد . در این مقاله ما به بررسی (1) و (2) که مهمترین عاملها در این جریان می باشند می پردازیم .

توزیع زمان نگاهداری (retention time) از دو توزیع لگاریتمی- نرمال که از خطی مستقیم تشکیل یافته است ، مانند شکل 15 ، در یک احتمال تجمعی تشکیل یافته است . دو شاخه intrinsic (main) (اصلی) و extrinsic (tail) (دنباله) در منحنی مشاهده می شود .



شکل**14** : اجزای تشکیل دهنده جریان نشتی در یک سلول حافظه دینامیکی



شکل **15** : منحنی های نگاهداری (**Passive retention**) برای یک سلول حافظه
مربع ها در شکل نشان دهنده نقاط اندازه گیری انرژی فعال سازی در سلول خاص است

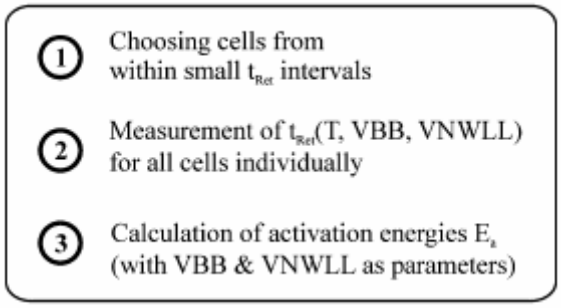
تنها توزیع دنباله (Tail) منحنی شکل 15 که از سلولهایی با زمانهای نگاهداری کوتاهتری تشکیل شده است ، و تعداد خیلی کمی از کل خانه های حافظه را شامل می شود ، عملکرد DRAM را محدود می نماید و ساخت قطعه نیز محدود به آن است . بسیاری از محققین بر روی این قسمت از منحنی در حال بررسی می باشند [6] , [7] , [5] و [8].

در [6] بر اساس شبیه سازیها ، جریانهای تولید و بازترکیب (G-R) حاصل از Au و Zn به عنوان جزء اصلی این جریان پیشنهاد شده است . در [5] یک مکانیزم Thermionic field enhanced (TFE) که از ناحیه اتصالی حاصل می شود به عنوان عامل اصلی پیشنهاد شده است و در نهایت در [7,8] ، GIDL به عنوان یکی از مهمترین مسیرهای توزیع دنباله tail در MOS های مدرن ، معرفی شده است .

در اکثر تحقیقات اندازه گیری ها به صورت کلی در یک حجم زیاد سلولهای حافظه انجام شده است . از آنجایی که سلولهای دنباله (trail) تنها در حدود 10^{-6} عدد از حجم کلی سلولها را در بر می گیرند ، در نتیجه با این روش محاسبه اثر آنها به درستی محاسبه نخواهد شد . ما فکر می کنیم که باید روشی را بکار برد که اثرات طبیعی و خصوصیات سلولهای دنباله را مستقیما محاسبه نماید :

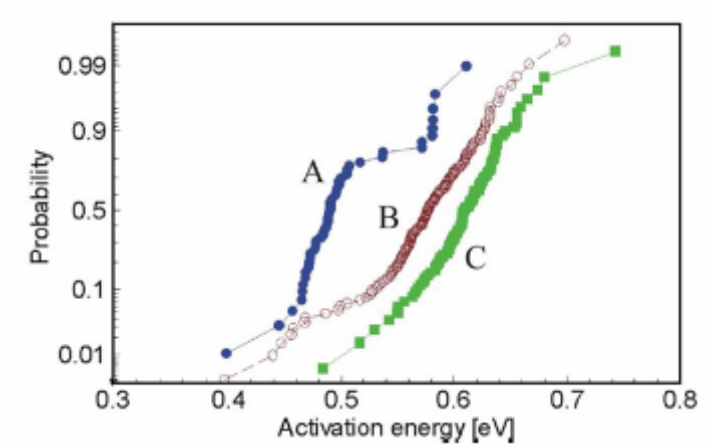
1) حجمهای کمی از حافظه را در بر داشته باشد که بتوان سلولهای دنباله را از کل حافظه بیرون کشید و به صورت محلی بررسی کرد .
2) اندازه گیری جریانهای کوچک انجام پذیرد ، زیرا زمان نگاهداری t_{ret} یک اندازه گیری دقیق از کل جریانهای نشتی است .

برای انجام آزمایش و مشخص کردن خصوصیات حافظه ، به صورت سلولهای انفرادی ، مانند شکل 16 عمل می شود .



شکل **16**: مراحل مشخص کردن خصوصیات سلولهای حافظه

نتایج حاصل برای انرژی های فعال سازی ، با روش ذکر شده در فوق (محاسبه به صورت مجزا و انفـرادی برای سلولها) در شکل 17 آمده است .

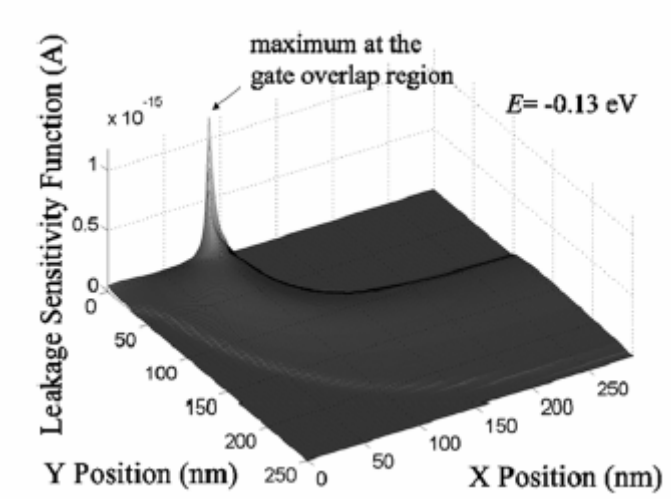


شکل **17** : انرژیهای فعال سازی برای سلولهای انتخاب شده از نقاط **A-C** بر روی منحنی نگاهداری (شکل **15** و **14**)

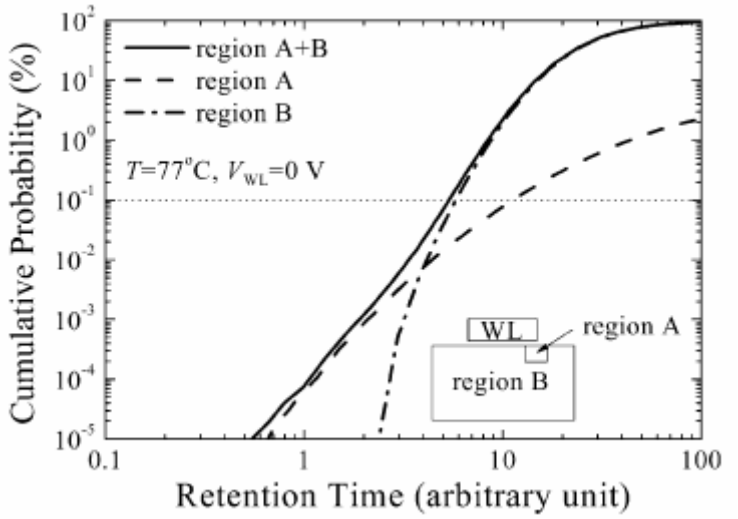
از نتایج حاصل از تحقیقات مرجع [4] ، چنین بر می آید که بیش از 75 درصد از سلولهای دنباله وخـیم ، t_{Ret} را وابسته به بایاس گیت تغییر می دهند ، که این نشان دهنده این موضوع است که این trap هـا در ناحیه حساس به ولتاژ بایاس وجود دارند و در نتیجه مسیر جریان نشتی وابسته به GDIL است . 25 در صد باقیمانده سلولهای دنباله وخیم به VBB وابسته می باشند و اعتقاد بر این است که trap های مرتبط در فاصله ای دور از سطح قرار دارند ، برای مثال در ناحیه میدان شدید ، در ناحیـه Buried Junction (2) در شکل 14) . با مقایسه توزیع انرژی فعال سازی در چندین نقطه منحنی نگاهداری ، مـا بـه ایـن نتیجه می رسیم که رفتار GIDL مانند در توزیع دنباله (tail) غالب است و در توزیـع اصـلی (main) قابل چشمپوشی است . بنابراین بهینه سازی ناحیه گیت – درین از لحاظ میدان الکتریکی و چگالی trap ها ، بیشترین تاثیر در بهبود عملکرد قطعه را داراست .

البته باید توجه داشت که اگرچه مسیر اصلی جریان نشتی GDIL است ، ولی معمولا مسیر غالب جریان نشتی بستگی به تکنولوژی ساخت و اینکه در کدام مراحل ساخت trap ها ایجاد می شـوند دارد . یـک بهینه سازی کلی برای کاهش جریان نشتی لازم است . برای مثال ممکن است کسی تصور کند که با کـم کردن VNWELL اعمالی ، بتوان مسیر GIDL را کم نمود . ولی این باعـث افـزایش ولتـاژ ترشـولد و درنتیجه در هنگام خاموش شدن قطعه افزایش جریان نشتی اتصال (junction) شود .

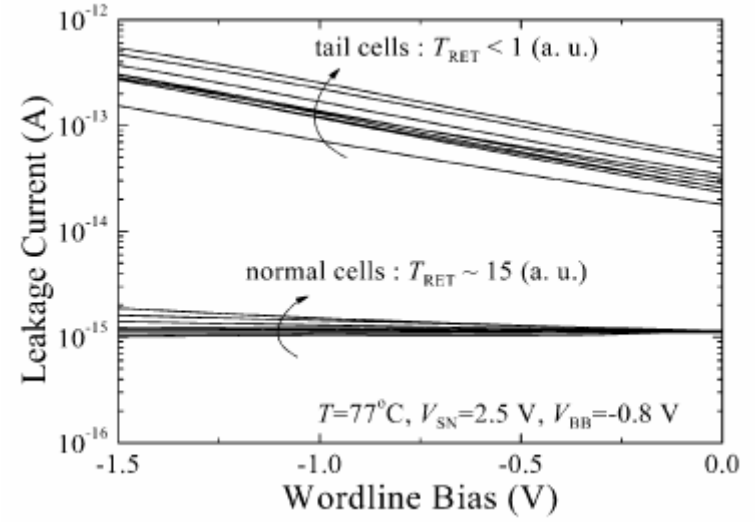
جریان نشتی در مقالات بسیاری بررسی شده است . برای مثال در یکی از جدیدترین آنهـا [9] ، اثـرات ضخامت لایه اکساید بر این جریان و زمان نگاهداری مورد بررسی قرار گرفته شده است . در سلولهای بـا لایه اکساید ضخیم (5nm) ، در مرحله اول زمان نگاهداری وابسته به زمان تونل زنی بـین trap هـا در اکساید است و سپس با زمان $1/t$ در رابطه است . روشهای دیگری نیز برای یافتن زمان نگاهـداری ارایـه شده است . برای مثال در مرجع [10] روشی جدید ارایه شده است که تا تکنولوژی 80nm را پاسخ مـی دهد . قبل از آن نیز روشی مشابه توسط همین گروه در مرجع [11] با استفاده از green function ارایه شده بود که این روش برای تکنولوژی 0.18 میکرون بکار گرفته شده بود . در شکلهای 18 تـا 21 جنـد نمونه از نتایج این مقاله آورده شده است .



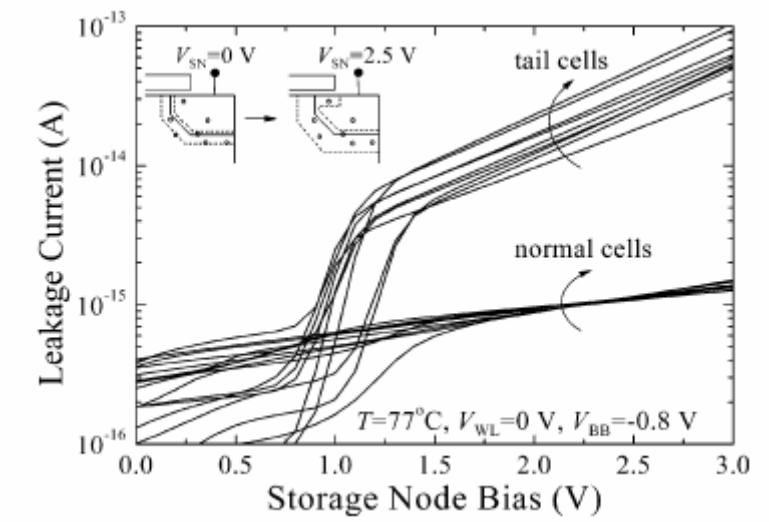
شکل 18 : تابع حساسیت جریان نشتی – یک ماکزیمم جریان نشتی در انرژی خاص trap و موقعیت خاص مشاهده می شود



شکل 19 : سهم زمان نگاهداری در ناحیه gate overlap (ناحیه A) و سایر نواحی (نواحی B)

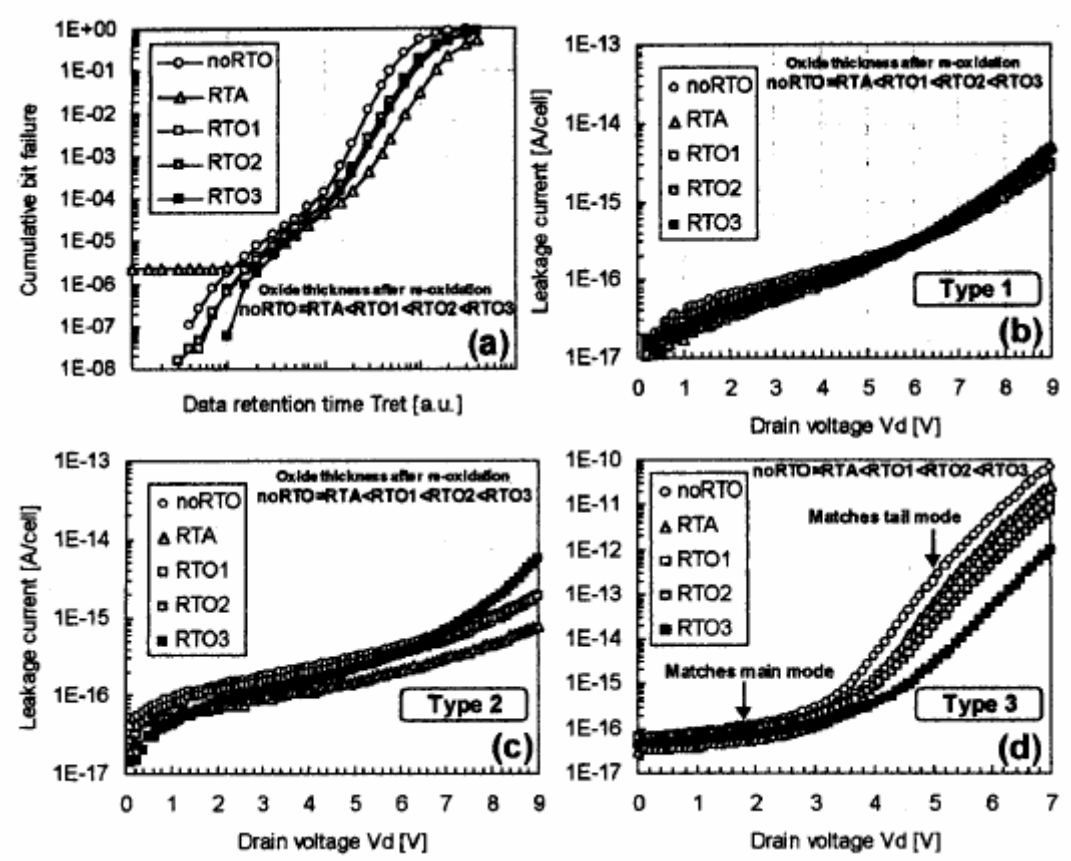


شکل 20 : وابستگی جریان نشتی به بایاس word line منفی در سلولهای دنباله و معمولی

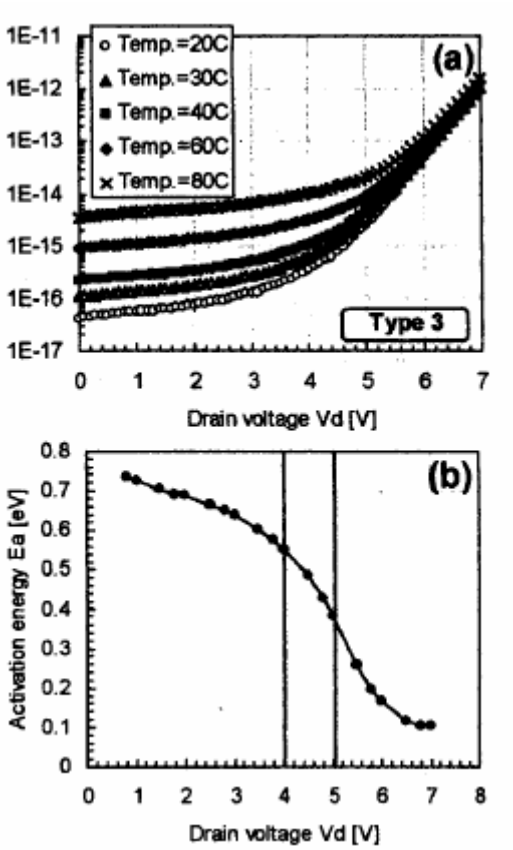


شکل 21 : وابستگی جریان نشتی به بایاس نقاط ذخیره در سلولهای دنباله و معمولی

در مرجع [7] نیز جریان نشتی از روشهای مختلفی بدست آمده (که همانطور که قبلا گفته شد تمامی آنها حجم زیادی از سلولها را به صورت کلی ، و نه انفرادی ، بررسی نموده اند و این روشها دقیق نمی باشند) که حاصل آنها در شکلهای 22 و 23 نمایش داده شده اند .

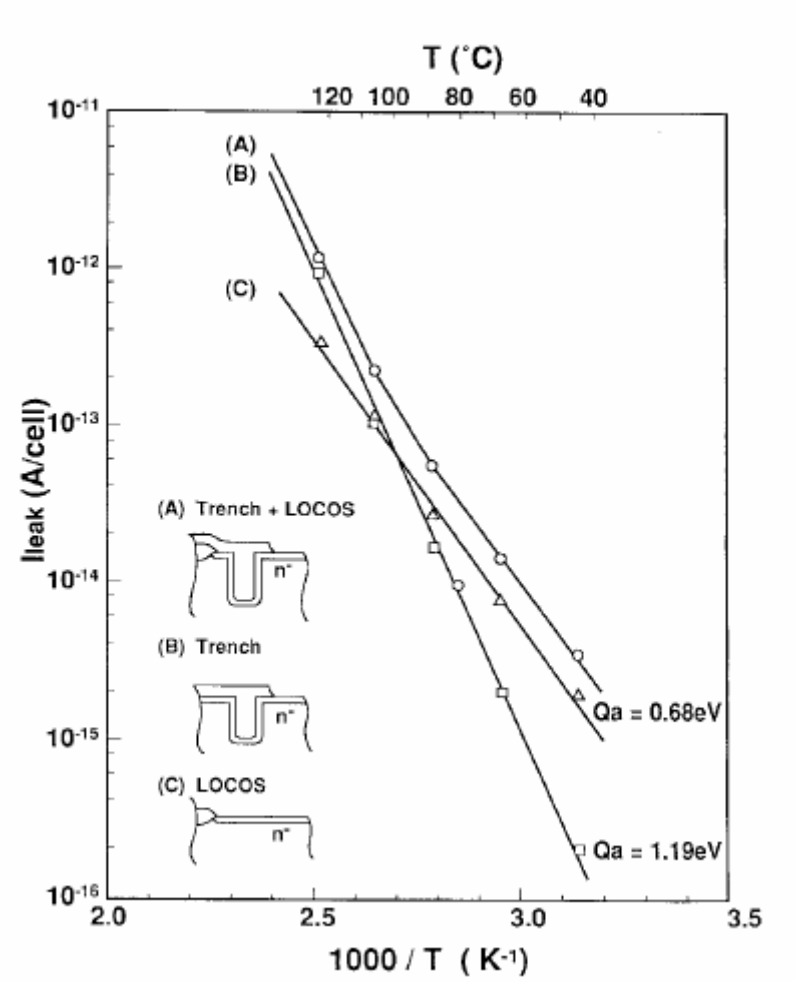


شکل22 : وابستگی جریان نشتی به ولتاژ درین



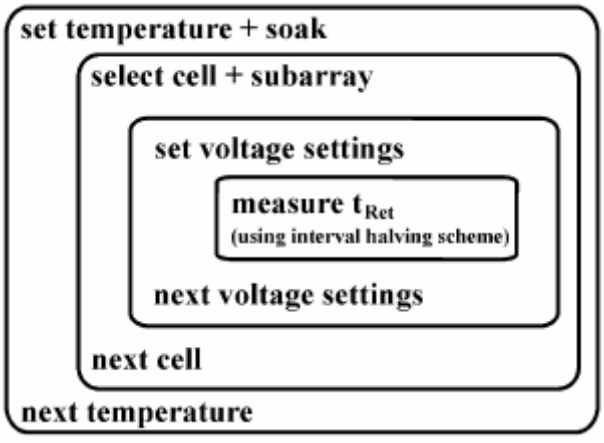
شکل 23 : (a) وابستگی جریان نشتی به درجه حرارت و ولتاژ درین
(b) وابستگی انرژی فعال سازی به ولتاژ درین

در مرجع [5] نیز وابستگی جریان نشتی به درجه حرارت مانند شکل 24 نشان داده شده است .

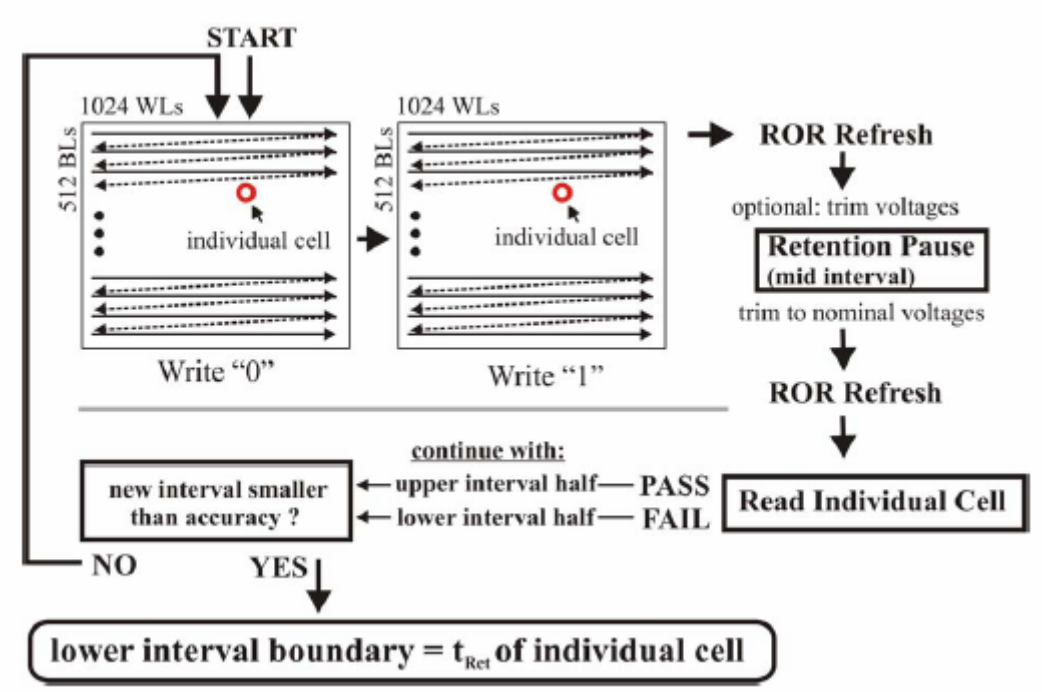


شکل 24 : (a) وابستگی جریان نشتی به درجه حرارت (a) خازن Trench و ایزوله سازی Locos (b) خازن Trench (c) ایزوله سازی Locos

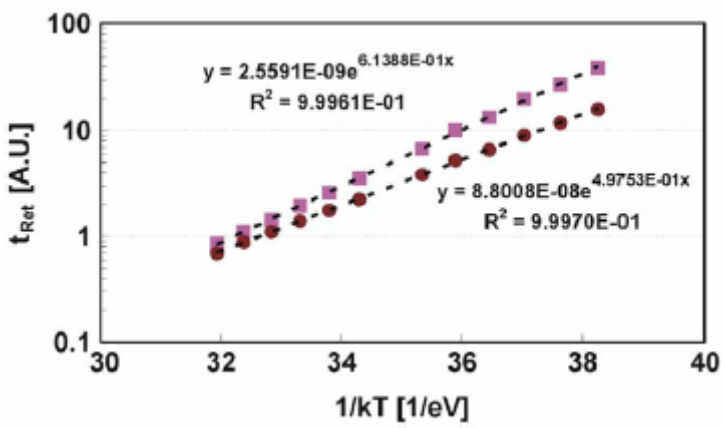
در زیر شکلهای دیگری از مرجع [4] آورده شده است که ما در اینجا تنها نتـایج ایـن مقالـه را بررسـی نموده ایم و تنها شکلهای موجود در مراحل کار آن را آورده ایم .



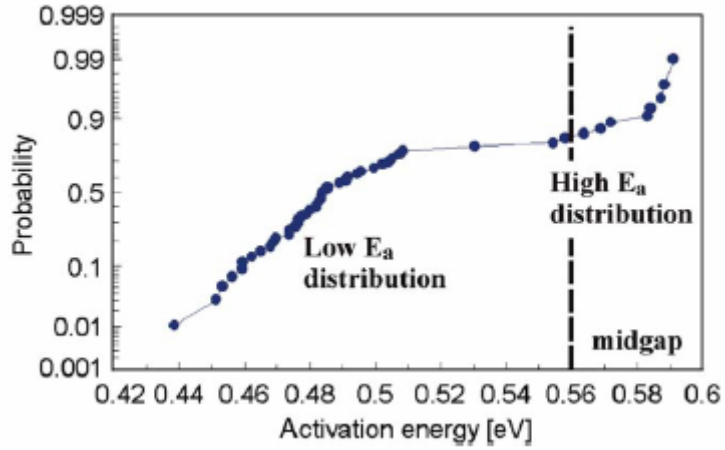
شکل 25 : مراحل اندازه گیری t_{Ret} در مرجع[4]



شکل 26 : مراحل محاسبه t_{Ret} در سلول انفرادی در مرجع[4]



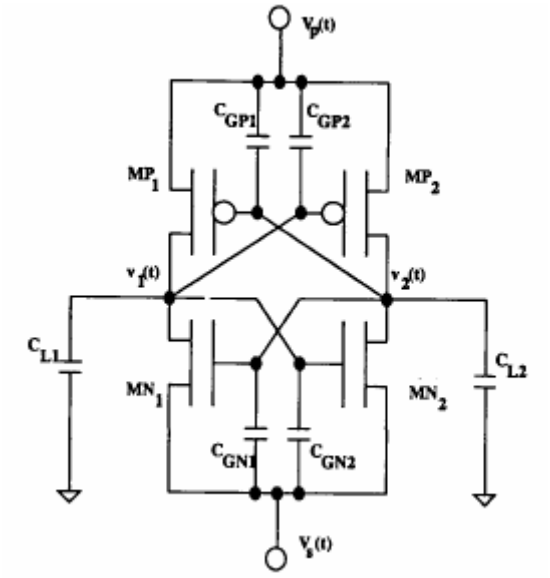
شکل 27 : زمان نگاهداری دو سلول انفرادی در مرجع[4]



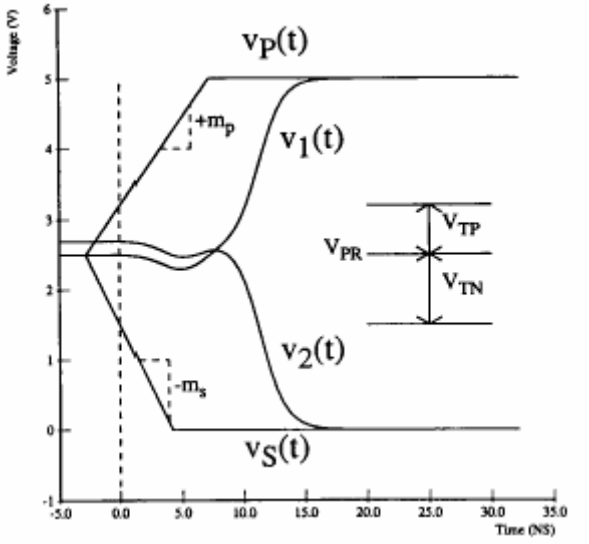
شکل28 : توزیع Ea برای سلولهای A در شکل 15 در مرجع[4]

در مراجع دیگر نیز جریان نشتی و زمان نگاهداری به روشهای مشابه محاسبه شده است . [12, 13, 14, 15, 16]

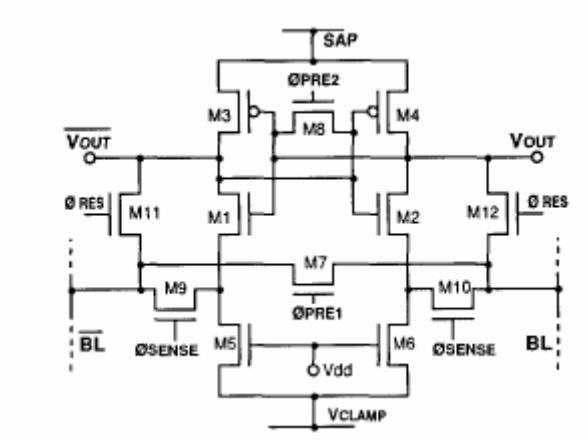
در اینجا ، مدارات به روزرسانی را مورد بررسی قرار می دهیم . در مقالات بسیاری ، بر روی مدارات به روز رسانی بررسی انجام شده است [17],[18],[19],[20],[21],[22] . مدار به روز رساننده از یک حسگر ، که جریان نشتی را تشخیص می دهد و یک مدار به روز رسان استفاده می شود . به مدار حسگر Sense amplifier گفته می شود . در شکلهای 29 تا 38 مداراتی که در این مقالات به عنوان مدار به روز رساننده (Refresh) ارائه شده است نمایش داده شده است .



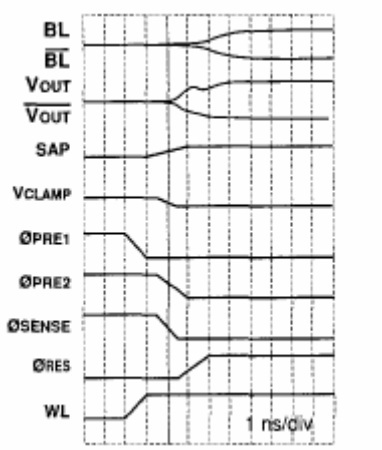
شکل 29 : sence amplifier در مرجع [17] و [18]



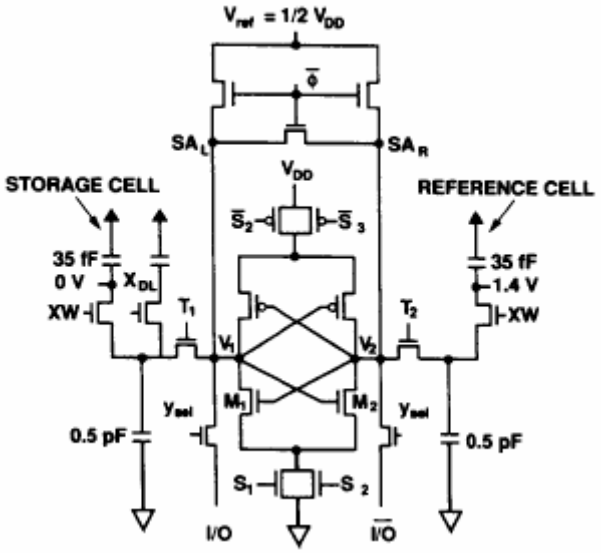
شکل 30 : شکل موج ولتاژ نقاط مختلف در مدار شکل 29



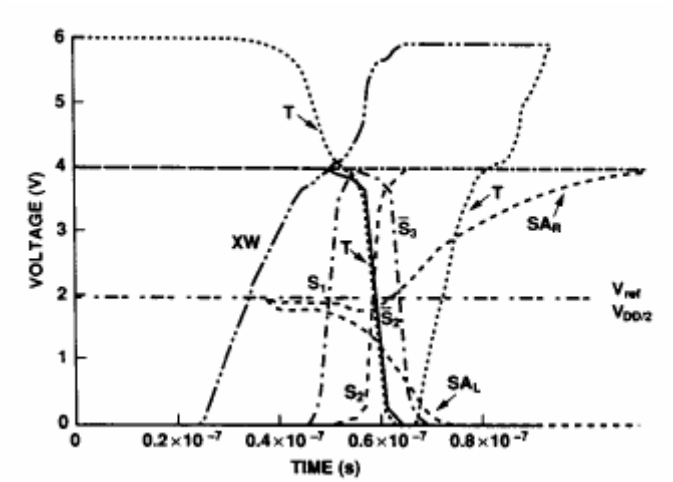
شکل 31 : sence amplifier در مرجع [19]



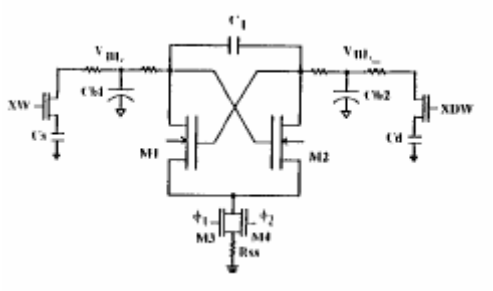
شکل 32 : شکل موج ولتاژ نقاط مختلف در مدار شکل 31



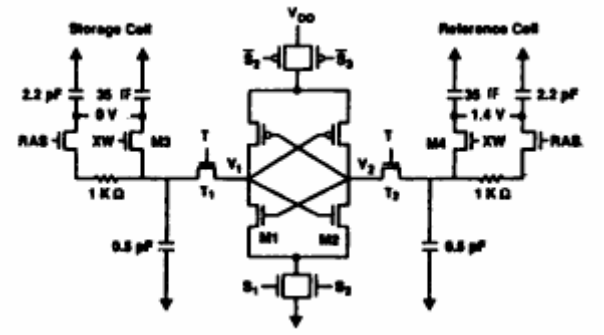
شکل 33 : sence amplifier در مرجع [20]



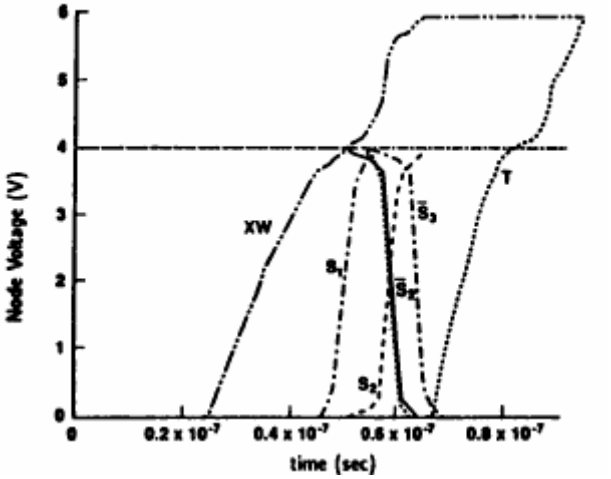
شکل 34 : شکل موج ولتاژ نقاط مختلف در مدار شکل 33



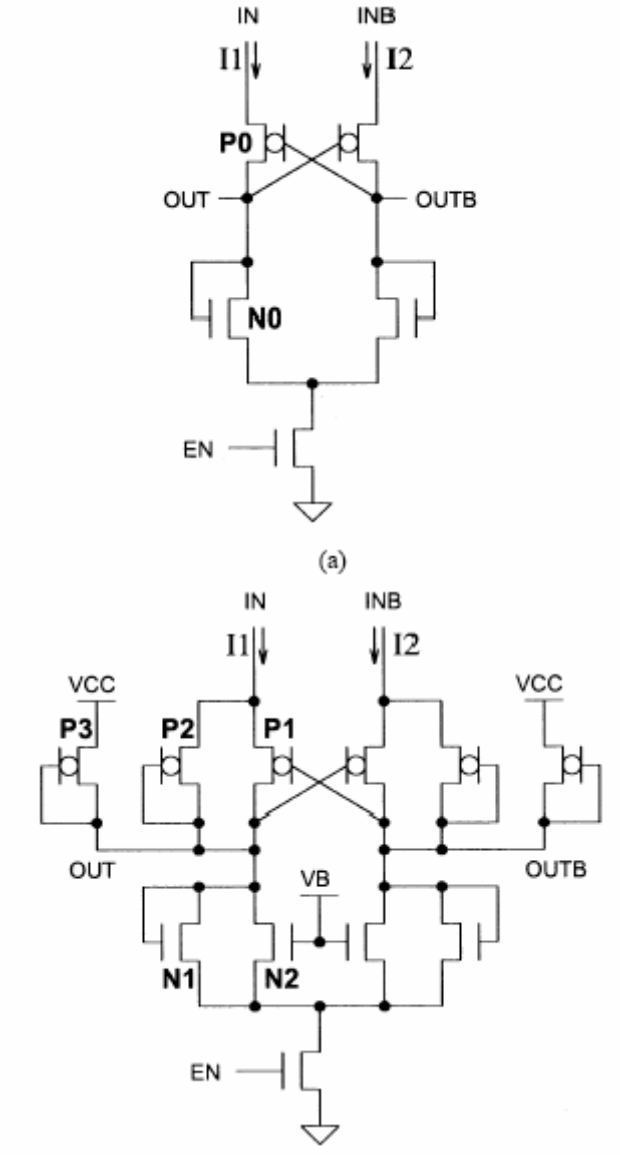
شکل 35 : sence amplifier در مرجع [21]



شکل 36 : sence amplifier در مرجع [22]



شکل 37 : شکل موج ولتاژ نقاط مختلف در مدار شکل 36



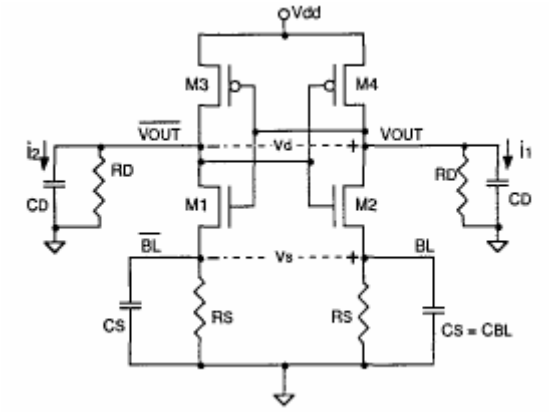
شکل 38 : دو نمونه sence amplifier در مرجع [23] a : نوع عمومی b : نوع هیبرید فولد شده

همانطور که ملاحظه می شود اساس کار در اکثر مداراتی که در مقالات فوق معرفی شده اند ، یکسان می باشد و تفاوتهای کوچکی در مدارات مختلف دیده می شود. البته مقالاتی که به بررسی مدارهای بـه روز رساننده و sense amplifier پرداخته اند ، به مقالات فوق محدود نمی شوند . برای مثـال مـی تـوان از مراجع [32,33,34] و ... نام برد. اما ، ما دراینجا به عنوان نمونه به بررسی مدار شکل31 در مرجـع [19] مـی پـردازیم . ایـن مـدار دارای سـه مرحلـه عملکـرد مـی باشـد : Precharge ، Sense و Charge restoration . در شروع Precharge ، SAP به حدود 3 ولت می رسد (منبع تغذیه در این مـدار 5 ولـت در نظر گرفته شده است .) و V_{clamp} به VDD/3 ، در حدود 1.6V ، می رسد . Φ_{Sense} فعال می شـود و بدین وسیله خطوط بیت (Bit Line) به نقاط سنجش ، یعنی سورسهای M2 , M1 ، از طریق سوییچهای M10 , M9 ، متصل می شوند . Φ_{pre1} نیز فعال می شود و با روشن کـردن ترانزیـستور M7 ، خطـوط بیت (Bit Line) را یکی می کند . با فعال شدن Φ_{pre2} نیز خطوط خروجی از طریق M8 به هـم متـصل شده و مقدار آنها یکسان می شود . M11 و M12 خاموش می باشند و این باعث می شـود کـه خطـوط خروجی آمپلی فایر حسگر و خطوط بیت (Bit Line) از هم ایزوله باشـند . ترانزیـستورهای M5 , M6 روشن بوده و در ناحیه خطی بایاس شده اند و بین ولتاژ نقاط سنجش و Vclamp قرار دارند .

مرحله Sense با پایین آمدن Φ_{pre1} و فعال شدن word line در آرایه مورد نظر آغاز مـی شـود . SAP پس از غیر فعال شدن Φ_{pre1} ، به VDD می رود. پس از مدت زمـانی Φ_{pre2} پـایین مـی رود و بـدین ترتیب Latch ساخته شده از ترانزیستورهای M1 , M2, M3 و M4 اختلاف جریـان موجـود بـین دو نقطه سنجش را می یابد . این نقاط (سورس ترانزیستورهای M1 و M2) بسیار کم مقاومت بوده و امکان این امر فراهم است که تمامی جریان نشتی بـه ایـن نقطـه مـدار وارد شـود . و از طرفـی نقـاط دریـن ترانزیستورهای M1 و M2 بسیار کم خازنی بوده و در مقایسه با خاصیت شدید خـازنی خطـوط بیـت ، جریان باز هم علاقه به وارد شدن به این محل را دارد . در نتیجه جریان نشتی به سرعت حس شده و بـا فیدبک مثبت موجود سریعا Latch تغییر حالت داده و خروجی مورد نیاز در خطوط خروجی فـراهم مـی گردد . از آنجایی که gm1 و gm2 بسیار بزرگ می باشند ، در نتیجه فـرض کـم مقاومـت بـودن نقـاط سنجش صحیح است .

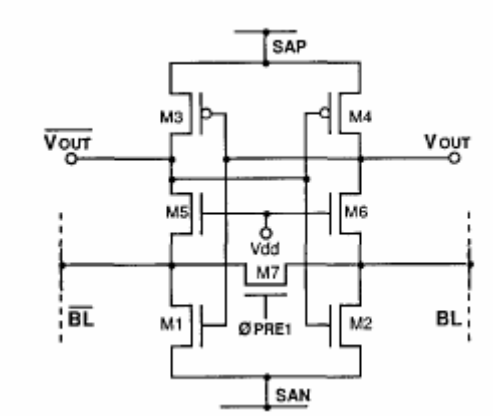
مرحله Charge restoration با خاموش شدن M9 و M10 و همزمـان روشـن شـدن M11 و M12 بـا Φ_{res} ، آغاز می شود . بدین ترتیب خطوط خروجی آمپلی فایر به خطـوط بیـت متـصل شـده و مقـدار خطوط بیت به مقدار خطوط خروجی به روز رسانی می شوند . با پایین آمدن Φ_{sense} ، Vclamp زمـین می شود و در نتیجه خطوط بیت می توانند با Latch به صفر ولت برسند .

در این مقاله مدار معادلی نیز برای مدار به روز رسان معرفی شـده آورده شـده اسـت کـه در شـکل 39 ملاحظه می شود. نام مدار به روز رسان معرفی شـده در ایـن مقالـه Clamped-bit sense amplifier است .



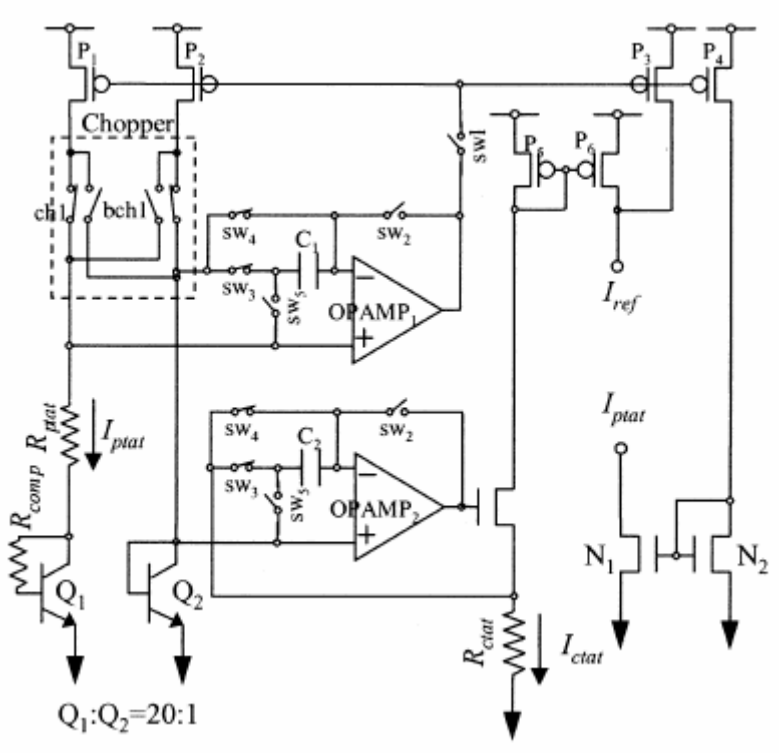
شکل39 : مدار معادل ساده برای شکل 31

در شکل 32 شکل موجهای نقاط مختلف مدار شکل 31 و نیز زمانبندی های آن نمایش داده شده است . در مرجع [19] علاوه بر مدار شکل 31 مدار شکل 40 نیز به عنوان مدار آمپلی فایر حسگر مرسوم نشان داده شده است . اما همانطور که ملاحظه می شود اساس کار هر دو مدار یکی است .



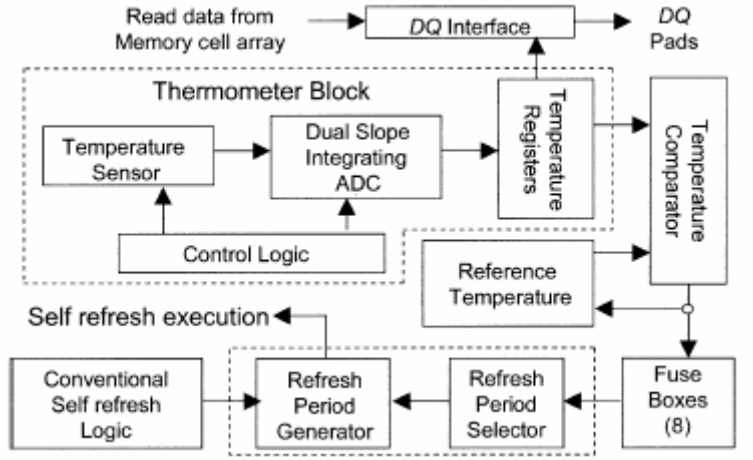
شکل40 : sence amplifier عمومی در مرجع [19]

در برخی مقالات از سنسورهای حرارتی نیز در ساختار حافظه های دینامیکی استفاده شده است . بـرای مثال در مرجع [24] مدار سنسور حرارتی مانند شکل 41 آورده شده است .



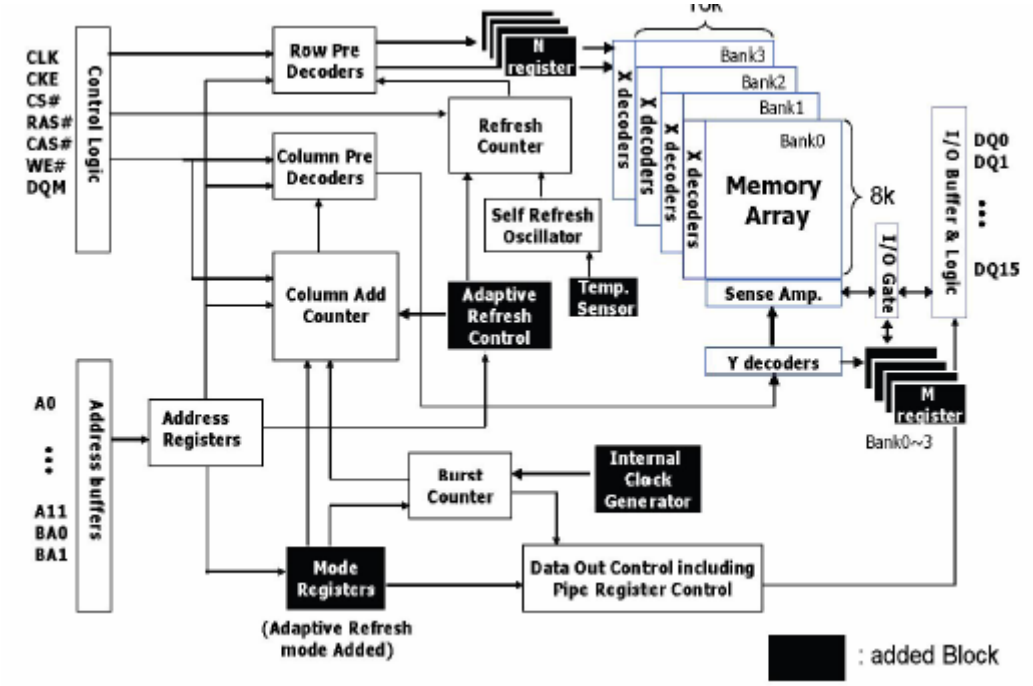
شکل 41 : شماتیک مدار سنسور حرارتی در مرجع [24]

و سپس بلوک دیاگرامی برای مدار به روزرسان با وجود حسگر حرارتی آورده شده است که در شکل 42 نمایش داده شده است .



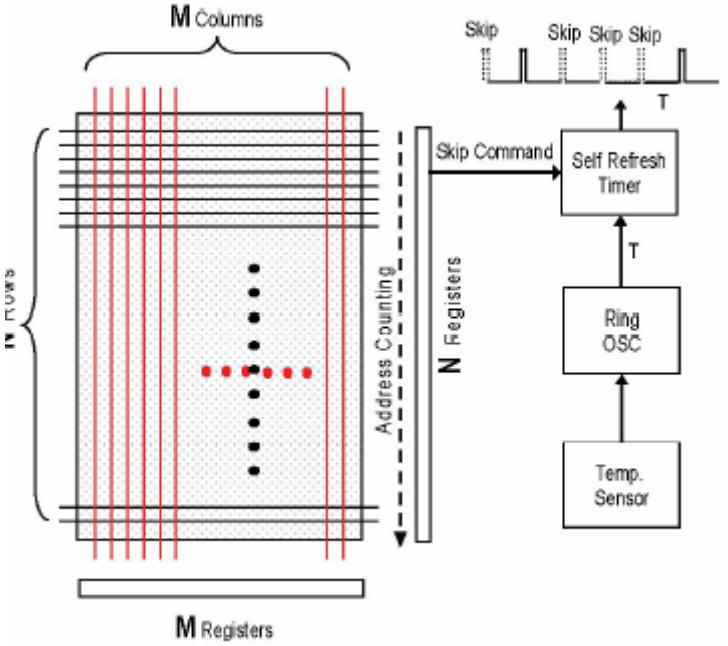
شکل 42 : بلوک دیاگرام مدار به روز رسان در مرجع [24]

و در مرجع [25] نیز بلوک دیاگرامی مانند شکل 43 آورده شده است .



شکل 43 : بلوک دیاگرام مدار به روز رسان در مرجع [25]

همانطور که در شکل 43دیده می شود ، در این روش به روز رسانی ، تمامی خانه های حافظه دائما به روز رسانده نمی شوند . بلکه تنها خانه هایی از حافظه به روز رسانده می شوند که در حال استفاده می باشند . این ایده از آنجا آمده است که مشاهده شده است که در بسیاری از موارد ، تمامی خانه های حافظه بـه کار نمی روند و تنها بخشی از آنها می باشند که دارای اطلاعات می باشند . در دو مرجع یاد شده , [25] [24] ، با استفاده از سنسور حرارتی از میزان استفاده از آرایه های حافظه که در اثر کاربرد حرارتـشان بالا رفته است ، مطلع شده و تنها آنها را در پروسه به روزرسانی وارد می کنند . همانطور که در شکل 44 ملاحظه می شود ، برخی از سیکلهای به روز رسانی حذف شده اند (skip) . این روش باعث کاهش تـوان مصرفی در حافظه ها می شود .

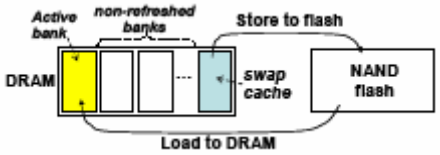


شکل 44 : بلوک دیاگرام روش بکار رفته به روز رسانی در مرجع [25]

در مرجع [26] ، از سیستم عامل جهت تشخیص آرایه های حافظه که مورد استفاده هستند از دیگران استفاده شده است . در این مرجع الگوریتم زیر آورده شده است :

```
Algorithm:
Initialization:  all banks are in refresh mode, the last bank is the
flash cache; all pages in DRAM are inactive;
At t = t2,
 find minimum number of memory banks that allocate all active
pages; move other banks to non-refresh mode;
for each access to a page AP
if page is in DRAM, access AP directly;
    else
   {find an inactive page (RP) in (non-cache) DRAM refresh-
banks;
   if no inactive pages then
      if there is a non-refresh bank, then move it to refresh
        mode;(RP = the first page in this bank);
     else
     { find CFLRU page (CFP),
       if CFP is dirty, then move CFP to cache,
         load demand page to RP (or CFP) page   }
 }
do page & bank aging
 end
move page to cache:
      find an empty page (EP) in cache;
      if EP is not found
          find a non-refresh bank (NRB) in DRAM;
          if NRB exists, then move NRB to cache;
                  let EP be first page in this bank;
          Else
             {find LRU cache page (LP) ;
              store content of LP to the flash memory;
               empty page LP;     }
     drop page to empty page EP (or LP);
Page & bank aging:
for each cache bank do
  {for each cache page do
    {if page is not accessed in t3, drop page to flash, empty page;
    else if a cache bank has only empty pages
    then move the bank to the non-refresh mode}}
for each refresh non-cache bank do
   {for each refresh page (RP) do
     {if RP is not accessed in t1
     then if RP is dirty, then move RP to cache;
                 move RP to the inactive mode;
     if bank has no active pages, move it to the non-refresh mode }
        }
```

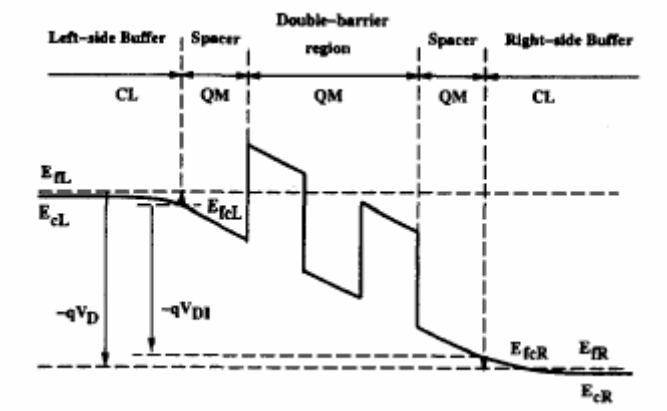
همانطور که در شکل 45 ملاحظه می شود ، در این روش از یک حافظــه Flash بــرای ذخیــره اطلاعــات استفاده شده است (Backup) .



شکل 45 : شماتیکی از روش ارایه شده در مرجع : [26]

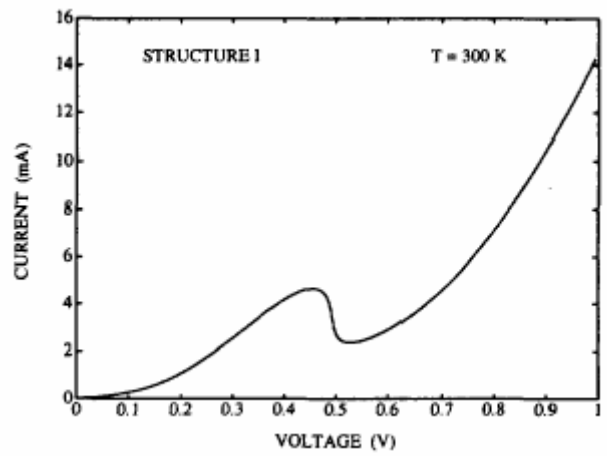
استفاده از RTD

همانطور که ملاحظه شد در حافظه های دینامیکی احتیاج به مدارات به روز رساننده ، حجم مدارات و پیچیدگی آنها را بسیار افزایش داده است . علاوه بر آن تلفات انرژی بسیار زیادی نیز در این نوع حافظه ها وجود دارد . در برخی از مقالات ، با استفاده از قطعاتی که در مشخصه ولتاژ جریان خود ، دارای مقاومت منفی می باشند ، نیاز به این مدارات به روز رساننده را حذف نموده اند . برخی از این مقالات حافظه حاصله را نوعی SRAM ، برخی دیگر نوعی DRAM و برخی دیگر نیز تبدیل DRAM به SRAM نامیده اند . در اکثر این مقالات از دیود تونل زنی تشدیدی (RTD) ، به عنوان قطعه با ناحیه مقاومت منفی استفاده شده است . این قطعه که یک قطعه کوانتومی محسوب می شود ، با توجه به ساختار بسیار کوچک آن ، می تواند در ابعاد بسیار کوچک ساخته شود و جایگزینی بسیار مناسب برای ترانزیستورهای MOS محسوب می شود . این قطعه محدودیتهای ساخت ترانزیستورهای MOS را دارا نمی باشد و با تنظیم ساختار آن می توان توان مصرفی آن را بسیار پایین آورد و ولتاژ و جریان کاری آن را به مقدار دلخواه تنظیم نمود . در شکل 46 ساختار باند این قطعه نشان داده شده است [27].



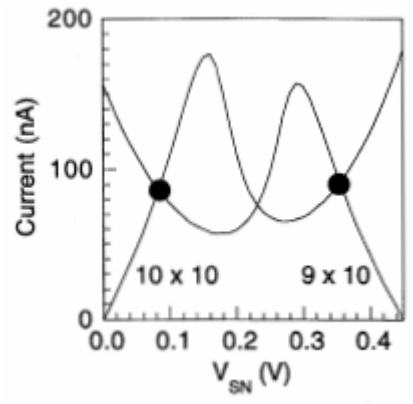
شکل **46** : ساختار باند **RTD**

مشخصه I-V این قطعه نیز در شکل 47 آورده شده است .

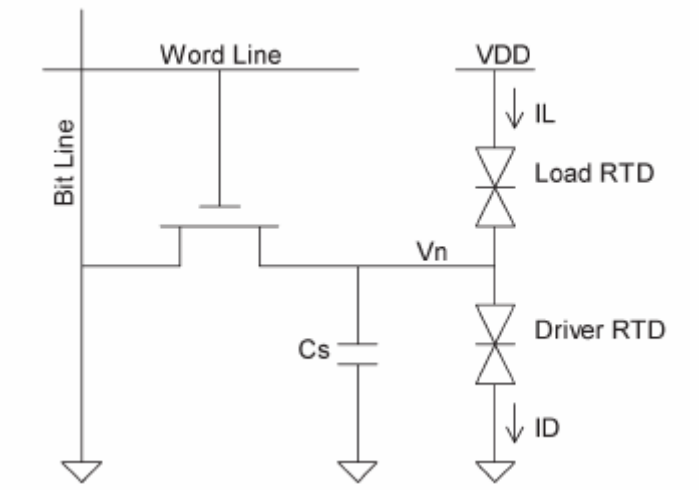


شکل **47** : منحنی ولتاژ – جریان **RTD**

حال منحنی حاصل از تلاقی مشخصه I-V دو RTD در شکل 48 نشان داده شده است . مدار مورد بررسی نیز در شکل 49 نمایش داده شده است . این مدار از مرجع [28] آورده شده است .

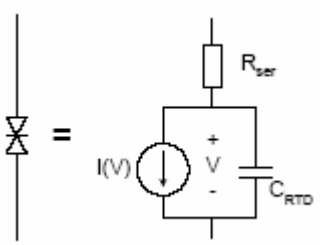


شکل **48** : تلاقی منحنی ولتاژ – جریان دو**RTD**



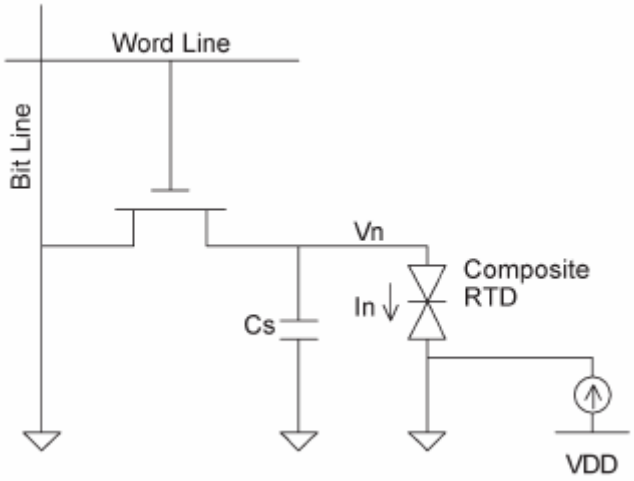
شکل **49** : مدار یک سلول حافظه با استفاده از دو **RTD**

ملاحظه می شود که این دو منحنی دو نقطه پایدار را نشان می دهند . در نتیجه مدار شکل 49 داری دو نقطه پایداری می باشد . با تنظیم ساختار RTD ها می توان ولتاژ دو نقطه فوق را در سطوح ولتاژی یک و صفر قرار داد . و همچنین می توان سطح جریان را بسیار پایین آورد تا تلفات بسیار کم شود . خازن Cs نیز می تواند حذف شود و از خازن ساختار RTD استفاده شود. همانطور که در شکل 50 نشان داده شده است مدار معادل RTD شامل خازن نیز می باشد و در نتیجه می توان از آن خازن جهت ذخیره شارژ استفاده نمود . حذف مدارات refresh و نیز خازن سلولهای حافظه ، حجم مدار را بسیار کاهش می دهد . همچنین ملاحظه می شود که این مدار پیچیدگی مدارهای SRAM را نیز ندارد و در نتیجه می تواند به عنوان مداری بسیار مناسب برای حافظه ها استفاده شود .



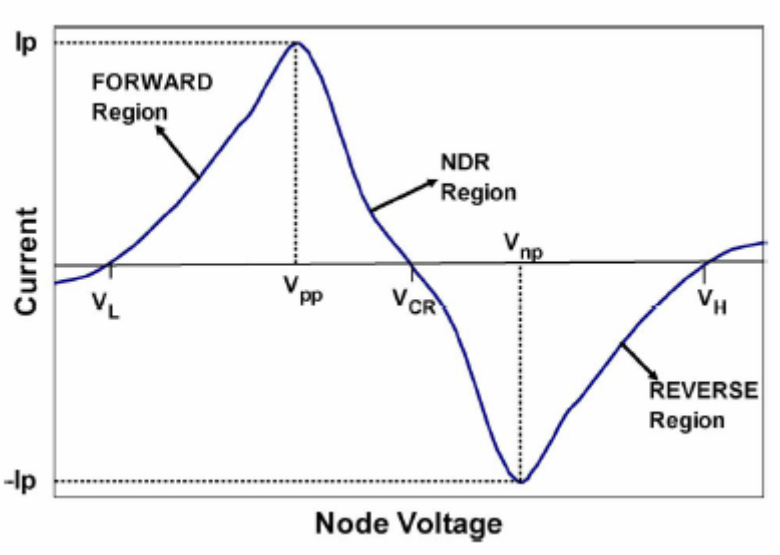
شکل 50 : مدار معادل RTD

این مـدار (شـکل 49) ، در بـسیاری از مقـالات [29] , [30] , [31] و ... آورده شـده اسـت . ولـی در مرجع[28] که یکی از جدید ترین مقالات نیز می باشد ، مداری جدید با نـام مـدار Composite ارائـه شده است .



شکل 51 : مدار یک سلول واحد با استفاده از یک RTD (Composite)

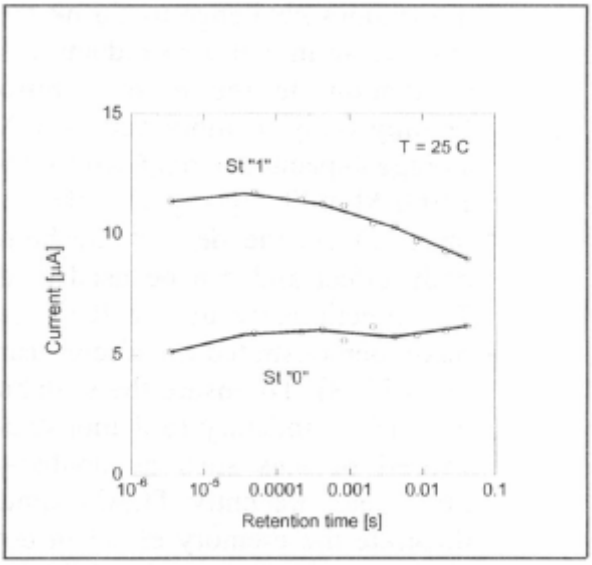
در مدار نشان داده شده در شکل 51 ، همانطور که در مرجع [28] ذکر شده اسـت ، بـا حرکـت بـر روی منحنی RTD ، دو نقطه پایدار که جریانی نزدیک به صفر دارد بدست می آید . این جریان RTD همـان جریان نشتی خازن و یا ترانزیستور مدار می باشد . شکل 52 منحنی IV این مدار را نشان می دهد .



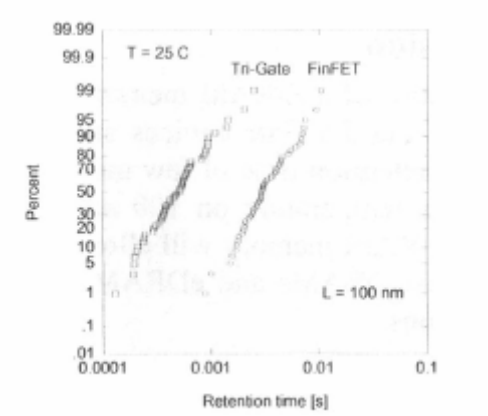
شکل 52 : منحنی IV نقطه n در مدار شکل 51

در واقع RTD در این مدار در دو حالت مستقیم و معکوس بایاس می شود . حذف یکی از RTD ها باز هم حجم مدار را کاهش می دهد .

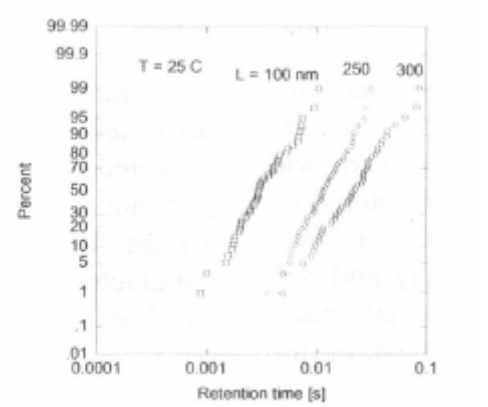
در اینجا در شکلهای 53 تا 56 ، منحنی های زمان نگاهداری برای حافظه های ZRAM را ، که قبلا بررسی شد ، آورده ایم . [1]



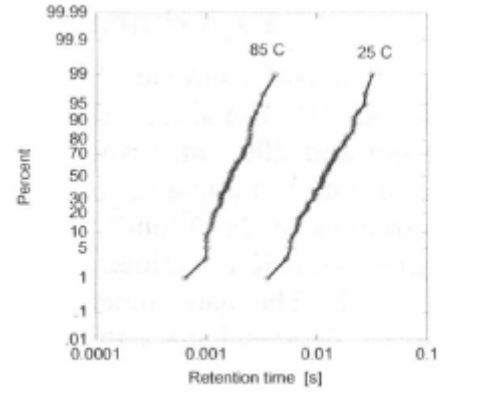
شکل 53 : مشخصه زمان نگاهداری در یک سلول ZRAM



شکل 54 : مشخصه زمان نگاهداری اندازه گیری شده در یک سلول ZRAM با طول L=100nm



شکل 55 : مشخصه زمان نگاهداری اندازه گیری شده در یک سلول ZRAM با طولهای متفاوت



شکل 56 : مشخصه زمان نگاهداری اندازه گیری شده در یک سلول ZRAM با طول L=250nm در دماهای متفاوت

روزبه عابدینی نسب

مراجع

[1] M. Nagoga, S. Okhonin, C. Bassin, P. Fazan, W. Xiong, C. R. Cleavelin, T. Schulz, K. Schruefer, M. Gostkowski, P. Patruno, C. Maleville, "Retention characteristics of Zero-Capacitor RAM (Z-RAM) cell based on FinFET and Tri-Gate Devices," *IEEE. International SOI Conference* Section #9, pp. 203–204, 2005.

[2] D. Fisch, R. Beffa, C. Bassin, "Soft Error performance of Z-RAM Floating Body Memory", *IEEE. International SOI Conference* Proceedings, pp. 127–128, 2006.

[3] S. K. Moore, "Masters Of Memory", *IEEE Spectrum NA*, pp. 45-49, January 2007

[4] A. Weber, A. Birner, W. Krautschneider, "Method of activation energy analysis and application to individual cells of 256Mb DRAM in 110nm technology", *Solid State Electronics 50* , pp. 613-619, 2006

[5] T. Hamamoto, S. Sugiura, S. Sawada, "On the retention time of dynamic random access memory (DRAM)", *IEEE Tranactions Electron Devices* pp. 1300-1309, 2000

[6] K. Yamaguchi, "Theoretical study of deep-trap-assisted anomalous currents in worst-bit cells of dynamic random access memories (DRAM's)", *IEEE Tranactions Electron Devices*, 47(4), pp. 774-780, 2000

[7] K. Saino, S. Horiba, S. Uchiyama, C. Hu, "Impact of Gate-Induced Drain Leakage current on the Tail distribution of DRAM data retention time", *IEEE IEDM TECH DIG*, pp. 837-840, 2000

[8] J-H. Yi, "Off-State current model for tail mode retention time distribution of 256 Mb DRAM cell with negative wordline bias", *J Korean Phys Soc 45(5)*, pp. 1338-1342, 2004

[9] S-H. Gu, C-W. HSU, T. Wang, W-P. LU, Y-H. Ku, C-Y. LU, "Numerical simulation of bottom oxide thickness effect on charge retention in SONOS flash memory cells", *IEEE Transaction devices*, Vol. 54, No. 1, pp. 90-97, January 2007

[10] S. Jin, M. Lee, J. Yi, J. Hoon Choi, D. Kang, Y. Park, H. Min, "A New Direct Evaluation Method to Obtain the Data Retention Time Distribution of DRAM," *IEEE Transactions on electron devices*, vol. 53, No. 9, pp. 2344–2350, Mar. 2006.

[11] S. Jin, M. Lee, J. Yi, J. Hoon Choi, D. Kang, Y. Park, H. Min, "Prediction of Data Retention Time Distribution of DRAM by Physics-Based Statistical Simulation," *IEEE Transactions on electron devices*, vol. 52, No. 19, pp. 2322–2429, Nov. 2005.

[12] R. Arghavani, N. Derhacobian, V. Banthia, M. Balseanu, N. Ingle, H. M'Saad, S. Venkataraman, E. Yieh, Z. Yuan, L-Q. Xia, Z. Kirvokapic, U. Aghoram, K. Mac Williams, and S. E. Thompson, "Strain Engineering to improve Data Retention Time in Nonvolatile Memory," *IEEE Transactions on electron devices*, vol. 54, No. 2, pp. 362–365, Feb. 2007.

[13] J. Sarkar, S. Dey, D. Shahjerdi, K. Banerjee, "Vertical Flash Memory Cell with Nanocrystal Floating Gate for Ultradense integration and Good Retention," *IEEE Transactions on electron devices*, vol. 28, No. 5, pp. 449–451, May. 2007.

[14] C. M. Compagnoni, A. S. Spinelli, A. L. Lacaita, "Experimental study of Data Retention in Nitride Memories by Temperature and Field Acceleration," *IEEE Electron Device Letter.*, vol. 28, No. 7, pp. 628–630, July. 2007.

[15] O. Ginez, J. M. Daga, P. Girard, C. Landrault, S. Pravossoudovitch , A. Virazel, "Retention and Reliability problems in embedded Flash Memories: Analysis and Test of Defective 2T-Flotox Tunnel Window," *25th IEEE VLSI Test Symmposium (VTS'07)* 2007.

[16] Y. Li, R. Huang, Y. Cai, F. Zhou, X. Shan, X. Zhang, Y. Wang,"A Novel Dual-Doping Floating-Gate (DDFG) Flash Memory Featuring Low Power and High Reliability Application," *IEEE Electron Device Letters*, vol. 28, No. 7, pp. 622–624, July. 2007.

[17] R. Sarpeshkar, J. L. wyatt, C. Lu, P. D. Gerber, "Analysis of Mismatch Sensitivity in a Simultaneously Latched CMOS Sense Amplifier", *IEEE Transaction Circuits and systems-II: Analog And Digital Signal Processing* , Vol. 39 No. 5, pp. 277-292, May 1992

[18] R. Sarpeshkar, J. L. wyatt, C. Lu, P. D. Gerber, "Mismatch Sensitivity of a Simultaneously Latched CMOS Sense Amplifie", *IEEE Journal of Solid-State Circuits, Vol. 26, No. 10, pp.1 413-1422, October 1991*

[19] T. N. Blalock, R. C. Jaeger, "A High-Speed Sensing Scheme for 1T Dynamic RAM's Utilizing the Clamped Bit-Line Sense Amplifier", *IEEE Journal of Solid-State Circuits, Vol. 27, No. 4, pp.618-625, April 1992*

[20] S. Aur, C. Duvvury, H. McAdams, C. Perrin, "Identification of DRAM Sense-Amplifier Imbalance Using Hot-Carrier Evaluation", *IEEE Journal of Solid-State Circuits, Vol. 27, No. 3, pp.451-453, March 1992*

[21] S. Yuan, J. Liou, "An Optimal Latching Waveform Design For Dynamic Sense Amplifiers", *IEEE CH2819-, 1991*

[22] S. Yuan, J. Liou, "An Optimal Latching Waveform Design For Dynamic Sense Amplifiers", *VLSITSA C3 pp. 90-93, 1991*

[23] J-Y. Sim, H. Yoon, K-C. Chun, H-S. Lee, S-P. Hong, K-C. Lee, J-H. Yoo, D. Seo, S-I. Cho, "A 1.8-V 128-Mb Mobile DRAM With Double Boosting Pump, Hybrid Current Sense Amplifier, and Dual-Referenced Adjustment Scheme for Temperature Sensor", *IEEE Journal of Solid-State Circuit* , Vol. 38, No. 4, pp.631-640, April 2003

[24] J-P. Kim, W. Yang, H-Y. Tan, "A Low-Power 256-Mb SDRAM with an On-Chip Thermometer and Biased Reference Line Sensing Scheme", *IEEE Journal of Solid-State Circuit* , Vol. 38, No. 2, pp.329-337, Feb 2003

[25] J-H. Ahn, "Adaptive Self Refresh Scheme for Battery Operated High-Density Mobile DRAM Applications", *IEEE 07803-9735-5/06*, pp. 319-322, 2006

[26] V-G. Moshnyaga, H. Vo, G. Reinman, M. Potkonjak, "Reducing Energy of DRAM/Flash Memory System by OS-controlled Data Refresh", *IEEE 1-4244-0921-7/07*, pp. 2108-2111, 2007

[27] W-R. Liou, P. Roblin, "High Frequency Simulation of Resonant Tunneling Diodes", *IEEE Transactions on ELECTRON DEVICES*, Vol. 41, No. 7, July 1994

[28] D. Akinwande, H-S. Philip Wong, "A Composite Circuit Model for NDR Devices in Random Access Memory Cells", *IEEE Transactions on ELECTRON DEVICES*, Vol. 54, No. 4, April 2007

[29] J. P. A. Van Der Wagt, "Tunneling Based S-RAM", *Proceeding of the IEEE*, Vol. 87, No. 4, pp. 571-595, April 1999

[30] J. Berg, S. Bengtsson, P. Lundgren, "Analysis of the use of Molecular Resonant Tunneling Diode for Local Refresh of Dynamic Random Access Memory Cellss", *Mat. Res. Soc. Symp. Proc. Vol. 679E @ 2001 Materials Research Society*, 2001

[31] N. Jin, S-Y. Chung, R. Yu, R-M. Heyns, P-R. Berger, P-E. Thompson, "The Effect of Spacer Thicknesses on Si-Based Resonant Interband Tunneling Diode Performance and Their Application to Low-Power Tunneling Diode SRAM Circuits", *IEEE Transactions On Electron Devices, Vol. 53 No.9*, pp. 2243-2249, September 2006

[32] T. Krihata, "An 800-MHz Embedded DRAM With Concurrent Refresh Mode", *IEEE Journals of Solid State Circuits, Vol. 40 No.*6, pp. 1377-1387, June 2005

[33] S. Hong, S. Kim, J-K. Wee, S. Lee, "Low-Voltage DRAM Sensing Scheme With Offset-Cancellation Sense Amplifier", *IEEE Journals of Solid State Circuits, Vol. 37 No.*10, pp. 1356-1360, October 2002

[34] G. Harutunyan, V. A. Vardanian, Y. Zorian, "Minimal March Tests for Dynamic Faults in Random Access Memories", *Proceeding of the Eleventh IEEE European Test Symposium(ETS'06)*, 2006