معکوس کننده ها

فهرست

مقدمه 2

3-1 سمبل مداری 2

3-2 معکوس کننده عملی، مشخصه VTC واقعی: 3

3-3 محدودیت های یک گیت معکوس کننده 5

3-3-1 مصونیت در برابر نویز و حاشیه نویز 5

3-3-2 توان مصرفی: 7

3-4 مشخصات الکتریکی و توان مصرفی معکوس کننده با بار مقاومتی: 8

3-4-1 توان مصرفی: 12

3-5-1 محاسبهٔ توان: 18

3-6 معکوس کنندهٔ CMOS 19

3-6-1 توصیف مدار: 19

3-6-1 بررسی سطوح ولتاژ: 24

3-7 طراحی یک معکوس کنندهٔ CMOS 28

3-7-1 مصرف توان: 30

3-8 عملکرد سوئیچینگ یک معکوس کننده CMOS 31

3-9 نوسانگر حلقوی 37

3-10 قفل شدگی 39

3 – 11 طراحی سوپر بافر 41

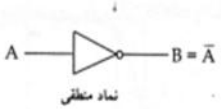
3-11-1 طرح یک بافر با معکوس کننده: 41

مقدمه

از مهمترین گیتهای منطقی که در طراحی انواع مدارات منطقی نیازمند وجود آن هستیم، گیت معکوس کننده یا **NOT** است. در این فصل هدف، بررسی ویژگیها و مشخصات این گیت ساخته شده توسط تکنولوژی **CMOS** است. مهمترین نکته این است که خصوصیات مطرح شده برای این گیت، قابل اعمال به دو گیت اصلی دیگر **NOR** و **NAND** نیز می باشد.

3-1 سمبل مداری

یک معکوس کننده در توصیف عملکرد خود می تواند از یک سیگنال در سطح "1" یا "0"، بترتیب "0" یا "1" را در خروجی تولید کند. معمولا این سطوح منطقی نسبت به زمین در نظر گرفته می شوند به طوریکه "1" همان V_{DD} نسبت به زمین و "0" همان V_{SS} یا خود اتصال زمین می باشند. از لحاظ مداری سمبل یک گیت **NOT** همراه با جدول ارزش گذاری برای آن در شکل **3-1** دیده می شود.



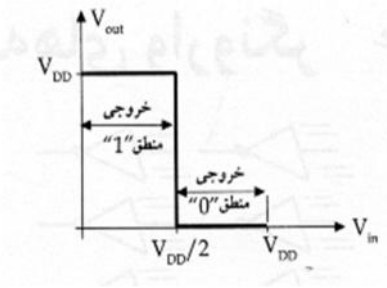
A	B
0	1
1	0

جدول درستی

شکل 3-1 سمبل مداری گیت NOT و جدول ارزش آن

ولتاژ خروجی نظیر به ورودی برای چنین گیتی معمولا از یک سطح آستانه تغییر می یابد، که نحوهٔ این تغییر را می توان بر اساس مشخصه ای موسوم به مشخصهٔ انتقالی بین ولتاژهای ورودی-خروجی (**V**oltage **T**ransfer **C**haracteristic) یا در اختصار **VTC**، ترسیم کرد. نتیجه بصورت شکل **3-2** خواهد بود.

با توجه به شکل اگر ورودی در سطح $0 < V_{in} < \frac{V_{DD}}{2}$ باشد خروجی "1" یا V_{DD} و اگر $\frac{V_{DD}}{2} < V_{in} < V_{DD}$ باشد، خروجی "0" (V_{SS} یا زمین، بسته به نوع مدار) خواهد بود.



شکل 2-3 مشخصهٔ VTC برای یک معکوس کننده

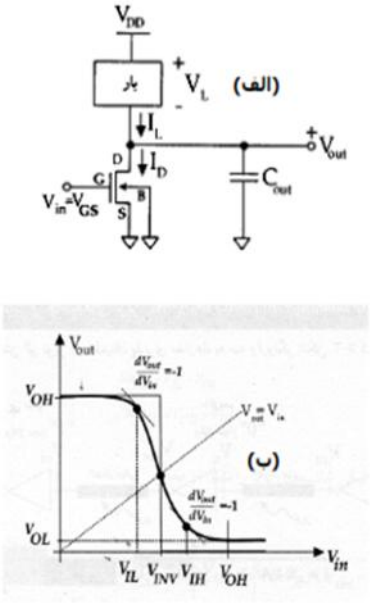
2-3 معکوس کننده عملی، مشخصه VTC واقعی:

آنچه که تاکنون ذکر شد مشخصات مربوط به یک معکوس کنندهٔ ایده آل بود، لیکن در عمل رفتار معکوس کننده اندکی متفاوت تر است. در شکل **3-3 (الف)**، یک مدار علمی از یک معکوس کننده، طراحی شده توسط **nMOS**، موسوم به *ترانزیستور درایور*، دیده می شود. با توجه به اتصال زمین بودن سورس ترانزیستور، ولتاژ رودی $V_{in}=V_{GS}$ و ولتاژ خروجی $V_{out}=V_{DS}$ هستند. توجه کنید که بدنه نیز اتصال زمین است ($V_{SB}=0$). بار در قسمت مربوط به ترمینال درین، بعنوان مصرف کنندهٔ مدار قرار گرفته است و ولتاژ و جریان آن ترتیب V_L و I_L است. همچنین با توجه به اینکه معمولا معکوس کننده، محرک مدار دیگری در خروجی خود است و این مدار دارای یک اثر ظرفیتی خواهد بود، مدل معادل آنرا با یک خازن C_{OUT} شبیه سازی نموده ایم. بعلاوه همواره جریان گیت در حالت DC صفر است. در این مدار داریم:

$$I_D = I_L \qquad (1)$$

با توجه به روابط موجود در فصل قبل و وابستگی جریان درین به ولتاژ گیت سورس، V_{GS}، همچنین ولتاژ درین سورس، V_{DS}، که به ترتیب V_{IN} و V_{OUT} نیز می باشند همچنین وابستگی جریان بار به ولتاژ بار، رابطهٔ (1) بیانگر ارتباط ولتاژ ورودی، خروجی و بار با یکدیگر نیز است. بدین معنی که از روابط (13) و (14) یا (15) از فصل قبل با توجه به ماهیت بار که بسته به نوع آن به شکل کلی $I_L = f(V_L)$ می تواند نوشته شود، میتوان **VTC** را که ارتباط $(V_{GS}=)V_{IN}$ با $(V_{DS}=)V_{OUT}$ است ترسیم نمود (توجه کنید که $V_{DD}=V_L+V_{DS}$). نتیجه برای یک ترانزیستور واقعی به شکل ترسیم شده در تصویر **3-3 (ب)** خواهد بود.

در سطوح ولتاژ کم ورودی، ولتاژ خروجی V_{OH} بوده که به منزلهٔ عدم وجود جریان درون بار، معادل با ترانزیستور در حالت قطع می باشد. با افزایش سطح ولتاژ ورودی، خروجی آغاز به کاهش می کند و در واقع جریان درین زیاد می شود. به بیان دیگر، ولتاژ درین تنزل می یابد.



شکل 3-3 الف) طرح مداری یک معکوس کننده nMOS، ب) VTC نظر به آن

البته این تنزل ولتاژ به شکل پیوسته بوده و حالت پرش شبیه به گیت ایده آل **شکل 3-2** را ندارد. روی منحنی شکل **3-3 (ب)** چند ولتاژ مختلف قابل رویت است این ولتاژ ها عبارتند از:

الف) مقدار حداکثر ولتاژ خروجی که آنرا با V_{OH} نشان می دهیم و همان "1" منطقی در خروجی است،

ب) مقدار حداقل ولتاژ خروجی که آنرا با V_{OL} نشان می دهیم و همان "0" منطقی در خروجی است،

ج) حداقل ولتاژ ورودی که هنوز می تواند بعنوان "1" بحساب آید و آنرا با V_{IH} نشان می دهیم ،

د) حداکثر ولتاژ ورودی که هنوز می تواند بعنوان "0" بحساب آید و آنرا با V_{IL} نشان می دهیم ،

ه) ولتاژ گذر از نقطهٔ $V_{IN}=V_{OUT}$ که آنرا با V_{INV} نشان می دهیم.

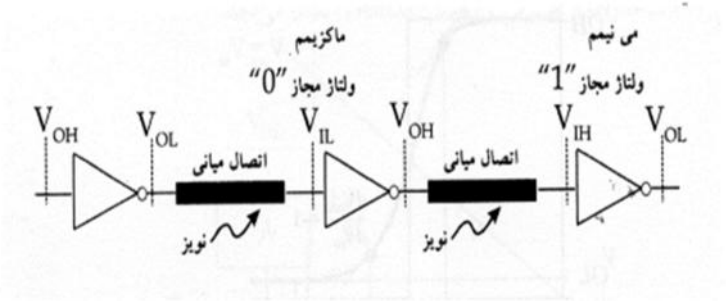
تذکر: توجه کنید که در نقاط بحرانی V_{IL} و V_{IH} رابطهٔ $\frac{dV_{OUT}}{dV_{IN}} = -1$ برقرار است.

3-3 محدودیت های یک گیت معکوس کننده

در استفاده از یک گیت معکوس کننده، پارامترهای زیادی را باید مد نظر قرار داد. از میان این پارامترها دو عامل از اهیمت ویژه ای برخوردارند. عامل اول مصونیت در مقابل نویز درون محیط و عامل دوم توان مصرفی گیت است. در این قسمت به بررسی عوامل فوق خواهیم پرداخت.

3-3-1 مصونیت در برابر نویز و حاشیه نویز (Noise Immunity and Noise Margin)

همانطوریکه ذکر شد از مهمترین عوامل تاثیر گذار بر عملکرد یک گیت می تواند نویز باشد چرا که یک نویز، هر چند کوچک، توانایی تغییر منطق خروجی یک گیت را به سادگی می تواند ایجاد نماید. جهت روشن تر شدن موضوع به شکل **4-3** توجه کنید.



شکل 4-3 نمایش اثر نویز در گیتهای معکوس کننده

فرض کنید هر سه معکوس کننده مشابه باشند و ورودی اولین گیت، V_{OH} یعنی "1" منطقی باشد. بر اساس مطالب قسمت قبل خروجی آن باید به V_{OL} یا "0" منطقی تغییر کند. اگر این خروجی توسط خط انتقالی مثل یک سیم یا پلی سیلیکون در درون آی سی به ورودی گیت دوم متصل شود، می تواند از اثر نویز تاثیر گیرد بطوریکه با اعمال نویز، این میسر اگر ورودی دومین گیت (پس از خط انتقال) از V_{IL} کمتر یا مساوی باشد، این ورودی هنوز "0" منطقی برای این گیت بحساب می آید. اما اگر این ورودی از V_{IL} بزرگتر شود گیت دوم عملکرد مناسبی را ارائه نخواهد داد [به شکل **3-3 (ب)** مراجعه کنید] لذا توصیف زیر برقرار است:

$$V_{OL} + \text{ولتاژ اعمال شده در اثر نویز} \le V_{IL}$$

$$\Rightarrow \quad \text{ولتاژ اعمال شده در اثر نویز} \le V_{IL} - V_{OL} \qquad (2)$$

اکنون خروجی گیت دوم را که قرار است "1" منطقی باشد در نظر بگیرید. در مقابل آن خط انتقالی، مثل حالت قبل، این خروجی را به ورودی گیت سوم متصل می کند. اگراثر نویز این ولتاژ V_{OH} را طوری تغییر دهد که از V_{IH}

بزرگتر یا مساوری باشد، این ورودی هنوز "1" منطقی برای این گیت بحساب می آید. اما اگر این ورودی از V_{IH} کمتر شود، گیت سوم عملکرد مناسبی را نخواهد داشت [مجدداً به **شکل 3-3 (ب)** و نیز تعاریف پنج ولتاژ توصیف شده در قسمت قبل مراجعه کنید]. پس با رابطه زیر برقرار باشد:

$$V_{OH} + \text{ولتاژ اعمال شده در اثر نویز} \geq V_{IH}$$

$$\Rightarrow \quad \text{ولتاژ اعمال شده در اثر نویز} \leq V_{OH} - V_{IH} \qquad (3)$$

پس با توجه به روابط (2) و (3)، می توان حداکثری را برای ولتاژ نویز اعمال شده به گیت برای سطح "1" یا "0" منطقی تعریف کرد. این فاکتور می تواند بعنوان حاشیهٔ نویز تعریف گردد. بعبارت دیگر:

$$\text{حداکثر حاشیهٔ نویز در سطح پائین} = V_{IL} - V_{OL} \equiv NM_L$$

$$\Rightarrow \quad \text{حداکثر حاشیهٔ نویز در سطح بالا} = V_{OH} - V_{IH} \equiv NM_H \qquad (4)$$

3-3-2 توان مصرفی:

در تکنولوژی **VLSI** تعداد گیتهای موجود درون یک آی سی، بسیار زیاد هستند. اگر محاسبات و کنترل توان آنها به دقت انجام نشود، توانهای بسیار زیادی در آنها مصرف شده که حاصل آن دمای بسیار زیاد آی سی خواهد بود. لذا عملاً استفاده از خنک کننده های مناسب در مدارات **VLSI** امری ضروری به نظر می رسد. برای یک نیمه هادی فرض کنید دمای پیوند T_jو دمای محیط اطراف آن T_aباشد. اگر P میزان اتلاف کل درون نیمه هادی باشد می توان پارامتر Θ را بعنوان مقاومت حرارتی بسته بندی این نیمه هادی تعریف کرد، بطوریکه:

$$\Theta \equiv \frac{T_j - T_a}{P} \qquad (5)$$

آنچه که مد نظر است معمولا نزدیکتر کردن دو دمای محیط و پیوند به یکدیگر است.

در یک مدار معکوس کننده، میزان جریانی که از منبع تغذیه کشیده می شود ضربدر ولتاژ آن بعنوان توان مصرفی DC آن تعریف می شود:

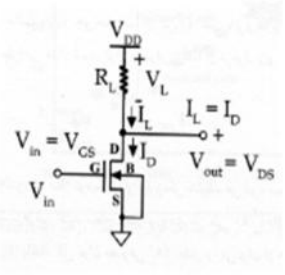
$$P_{DC} = V_{DD} \cdot I_{DC} \qquad (6)$$

توجه کنید که این رابطه در حالت پایدار استفاده شده و افزایش جریانهای زیر آستانه، سبب مصرف بیشتر توان در این حالت خواهد شد. بعلاوه جریان I_{DC} می تواند به ولتاژهای ورودی و خروجی وابسته باشد. مثلا اگر در یک زمان T مصرف توان مدنظر باشد و در طول این زمان معادل $0 \le a \le 100$ درصد خروجی "1" منطقی و $b = 100 - a$ درصد خروجی "0" منطقی باشد، آنگاه مصرف توان کل DC تقریباً برابر است با:

$$P_{DC} = V_{DD}\left[\frac{a}{100} I_{DC}\Big|_{V_{in}=High} + \frac{100-a}{100} I_{DC}\Big|_{V_{in}=Low}\right] \qquad (7)$$

3-4 مشخصات الکتریکی و توان مصرفی معکوس کننده با بار مقاومتی:

در این قسمت به بررسی عملکرد یک معکوس کننده، وقتی که بار مقاومتی معینی را راه اندازی می کند، می پردازیم. شکل **3-5** چینن مداری را نشان می دهد:



شکل 3-5 معکوس کننده با بار مقاومتی

ترانزیستور مورد استفاده یک **nMOS** افزایشی است که در زیر، نواحی مختلف عملکرد آن دیده می شود:

قطع: $V_{in} < V_{Th} (V_{in} = V_{GS})$

اشباع: $V_{Th} \le V_{in} < V_{out} + V_{Th} \qquad (V_{out} = V_{DS})$

خطی: $V_{in} > V_{out} + V_{Th}$

اگر ولتاژ از V_{Th} کمتر باشد ترانزیستور قطع است. با افزایش ولتاژ از سطح V_{Th} ترانزیستور شروع به هدایت می نماید و **nMOS** در ناحیه اشباع قرار می گیرد بطوریکه جریان درین برابر است با:

$$I_D = \frac{1}{2} K_n (V_{in} - V_{Th})^2 \qquad (8)$$

در اثر افزایش بیشتر، تغییر ولتاژ ورودی از حد $V_{out} + V_{Th}$ ترانزیستور به ناحیه خطی وارد شده، ولتاژ خروجی کاهش یافته و جریان درین برابر خواهد شد با:

$$I_D = \frac{1}{2} K_n \left[2(V_{in} - V_{Th}) V_{out} - V_{out}^2 \right] \qquad (9)$$

توجه کنید در دو رابطهٔ فوق $K_n \equiv \mu_n C_{ox} \frac{W}{L}$ تعریف شده و از اثر مدولاسیون کانال، صرف نظر کرده ایم.

اکنون می توان محاسبات ولتاژهای مربوط به مشخصهٔ **VTC** واقعی را بصورت زیر انجام داد:

الف) V_{OH}:

بر اساس **شکل 5-3** داریم.

$$V_{out} = V_{DD} - R_L I_L \qquad (10)$$

اگر V_{IN} در سطح کم باشد، **NMOS** قطع و لذا $I_D = I_L = 0$ است بنابراین:

$$V_{OH} = V_{DD} \qquad (11)$$

ب) V_{OL}:

فرض کنید V_{In} در سطح بالا باشد، یعنی $V_{In}=V_{DD}$. به دلیل آنکه $V_{in}-V_{Th}>V_{out}=V_{OL}$ می باشد ترانزیستور در ناحیهٔ خطی عمل می کند. بعبارت دیگر:

$$I_L=\frac{V_{DD}-V_{out}}{R_L} \qquad (12)$$

و از آنجا که $I_L=I_D$ است پس:

$$I_L=I_D=\frac{V_{DD}-V_{OL}}{R_L}=\frac{K_n}{2}\left[2(V_{DD}-V_{Th})V_{OL}-V_{OL}^2\right] \qquad (13)$$

که خود، معادلهٔ درجه دومی برای V_{OL} است و از حل آن با فرض $0<V_{OL}<V_{Thn}$ داریم.

$$V_{OL}=V_{DD}-V_{Th}+\frac{1}{K_nR_L}\sqrt{(V_{DD}-V_{TH}+\frac{1}{K_nR_L})^2-\frac{2V_{DD}}{K_nR_L}} \qquad (14)$$

ج) V_{IL}:

مقدار ولتاژ V_{IL} (و البته V_{IH}) عملا مقداری است که در مشخصهٔ **VTC**، شیب برابر با 1- است (مقدار کوچکتر برای V_{IL} و بزرگتر برای V_{IH}). اگر ورودی، V_{IL} باشد ولتاژ خروجی V_{out} تنها کمی از V_{OH} کوچکتر است (و اگر ورودی V_{IH} باشد، ولتاژ خروجی تنها کمی از V_{OL} بزرگتر است). لذا می توان فرض کرد که در این حالت $V_{out}>V_{In}-V_{Th}$ بوده و ترانزیستور در ناحیه اشباع عمل می کند. در گرهٔ خروجی **شکل 5-3** داریم:

$$I_D=\frac{V_{DD}-V_{out}}{R_L}=\frac{K_n}{2}(V_{in}-V_{Th})^2 \qquad (15)$$

این معادله، مشخصهٔ **VTC** است. از شرط $\frac{dV_{out}}{dV_{in}}=-1$ و با فرض $V_{In}=V_{IL}$ خواهیم داشت:

$$V_{IL} = V_{Th} + \frac{1}{K_n R_L} \qquad (16)$$

با قرار دادن این مقدار V_{IL} برای V_{in} در معادلهٔ (15) مقدار V_{out} نظیر نیز بدست خواهد آمد:

$$V_{out}\Big|_{V_{in}=V_{IL}} = V_{DD} - \frac{K_n R_L}{2}\left[V_{Th} + \frac{1}{K_n R_L} - V_{Th}\right]^2 = V_{DD} - \frac{1}{2K_n R_L} \qquad (17)$$

د) V_{IH}:

مشابه با حالت قبل در اینحالت نیز $\frac{dV_{out}}{dV_{in}} = -1$ اما با V_{in} بزرگتر از حالت گذشته در واقع $V_{in}=V_{IH}$ بوده و V_{out} تنها کمی بزرگتر از V_{OL} است بطوریکه $V_{out} < V_{in} - V_{Th}$ و لذا ترانزیستور در ناحیهٔ خطی عمل خواهد کرد. با اعمال **KCL** در خروجی داریم:

$$I_D = \frac{V_{DD} - V_{out}}{R_L} = \frac{K_n}{2}\left[2(V_{in} - V_{Th})V_{out} - V_{out}^2\right] \qquad (18)$$

که پس از مشتق گیری نسبت به V_{in} و برقراری شرائط $\frac{dV_{out}}{dV_{in}} = -1$ و $V_{in}=V_{IH}$، خواهیم داشت.

$$V_{IH} = V_{Th} + 2V_{out} - \frac{1}{K_n R_L} \qquad (19)$$

با این مقدار از V_{in} و قرار دادن آن در معادلهٔ (18)، سپس حل معادلهٔ درجهٔ دوم حاصل برای V_{out} داریم:

$$V_{out}\Big|_{V_{in}=V_{IH}} = \sqrt{\frac{2}{3}\frac{V_{DD}}{K_n R_L}} \qquad (20)$$

و از قرار دادن این مقدار V_{out} در معادلهٔ (19) خواهیم داشت:

$$V_{IH} = V_{Th} + \sqrt{\frac{8}{3}\frac{V_{DD}}{K_n R_L}} - \frac{1}{K_n R_L} \qquad (21)$$

ه) V_{INV}:

برای محاسبهٔ این ولتاژ دیده می شود که چنین نقطه ای متناظر باعملکرد ترانزیستور در حالت اشباع است و لذا می توان با فرض $V_{in}=V_{out}=V_{INV}$ در معادلهٔ (15) به میزان V_{INV} دست یافت. نتیجه به شکل زیر است:

$$V_{INV} = V_{Th,n} - \frac{1}{K_n R_L} \pm \sqrt{\left(V_{Th,n} - \frac{1}{K_n R_L}\right)^2 + \frac{2V_{DD}}{K_n R_L} - V_{Th,n}^2} \qquad (22)$$

3-4-1 توان مصرفی:

اگر بخواهیم توان مصرفی یک معکوس کننده را با بار مقاومتی تعیین کنیم لازم است دو حالت روشن یا خاموش بودن را بشکل توام در نظر بگیریم. بدین منظور در ابتدا فرض کنید $V_{in}=0$ است، بطوریکه **NMOS** درحالت قطع بوده و لذا:

$$I_L = I_D = 0 \quad \Rightarrow \quad P|_{V_{in}=0} = 0 \qquad (23)$$

به همین ترتیب اگر $V_{in}=V_{DD}$ و لذا $V_{out}=V_{OL}$ باشد آنگاه:

$$I_d|_{V_{in}=V_{DD}} = I_L = V_{DD}\frac{V_{DD}-V_{OL}}{R_L} \Rightarrow$$
$$P|_{V_{in}=V_{DD}} = V_{DD}\frac{V_{DD}-V_{OL}}{R_L} \qquad (24)$$

که از ترکیب روابط (23) و (24) می توان متوسط توان مصرفی یک معکوس کننده، با بار مقاومتی را بشکل زیر نوشت:

$$P_{DC} = \frac{1}{2}V_{DD}\frac{V_{DD}-V_{OL}}{R_L} \qquad (25)$$

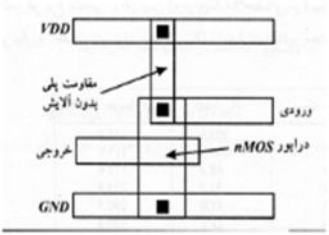
12

تذکر 1: معمولا پارامترهایی مثل $\frac{W}{L}$ و همچنین بار مقاومتی R_L می توانند نقش مهمی در تعیین توان و سطح ولتاژی منطقی یک معکوس کننده ایفا نمایند، بطوریکه می توان با قراردادن نسبت $\frac{W}{L}$ به میزان کمتر و مقاومت بار بالاتر، متوسط توان مصرفی گیت را کاهش داد.

تذکر 2: مقاومت بار در یک مدار مجتمع، جهت ساخت معکوس کننده را نیز می توان به دو روش طراحی نموده و ساخت آنرا انجام داد. در روش اول موسوم به ***روش مقاومت نفوذ داده شده*** که در **شکل 3-6** دیده می شود یک ناحیهٔ نفوذی **n** با یک تماس درطرفین بوجود می آید و مقاومت با تزریق معین ناخالصی، در ناحیه نفوذی ایجاد می گردد. معمولا مقاومتهایی که در این حالت تولید می شود در واحد سطح مربعی شکل یا مقاومت بر مربع سطح با واحد $\Omega/\square$ (اهم بر مربع) است که در این روش می توان به مقاومتهایی با میزان $10\text{-}100\,\Omega/\square$ رسید. توجه کنید که برای ایجاد مقاومت بزرگ باید طول این ناحیه نیز زیاد باشد که معادل با اشغال مساحت زیادتری از سطح ویفر نیمه هادی است.

در روش دوم موسوم به ***مقاومت پلی سیلیکونی بدون دوپینگ*** که در **شکل 3-7** دیده می شود، پلی سیلیکون در حالت عادی تحت اعمال دو پینگ واقع شده و حاوی مقاومت کوچکی خواهد بود که می تواند جهت اتصال کوتاه نیز، بسته به میزان اعمال دو پینگ، استفاده شود. اما اگر دو پینگ آن کم باشد مقاومت بزرگی را حتی در حدود چند اهم بر مربع، می توان در سطح کوچکی بدست آورد. البته لازم به ذکر است که کنترل دقیق برای میزان مقاومت در این روش موجود نیست.

شکل 3-6 طرح یک معکوس کننده با بار مقاومتی نفوذ داده شده



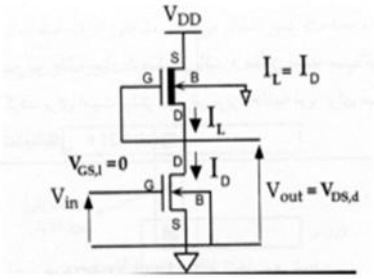
شکل 3-7 طرح یک معکوس کننده با بار مقاومتی پلی سیلیکونی

تذکر3: پارامترهای $\frac{W}{L}$ و R_L علاوه بر تعیین توان و سطح ولتاژهای منطقی یک معکوس کننده، روی حاشیهٔ نویز نیز موثرند و لذا در طراحی یک معکوس کننده لازم است این نکته نیز لحاظ شود. یکی از معیارهای طراحی مناسب می تواند انتخاب حداقل NM_L معادل با $\frac{V_{DD}}{4}$ جهت امنیت بیشتر در برابر نویز باشد.

3-5 معکوس کننده با بار تخلیهٔ nMOS: نوع دیگر مرسوم از معکوس کنندها، معکوس کننده ای است که بار آن یک ترانزیستور **nMOS** تخلیه ای است و درایور آن یک ترانزیستور **nMOS** افزایشی می باشد. البته چنین طرحی دارای مراحل ساخت پیچیده تری است اما دارای مزایای مناسبی از قبیل:

- *وجود منحنی **VTC** با شیب تیزتر،*
- *حاشیه نویز بزرگتر،*
- *ساخت اشتغال شده کوچکتر و*
- *کاهش جریانهای نشتی و لذا تنزل توان مصرفی استاتیک است.*

شکل 8-3 نمایش از طرح یک معکوس کننده با توصیف فوق است.



شکل 8-3 طرح یک معکوس کننده با بار nMOS تخلیه ای

در آنالیز این مدار تنها یادآور می شویم که معادلات جریانی هر دو یکی است با این تفاوت که برای ترانزیستور درایور $V_{Th,d}>0$ و حال آنکه برای ترانزیستور بار $V_{Th,d}<0$ است. برای ترانزیستور بار، ترمینالهای سورس و گیت بهم متصل اند و لذا $V_{GS,L}=0$ میباشد. با توجه به منفی بودن ولتاژ آستانهٔ این ترانزیستور پس $V_{GS,L}>V_{Th,L}$ و لذا این ترانزیستور همواره دارای یک کانال هدایت، مستقل از سطوح ولتاژ ورودی و خروجی است. بعلاوه هر دو نوع ترانزیستور روی یک زیر لایهٔ **p** ساخته می شوند که به زمین متصل شده است. بعلاوه با توجه به **شکل 8-3** $V_{SB,L}=V_{out}$ بوده بطوریکه ترانزیستور بار همواره تحت تاثیر اثر بدنه بوده و ولتاژ آستانهٔ آن تابعی از ولتاژ سورس، به بدنه است. همچنین ترانزیستور بار، هیچگاه وارد ناحیهٔ قطع نخواهد شد. در جداول **I** و **II** مدهای عملیاتی دو ترانزیستور دیده می شوند.

جدول I عملکرد ترانزیستور معکوس کننده درایور

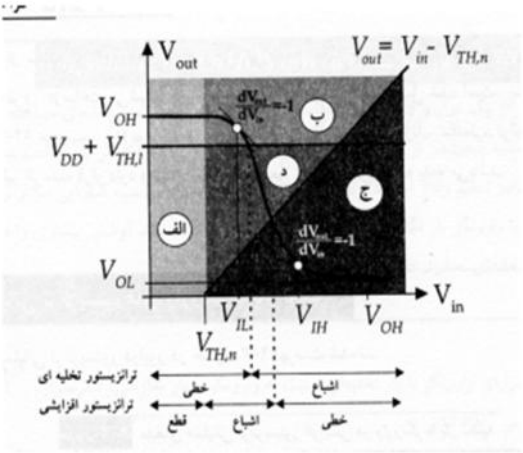
قطع	$V_{GS} = V_{in} < V_{TH,n}$	$I_D = 0$
اشباع	$V_{GS} = V_{in} > V_{TH,n}$ $V_{DS} = V_{out} > V_{in} - V_{TH,n}$	$I_D = \frac{K'_{n,d}}{2}\left(W/L\right)_d (V_{in} - V_{TH,n})^2$
خطی	$V_{GS} = V_{in} > V_{TH,n}$ $V_{DS} = V_{out} < V_{in} - V_{TH,n}$	$I_D = \frac{K'_{n,d}}{2}\left(W/L\right)_d \left[2(V_{in} - V_{TH,n})V_{out} - V_{out}^2\right]$

جدول **II** عملکرد ترانزیستور بار

اشباع	$V_{DS,l} = V_{DD} - V_{out} > 0 - V_{TH,l}$ $V_{out} < V_{DD} + V_{TH,l}$	$I_D = \frac{K'_{n,l}}{2}\left(W/L\right)_l (0 - V_{TH,l})^2$
خطی	$V_{DS,l} = V_{DD} - V_{out} < 0 - V_{TH,l}$ $V_{out} > V_{DD} + V_{TH,l}$	$I_D = \frac{K'_{n,l}}{2}\left(W/L\right)_l \left[2(0 - V_{TH,l})(V_{out}) - (V_{DD} - V_{out})^2\right]$

در **شکل 9-3** می توان مشخصهٔ **VTC** را برای این معکوس کننده مشاهده کرد. توجه کنید که در این حالت:

$K'_{n,l} = K'_{n,d}$.



شکل 9-3 مشخصهٔ VTC برای یک معکوس کننده با بار nMOS تخلیه ای

می توان نشان داد که سطوح مختلف ولتاژی در این معکوس کننده عبارتند از:

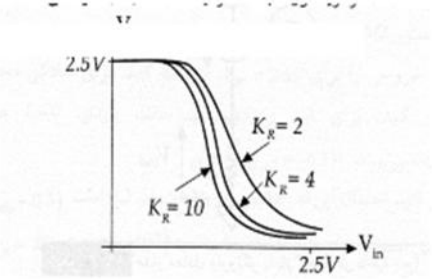
$$V_{OH} = V_{DD} \qquad (26)$$

$$V_{OL} = V_{OH} - V_{Th,n} - \sqrt{(V_{OH} - V_{Th,n})^2 - \frac{K'_{n,l}\left(W/L\right)_l}{K'_{n,d}\left(W/L\right)_d}\left[-V_{Th,l}(V_{OL})\right]^2} \qquad (27)$$

$$V_{IL} = V_{Th,n} + \frac{K'_{n,l}\left(W/L\right)_l}{K'_{n,d}\left(W/L\right)_d}\left[V_{out} - V_{DD} - V_{Th,l}(V_{out})\right] \qquad (28)$$

$$V_{IH} = V_{Th,n} + 2V_{out} + \frac{K'_{n,l}\left(W/L\right)_l}{K'_{n,d}\left(W/L\right)_d}\left[-V_{Th,l}(V_{out})\right]\frac{dV_{Th,l}(V_{out})}{dV_{out}} \qquad (29)$$

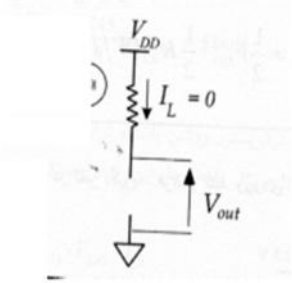
در **شکل 10-3** مشخصه های **VTC** این معکوس کننده را برای مقادیر مختلف $K_R = \frac{K'_{n,d}\left(W/L\right)_d}{K'_{n,l}\left(W/L\right)_l}$ مشاهده می کنید. دیده می شود که با افزایش مقاومت بار (مربوط به ترانزیستور تخلیه ای) معکوس کننده، مشخصهٔ بهتری خواهد داشت.



شکل 10-3 مشخصه VTC برای تصاویر مختلف K_R

3-5-1 محاسبهٔ توان:

توان مصرفی **DC** را که میانگین توان مصرفی در حالت "1" و "0" گیت است را در رابطهٔ (7) دیدیم. اگر $V_{In}=V_{OL}$ در طرح **شکل 8-3** باشد، ترانزیستور درایور قطع و ترانزیستور بار درحالت خطی است و لذا رفتار مقاومتی دارد که می توان این توصیف را در **شکل 11-3** مشاهده نمود.

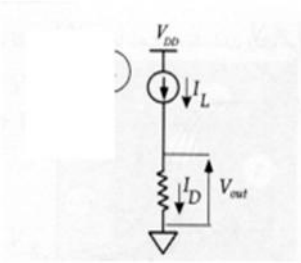


شکل 11-3 مدار معادل 8-3 به ازاء $V_{in}=V_{OL}$

در این حالت داریم:

$$I_L = I_D = o \Rightarrow P_{|V_{in}=V_{OL}=V_{SS}}=o$$

اما اگر $V_{In}=V_{OH}$ باشد، درایور درحالت خطی و بار در حالت اشباع است که می توان مطابق **شکل 12-3** مدار معادل آنرا ترسیم نمود.



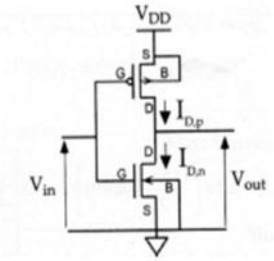
شکل 3-12 مدار معادل 3-8 به ازاء $V_{in}=V_{OH}$

3-6 معکوس کنندهٔ CMOS:

در این نوع معکوس کننده از دو ترانزیستور **pMOS** و **nMOS** بصورتی استفاده می شود که هر دو دارای گیت مشترک باشند و تحت شرائط اعمال ورودی به این گیت مشترک، خروجی که از درین مشترک شدهٔ آنها گرفته می شود یکبار اتصال به زمین و بار دیگر اتصال به منبع V_{DD} را داشته باشد. مزیت این معکوس کننده توان مصرفی بسیار کم آن دیگر آنکه منحنی **VTC** بسیار تیز، شبیه به منحنی ایده آل، است.

3-6-1 توصیف مدار:

در **شکل 3-13** طرح یک معکوس کنندهٔ **CMOS** را می توان دید. در این طرح، گیتها مشترک شده و به ورودی V_{In} متصل می شوند و زیر لایهٔ ترانزیستور **nMOS** به زمین و **pMOS** به V_{DD} متصل میگردند بطوریکه $V_{SB}=0$ برای هر دو ترانزیستور بوده و لذا اثر بدنه ای نداریم.



شکل 3-13 طرح معکوس کنندهٔ **CMOS**

معادلات مدار شکل زیرند:

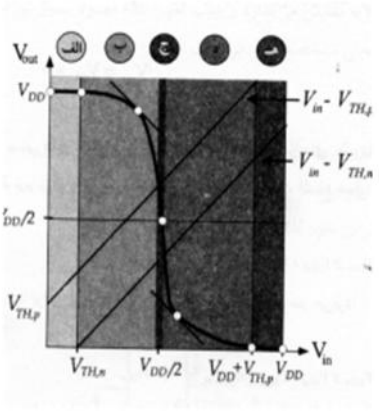
$$V_{in}=V_{GS,n}=V_{GS,p}+V_{DD} \qquad (31)$$

$$V_{out} = V_{DS,n} = V_{DS,p} + V_{DD} \qquad (32)$$

فرض کنید ولتاژ ورودی از ولتاژ $V_{Th,n}$ کمتر باشد. پس ترانزیستور **nMOS** قطع و **pMOS** روشن است و درحالت خطی عمل می کند. بر این اساس جریانهای درین هر دو ترانزیستور تقریبا معادل صفر است. لذا ولتاژ درین سورس ترانزیستور **pMOS** بسیار نزدیک صفر است و نهایتا ولتاژ خروجی، V_{OH} خواهد بود ("1" یا V_{DD}). بهمین ترتیب اگر ولتاژ ورودی از $V_{DD}+V_{Th,p}$ زیادتر شود، ترانزیستور **nMOS** در ناحیهٔ خطی و ترانزیستور **pMOS** قطع است. بطوریکه ولتاژ خروجی V_{OL} می گردد ("0" یا نزدیک به صفر). توصیف عملکرد دو ترانزیستور در جدول III خلاصه شده است که بصورت ترسیمی نیز در **شکل 14-3** می توان آنرا مشاهده نمود. همچنین در جدول IV نواحی مختلف سطوح ولتاژ ورودی و خروجی جمع آوری شده است.

جدول III عملکرد دو ترانزیستور در گیت معکوس کنندهٔ CMOS

	قطع	خطی	اشباع
ترانزیستور *pMOS*	$V_{GS,p} > V_{TH,p}$	$V_{GS,p} < V_{TH,p}$	$V_{GS,p} < V_{TH,p}$
		$V_{in} < V_{TH,p} + V_{DD}$	$V_{in} < V_{TH,p} + V_{DD}$
	$V_{in} > V_{TH,p} + V_{DD}$	$V_{DS,p} > V_{GS,p} - V_{TH,p}$	$V_{DS,p} < V_{GS,p} - V_{TH,p}$
		$V_{out} > V_{in} - V_{TH,p}$	$V_{out} < V_{in} - V_{TH,p}$
ترانزیستور *nMOS*	$V_{GS,n} < V_{TH,n}$	$V_{GS,n} > V_{TH,n}$	$V_{GS,n} > V_{TH,n}$
		$V_{in} > V_{TH,n}$	$V_{in} > V_{TH,n}$
	$V_{in} < V_{TH,n}$	$V_{DS,n} < V_{GS,n} - V_{TH,n}$	$V_{DS,n} > V_{GS,n} - V_{TH,n}$
		$V_{out} < V_{in} - V_{TH,n}$	$V_{out} > V_{in} - V_{TH,n}$



شکل 14-3 ترسیمی از عملکرد ترانزیستور های CMOS

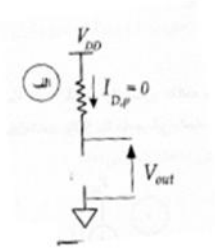
ناحیه	V_{in}	V_{out}	ترانزیستور nMOS	ترانزیستور pMOS
(الف)	$<V_{TH,n}$	V_{OH}	قطع	خطی
(ب)	$V_{TH,n} \le V_{in} \le V_{out}+V_{TH,p}$	$V_{out}=high$	اشباع	خطی
(ج)	$V_{out}+V_{TH,p} \le V_{in} \le V_{out}+V_{TH,n}$	V_{DD}	اشباع	اشباع
(د)	$V_{out}+V_{TH,n} \le V_{in} \le V_{DD}+V_{TH,p}$	$V_{out}=low$	خطی	اشباع
(هـ)	$>V_{DD}+V_{TH,p}$	V_{OL}	خطی	قطع

جدول IV نواحی مختلف عملکرد ترانزیستورهای CMOS

در جدول IV می توان نواحی مختلف عملکرد ترانزیستور را بصورت زیر خلاصه نمود:

الف) در این ناحیه $V_{In}<V_{Th,n}$ است. ترانزیستور **nMOS** قطع و ولتاژ خروجی $V_{OH}=V_{DD}$ می باشد

که مدل مداری آن نیز در **شکل 15-3** دیده می شود.

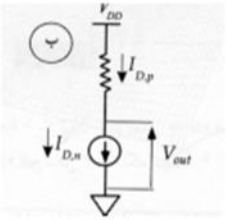


شکل 15-3 مدل مداری ناحیهٔ "الف"

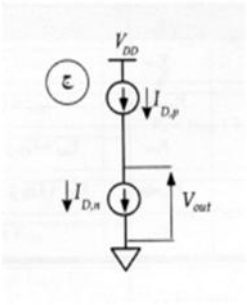
ب) اگر ولتاژ ورودی از $V_{Tn,n}$ بیشتر شود به ناحیهٔ "ب" وارد میشویم بطوریکه **nMOS** اشباع شده و ولتاژ خروجی کاهش می یابد، با مدار معادی **شکل 16-3** توجه کنید که ولتاژ V_{IL} در ناحیهٔ "ب" واقع شده است.

ج) اگر ولتاژ خروجی تنزل بیشتری یابد، ترانزیستور **pMOS** وارد ناحیهٔ "ج" یا عملکرد اشباع شده و در این حالت $V_{in}=V_{out}$ شده، با مدل مداری ایکه **بشکل 17-3** خواهد بود.

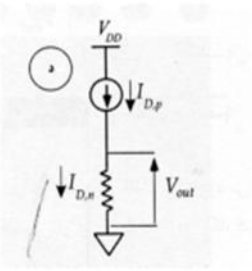
د) در صورتیکه ولتاژ خروجی $V_{out}<V_{in}-V_{Tn,n}$ شود، ترانزیستور **nMOS** در ناحیه خطی عمل می کند. ولتاژ V_{IH} در این ناحیه بوده و مدل مداری **بشکل 18-3** خواهد شد.



شکل 16-3 مدل مداری ناحیهٔ "ب"



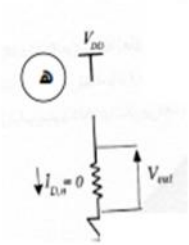
شکل 17-3 مدل مداری ناحیه "ج"



شکل 18-3 مدل مداری ناحیهٔ "د"

هـ) نهایتاً در صورتی که $V_{in}>V_{Th,p}+V_{DD}$ شود، ترانزیستور **pMOS** قطع و ولتاژ خروجی، V_{OL}، برابر با "0" خواهد شد. مدار معادل اینحالت نیز **بشکل 19-3** خواهد بود.

تذکر: می توان بشکل کلی با توجه به اینکه جریان درین یک ترانزیستور تابعی از ولتاژهای V_{GS} و V_{DS} است، ترسیمی سه بعدی را از منحنی مشخصهٔ حالت پایدار یک معکوس کنندهٔ **CMOS** ارائه نمود. در چنین حالتی بشکل کلی می توان جریان درین (برای ترانزیستور **pMOS**) را بر حسب ولتاژ های ورودی و خروجی در فضای سه بعدی نیز ترسیم نمود.



شکل 19-3 مدل مداری ناحیهٔ "ه "

3-6-1 بررسی سطوح ولتاژ:

اکنون می توان پنج سطح ولتاژ مختلف را برای گیت معکوس کنندهٔ **CMOS** به روش محاسبه کرد:

I) V_{OH}: برای مدار در حالت "الف" یا **شکل 15-3**، جریان درین برای دو ترانزیستور صفر است و لذا ولتاژ V_{OH} همان V_{DD} است:

$$V_{OH} = V_{DD} \qquad (33)$$

II) V_{OL}: برای مدار حالت "ه " یا **شکل 19-3**، مجدداً جریانهای درین هر دو ترانزیستور صفر است و V_{OL} نیز صفر خواهد شد پس:

$$V_{OL} = 0 \qquad (34)$$

III) V_{IL}: بنا به تعریف این ولتاژ، اگر $V_{in}=V_{IL}$ باشد شیب منحنی **VTC** برابر با 1- خواهد شد. در چنین حالتی مدار در وضعیت "ب" قرار میگیرد (**شکل 16-3**) و لذا داریم:

$$I_{D,p} = I_{D,n} \qquad (35)$$

ترانزیستور **nMOS** در وضعیت اشباع و **pMOS** در وضعیت خطی است بطوریکه با توجه به روابط به هر یک، و نیز رابطهٔ 35 و بالاخره استفاده از رابطهٔ $\frac{dV_{out}}{dV_{in}} = -1$ ولتاژ $V_{in} = V_{IL}$ برابر خواهد شد با:

$$V_{IL} = \frac{2V_{out} + V_{Th,p} - V_{DD} + K_R V_{Th,n}}{1 + K_R} \qquad (36)$$

و در آن K_R در **شکل 10-3** تعریف شده است.

IV) V_{IH}: تحت شرائطی که $V_{in}=V_{IH}$ باشد، مدار معادل بصورت **شکل 18-3** خواهد بود که متناظر با عملکرد در ناحیهٔ "د" است بطوریکه ترانزیستور **nMOS** در ناحیهٔ خطی و **pMOS** در ناحیهٔ اشباع عمل خواهد کرد. مجدداً رابطهٔ (35) در این حالت صادق است. از برابری این جریانها می توان رابطهٔ V_{in}-V_{out} راتعیین کرده و از شرط $\frac{dV_{out}}{dV_{in}} = -1$ در ازاء ولتاژ $V_{in}=V_{IH}$ استفاده نمود تا به نتیجهٔ زیر رسید:

$$V_{IH} = \frac{V_{DD} + V_{Th,p} + K_R(2V_{out} + V_{Th,n})}{1 + K_R} \qquad (37)$$

این رابطه بر حسب V_{out} است همچنانکه رابطهٔ (36) نیز چنین بود. امکان تعیین این مقادیر ولتاژ بر حسب ولتاژهای ثابت نیز می باشد. می توان نشان داد که برای یک معکوس کنندهٔ متقارن که در آن $V_{Th,p} + V_{Th,n} = 0$ است (ولتاژهای آستانه قرینهٔ یکدیگرند) با فرض $K_R = 1$ (بدلیل ساختمانهای مشابه ترانزیستورها) ولتاژهای V_{IL} و V_{IH} بشکل زیر در می آیند:

$$V_{IL} = \frac{1}{8}(3V_{DD} + 2V_{Th,n})$$
$$V_{IH} = \frac{1}{8}(5V_{DD} - 2V_{Th,n})$$

تذکر: اگر معکوس کنندهٔ **CMOS** بشکل متقارن باشد می توان در رابطه با حاشیهٔ نویز آن روابط زیر را اثبات نمود:

$$NM_H = V_{OH} - V_{IH} = V_{DD} - V_{IH} = \frac{3V_{DD} + 5|V_{Tb,p}| - 3V_{Tb,n}}{8}$$

$$NM_L = V_{IL} - V_{OL} = V_{IL} = \frac{3V_{DD} - 3|V_{Tb,p}| + 5V_{Tb,n}}{8}$$

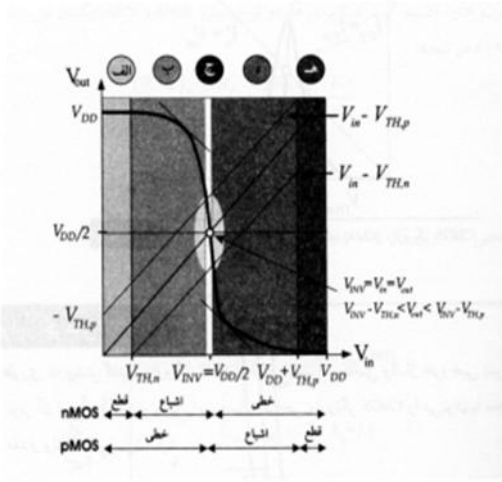
IV) محاسبهٔ V_{INV}: این ولتاژ را بصورت زیر تعریف کردیم:

$$V_{in} = V_{out} = V_{INV}$$

مدار متناسب با این وضعیت می تواند مطابق حالت "ج" یا **بشکل 17-3** باشد. در این حالت هر دو ترانزیستور در ناحیهٔ اشباع خواهند بود و مجدداً رابطهٔ (35) برقرار است. از شرط اشباع و برقراری رابطهٔ (35) و سپس با فرض $V_{INV} = V_{in} = V_{out}$ داریم:

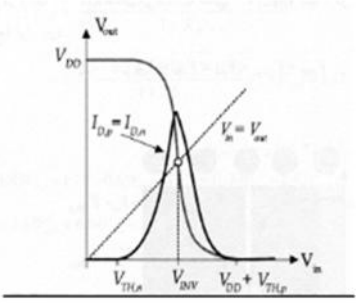
$$V_{in} = V_{INV} = \frac{V_{Tb,n} + \sqrt{\frac{1}{K_R}}\left(V_{DD} + V_{Tb,p}\right)}{1 + \sqrt{\frac{1}{K_R}}} \qquad (39)$$

ترسیمی مجدد از بازه های مختلف عملکرد مجموعه، همراه با ذکر نقطهٔ نظیر به V_{INV} در **شکل 20-3** قابل مشاهده است.



شکل 20-3 مشخصه VTC معکوس کنندهٔ CMOS

تذکر: دیدیم که در این معکوس کننده صرف نظر از جریانهای نفوذی کوچک و آستانه در زمانی که $V_{in}<V_{Th,n}$ یا $V_{in}>V_{Th,p}+V_{DD}$ باشد، جریان قابل ملاحظه ای از منبع کشیده نمی شود. اما در مقاطع عبور از "1" و "0" یا از "0" به "1" (نواحی ب،ج،د) ترانزیستورها جریان غیر صفری را هدایت می کنند. اگر $V_{in}=V_{INV}$ باشد، هر دو ترانزیستور در اشباع هستند (ناحیهٔ "ج" که فوقا نیز اشاره شد) ولذا حداکثر جریان استاتیک از منبع تغذیه کشیده می شود. بنابراین می توان در یک ترسیم تقریبی نحوهٔ تغییرات جریان درین ترانزیستورها همراه با مشخصهٔ **VTC** را، در هنگام گذر، بصورت **شکل 21-3** ارائه نمود.



شکل 3-21 ترسیم جریان منبع تغذیه

3-7 طراحی یک معکوس کنندهٔ CMOS

معکوس کنندهٔ **CMOS** دارای ویژگیهای مناسبی از جمله منحنی مشخصهٔ **VTC** با شیب زیاد و همچنین حاشیهٔ نویز بزرگ است. تعیین ولتاژ آستانه در این نوع معکوس کننده ها از اهمیت ویژه ای برخوردار است بطوری که عملا در قدم اول منظور از طراحی یک معکوس کننده، تعیین ساختاری است با میزان مطلوبی از ولتاژ آستانهٔ عملکرد. به این منظور از ولتاژ محاسبه شده در رابطهٔ (39) شروع کرده و در مراحل اول این معادله را بر حسب K_R حل می کنیم. نتیجه بشکل زیر است:

$$K_R = \left[\frac{V_{DD} + V_{Th,p} - V_{INV}}{V_{INV} - V_{Th,n}}\right]^2 \qquad (40)$$

از آنجا که در یک معکوس کنندهٔ ایده آل باید مشخصهٔ **VTC** متقارن باشد، پس می توان فرض کرد که رابطهٔ زیر برقرار است:

$$V_{INV} = \frac{1}{2}V_{DD} \qquad (41)$$

و لذا با این فرض رابطهٔ (40) بشکل زیر تبدیل خواهد شد:

$$(K_R)_{Ideal} = \left(\frac{V_{DD}/2 + V_{Th,p}}{V_{DD}/2 - V_{Th,n}} \right)^2 \qquad (42)$$

بدیهی است در زمانی که $-V_{Th,p}=V_{Th,n}$ این رابطه بشکل زیر در می آید:

$K_R=1$ *برای یک معکوس کننده متقارن ایده آل* (43)

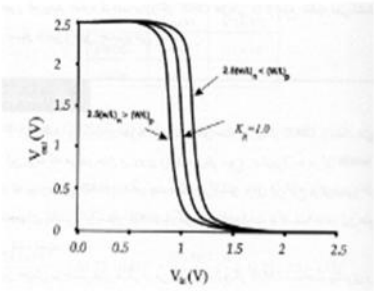
که با توجه به تعریف K_R خواهیم داشت:

$$K_R = \frac{K'_{n,d}\left(W/L\right)_d}{K'_{n,l}\left(W/L\right)_l} = \frac{\mu_n C_{ox}\left(W/L\right)_n}{\mu_p C_{ox}\left(W/L\right)_p} = \frac{\mu_n\left(W/L\right)_n}{\mu_p\left(W/L\right)_p} = 1 \qquad (44)$$

که در آن فرض یکسان بودن خازنهای اکسیدگیت یکسان در دو ترانزیستور استفاده شده است. با قراردادن مقادیر نوعی ضرائب μ_n و μ_p در یک نیمه هادی؟، می توان برای یک معکوس کنندهٔ متقارن و ایده آل به شرط زیر رسید:

$$\left(\frac{W}{L}\right)_p \cong 2/5\left(\frac{W}{L}\right)_n \qquad (45)$$

این شرط که بیان کنندهٔ پهنای کانال بیشتر برای **pMOS** نسبت به **CMOS** است، حاوی نحوهٔ طراحی تقارنی برای این گیت نیز میباشد. در صورت عدم برقراری رابطهٔ (45) مشخصهٔ **VTC** می تواند با فرض $K_R>1$ یا $K_R<1$، جابجا شده بطوریکه V_{INV} هم می تواند در رابطهٔ (41) صادق نباشد و بترتیب کمتر یا بیشتر شود. در **شکل 3-21** ترسیمی از مشخصهٔ فوق در ازاء برقراری یا عدم برقراری شرط (45) ارائه شده است.



شکل 3-21 مشخصه VTC یک معکوس کنندهٔ CMOS در شرائط مختلف انتخاب K_R

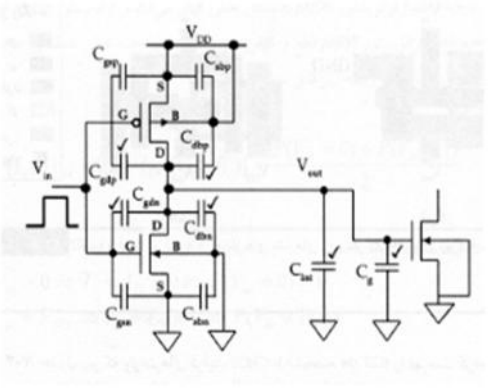
تذکر: در طرح فوق دیدیم که ترانزیستور **pMOS** مساحت بیشتری را در مقایسه با ترانزیستور **nMOS** اشغال می کند بطوریکه می توان فرض کرد که در این حالت نیز K_R=1 است. مادامی که بحث تنها به معکوس کننده های **CMOS** محدود شود، این گیتها مساحت چندانی را اشغال نمی کنند. اما اگر مدارهای ترکیبی بزرگتری مد نظر باشند مساحت اشغال شده توسط این منطق نسبت به مساحت اشغال شده توسط منطق **nMOS** افزایش می یابد، چرا که غالباً در منطق **CMOS** ترانزیستورهای بیشتری استفاده می شود. این مساحتهای اشغالی گیتها را بنام ***مساحت Die*** نیز می شناسیم.

3-7-1 مصرف توان:

به منظور بررسی توان باید توان مصرفی این معکوس کننده را در دو ناحیه مختلف "الف" و "ه" بازبینی نمود. در ناحیهٔ "الف"، ترانزیستور **pMOS** در ناحیهٔ خطی بوده و ترانزیستور **nMOS** در ناحیهٔ قطع است و درناحیهٔ "ه"، وضعیت دو ترانزیستور برعکس می شود. از آنجا که در هر دو ناحیه $I_L=I_D=0$ است، پس توان مصرفی برابر با صفر است که البته این انتخاب دقیق نیست، چرا که در V_{INV} مصرف توان وجود دارد اما فرض بصورت تقریبی قابل قبول می باشد.

3-8 عملکرد سوئیچینگ یک معکوس کننده CMOS

به منظور سرعت عملکرد یک سیستم دیجیتالی، لازم است بتوانیم تخمینی از سرعت عملکرد یک گیت معکوس کننده را ارائه دهیم. بدین منظور فرض کنید مطابق **شکل 22-3** دو گیت را بهم متصل کرده ایم.



شکل 22-3 اتصال دو گیت معکوس کننده پشت سر هم

با در نظر گرفتن خازنهای ترانزیستورهای ورودی

خازنهای هر دو ترانزیستور بصورت مشخصی تعیین شده اند. خازن C_{INT} حاوی خازن اتصال میانی است. فرض کنید که یک شکل موج پاسی به ورودی اولین معکوس کننده اعمال شود و هدف بررسی V_{out} با در نظر گرفتن کلیهٔ خازنهاست. تعدادی از خازنها (خازنهای پیوندی)، خازنهای تابع ولتاژ معکوس هستند. این خازنها بصورت غیر خطی چنین رفتاری را از خود نشان می دهند. لذا تعیین دقیق شکل موج خروجی امکان پذیر نیست. اما با تقریب خطی سازی می توان این خازنها را به خازن خطی تبدیل کرد و آنها را بین گرهٔ خروجی معکوس کننده و زمین در نظر گرفت. اگر با این تقریب کل خازنهای موجود در خروجی را خازن بار بنامیم، خواهیم داشت:

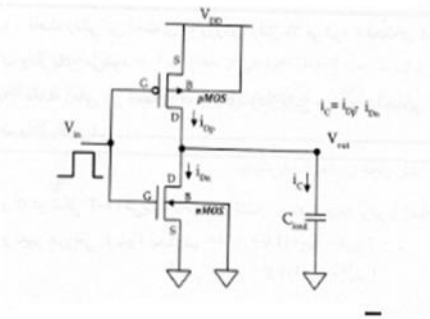
$$C_{load} = C_{gd,n} + C_{gd,p} + C_{db,n} + C_{db,p} + C_{int} + C_g \qquad (46)$$

درعمل چون درمعکوس کننده های CMOS ولتاژهای سورس به زیرلایهٔ هردو ترانزیستور همواره صفرند وبعلاوه خازنهای گیت تا زیرلایه به دلیل اتصال گره وردی توسط آنها به زمین، قابل کنار گذاشتن می باشند باین معکوس کننده دارای مدار ساه شده ای **بشکل 3-23** خواهد بود .

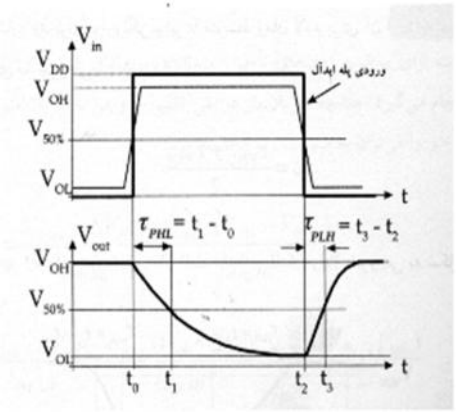
به این ترتیب پاسخ گذرای معکوس کننده عملا یافتن زمانهای شارژ و شارژ خازن C_{load} از طریق یکی از ترانزیستورهاست. این پاسخ، یا بعبارتی زمانهای شارژ و شارژ، عملا مرتبط با تاخیر گیت هستند. بدین منظور فرض کنید که به یک گیت معکوس کننده ورودی پله ای اعمال کرده و خروجی را مشاهده کنیم. مثالی از این مورد می تواند درشکل **3-24** دیده شود .

زمانهای تاخیر درصفر یا یک شدن خروجی را به ترتیب با τ_{PHL}و τ_{PLH} نشان می دهیم و آنها را به شکل زیر تعریف می کنیم:

τ_{PHL} : فاصلهٔ زمانی بین لحظه ای که ورودی "1" می شود تا لحظه ای که خروجی متناظر با آن "0"می گردد (زمانی که ولتاژ خروجی از V_{OH} به $V_{50\%}$افت یابد).



شکل 3-23 مدل سادهٔ شده معکوس کنندهٔ شکل 3-22



شکل 3-24 ولتاژهای ورودی و خروجی مربوط به یک معکوس کننده

τ_{PLH} : فاصلهٔ زمانی بین لحظه ای که ورودی "0" می شود تا لحظه ای که خروجی متناظر با آن "1" می گردد (زمانی که ولتاژ خروجی از V_{OL}به $V_{50\%}$رشد یابد).

درتوصیف فوق $V_{50\%}$بصورت زیرتعریف می شود:

$$V_{50\%} = \frac{V_{OH} + V_{OL}}{2} \qquad (47)$$

و لذا:

$$\tau_{PHL} = t_1 - t_0 \quad \& \quad \tau_{PLH} = t_3 - t_2 \qquad (48)$$

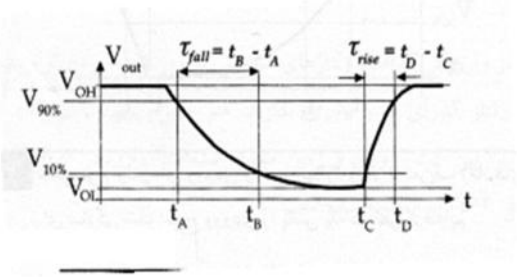
متوسط تاخیر انتشار را متوسط دو تاخیر فوق تعریف می نماییم:

$$\tau_P = \frac{\tau_{PHL} + \tau_{PLH}}{2} \qquad (49)$$

زمانهای خیز و افت نیز در **شکل 3-25** دیده شده و بصورت زیر تعریف می شوند:

τ_{rise} : زمان لازم برای آنکه ولتاژ خروجی از $V_{10\%}$ به $V_{90\%}$ صعود کند،

τ_{fall} : زمان لازم برای آنکه ولتاژ خروجی از $V_{90\%}$ به $V_{10\%}$ نزول کند.



شکل 3-25 ترسیم زمانهای خیز وافت خروجی

و بعلاوه:

$$V_{10\%} = V_{OL} + \frac{V_{OH} - V_{OL}}{10} \quad \& \quad V_{90\%} = V_{OL} + \frac{9(V_{OH} - V_{OL})}{10} \qquad (50)$$

همچنین:

$$\tau_{fall} = t_B - t_A \quad \& \quad \tau_{rise} = t_D - t_C \qquad (51)$$

زمانهای فوق را می توان توسط مدل مداری ساده ای نیز محاسبه نمود. بدین منظور فرض کنید که جریان بار با میزان I_{avg} ثابت،درطول تغییرخروجی، تقریب زده شود. می توان زمانهای تاخیررا بصورت زیرمحاسبه کرد:

$$\tau_{PHL} = \frac{C_{load}\Delta V_{HL}}{I_{avg,HL}} = \frac{C_{load}(V_{OH} - V_{50\%})}{I_{avg,HL}} \qquad (52)$$

$$\tau_{PLH} = \frac{C_{load}\Delta V_{LH}}{I_{avg,LH}} = \frac{C_{load}(V_{50\%} - V_{OL})}{I_{avg,LH}} = \frac{C_{load}(V_{OH} - V_{50\%})}{I_{avg,LH}} \qquad (53)$$

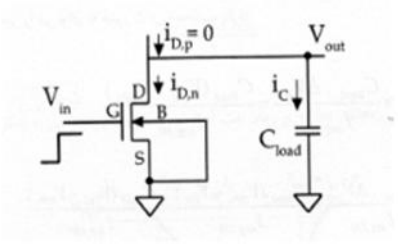
بطوریکه درآنها:

$$I_{avg,HL} = \frac{1}{2}\left[i_C\Big|_{\substack{V_{in}=V_{OH}\\ V_{out}=V_{OH}}} + i_C\Big|_{\substack{V_{in}=V_{OH}\\ V_{out}=V_{50\%}}} \right] \qquad (54)$$

$$I_{avg,LH} = \frac{1}{2}\left[i_C\Big|_{\substack{V_{in}=V_{OL}\\ V_{out}=V_{OL}}} + i_C\Big|_{\substack{V_{in}=V_{OL}\\ V_{out}=V_{50\%}}} \right] \qquad (55)$$

توجه کنید که درنوشتن روابط فوق از تاخیرهای خیز و افت صرف نظر شده است و تغییرات جریان بار بین ابتدا و انتهای گذار لحاظ نشده و لذا روابط تقریبی، اما با دقت مناسبی هستند.

توصیف دقیق تری را می توان با مدار معادل **شکل 3-26** درهنگام گذر خروجی از "1" به "0" که فرم ساده شدهٔ **شکل 3-23** است، نیز بدست آورد.



شکل 3-26 مدار معادل معکوس کنندهٔ CMOS

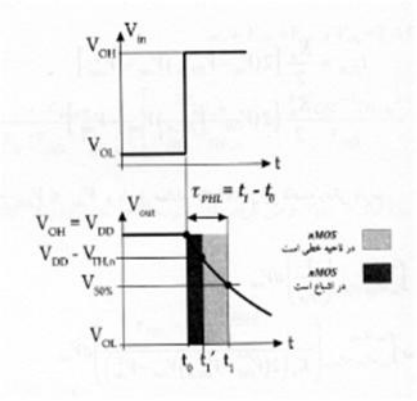
درهنگام گذر خروجی از "0" → "1"

درگرهٔ خروجی این مدار داریم:

$$C_{load}\frac{dV_{out}}{dt} = i_C = i_{D,p} - i_{D,n} \qquad (56)$$

درابتدا فرض کنید ورودی از V_{OL} به V_{OH} پرش کند. طبیعی است که قبل از آن، ولتاژ خروجی V_{OH} بوده و با چنین تغییری ترانزیستور **nMOS** روشن شده و شروع به تخلیهٔ بار خازن می نماید و ترانزیستور **pMOS** خاموش می باشد و طبیعتا درمعادلهٔ (56)، $i_{D,p}=0$است.

درشکل **3-26** برای این تغییردرورودی، ولتاژ خروجی ترسیم شده است.



شکل 3-27 شکل موجهای ورودی و خروجی در گذر "0" → "1"

نهایتا با تقریب و اگر $|V_{Th,p}|=V_{Th,n}=\frac{V_{DD}}{5}$فرض شود،میتوان نشان داد که روابط زیر برقرارند:

$$\tau_{PHL}=\frac{1.6C_{load}}{K_nV_{DD}} \quad \& \quad \tau_{PLH}=\frac{1.6C_{load}}{K_pV_{DD}} \qquad (57)$$

بعلاوه دریک معکوس کنندهٔ **CMOS** با فرض $|V_{Th,p}|=V_{Th,n}$و حداقل اندازه برای طول ترانزیستورها، به منظور $\tau_{PHL}=\tau_{PLH}$ باید:

$$K_n=K_p=\frac{W_p}{W_n}=\frac{\mu_n}{\mu_p} \qquad (58)$$

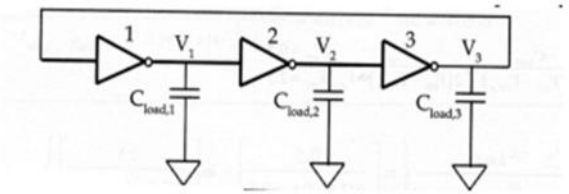
وهمچنین جهت تنزل زمان تاخیر و سریعتر کردن مدار باید C_{load} کم شده و $\frac{W}{L}$ نیز افزایش یابد به کار V_{DD} بزرگ اختیار شود.

تذکر: درتکمیل موارد فوق، یاد آوری می شود که اگر موج ورودی یک پاس پله ای شکل و ایده آل نباشد، طبیعتا دارای زمانهای خیز τ_r و افت τ_f بوده که جهت محاسبهٔ زمانهای تاخیر می توان نشانداد که نتیجه شکل زیراست:

$$\tau_{PLH} = \sqrt{\left(\tau_{PLH}\big|_{Ideal}\right)^2 + \left(\frac{\tau_r}{2}\right)^2}$$
$$\tau_{PHL} = \sqrt{\left(\tau_{PHL}\big|_{Ideal}\right)^2 + \left(\frac{\tau_f}{2}\right)^2} \qquad (59)$$

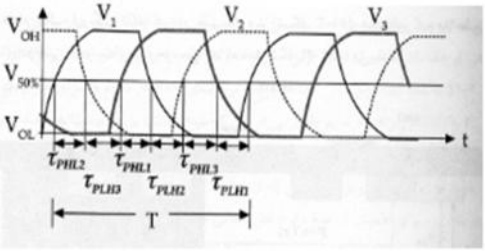
3-9 نوسانگر حلقوی

هرگیت معکوس کننده، بسته به اینکه چه تعدادی خروجی به آن متصل شده است، می تواند دارای یک تاخیر معینی باشد و این نکته درآنالیز چنین گیتهایی معمولا صرف نظر می شود. اما اگر هدف، تنها بررسی اثر تاخیر گیت باشد می توان آنرا دریک مدار نوسانگر حلقوی شامل تعداد فردی از گیتها مثلا مطابق **شکل 3-28** مطالعه نمود.



شکل 3-28 نوسانگر حلقوی با معکوس کننده های ایده آل

به دلیل تاخیر موجود درهر طبقهٔ معکوس کننده، این مدار به تناوب نوسان کرده و میتوان نوسانات آن در **شکل 3-29** دیده می شود.



شکل 3-29 شکل موجهای نقاط مختلف مدار شکل 3-28

پریود نوسان T را می توان برحسب روابط زیر با لحاظ کردن $C_{load_1} = C_{load_2} = C_{load3}$ بصورت زیر نوشت:

$$T = \tau_{PHL_1} + \tau_{PHL_2} + \tau_{PHL_3} + \tau_{PLH_1} + \tau_{PLH_2} + \tau_{PLH_3} = 6\tau_P$$

و لذا:

$$f = \frac{1}{T} = \frac{1}{6\tau_p} \qquad (60)$$

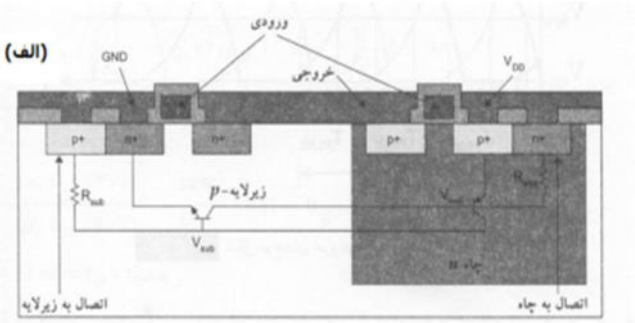
بنابراین برای یک نوسانگر nطبقه (با n فرد)داریم:

$$f = \frac{1}{2n\tau_p} \qquad (61)$$

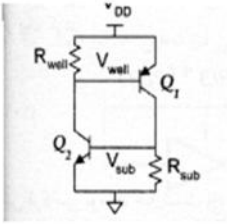
3-10 قفل شدگی

بعضا مدارهای **CMOS** متاثر از پدیده ای ناشی از ایجاد و اتصال پیوندهای npn با pnp شده که محرک تولید ترانزیستورهای دو قطبی ناخواسته ای می شوند وفرآیندی موسوم به فرآیند قفل شدگی را بوجود می آورند. در **شکل 3-30** سطح مقطع یک معکوس کنندهٔ **CMOS** همراه با معادل مداری ساده شده آن دیده می شود.

بهنگام روشن شدن گیت جریان کوچکی از مقاومت R_{well} عبور کرده که درصورت ازدیاد آن امکان تهیه ولتاژ V_{BE} برای روشن کردن ترانزیستور Q_1 (pnp) بوجود می آید. روشن شدن ترانزیستور به منزله عبور جریانی از منبع تغذیه بوده که عمدهٔ آن از R_{sub} گذشته و می تواند ترانزیستور Q_2 (npn) را نیز روش نماید. بدنبال این اثر جریان بیشتری از منبع کشیده شده که می تواند Q_1 را دارای V_{BE} بزرگتر کرده و لذا جریان کلکتور آنرا زیادتر کند. چنین افزایش خود تقویتی درترانزیستورهای Q_1 و Q_2 بمنزله وجود یک فیدبک مثبت بوده که حتی می تواند درصورت عدم کنترل، منجر به سوختن دو ترانزیستور شود. درساده ترین راه حل می توان R_{well} و R_{sub} را به حد کافی کوچک نمود که درعمل چنین خواسته ای در گیت **شکل 3-30** ودرواقع برای یک زوج از ترانزیستورهای **nMOS** و **pMOS** مهیا می باشد.



(ب)



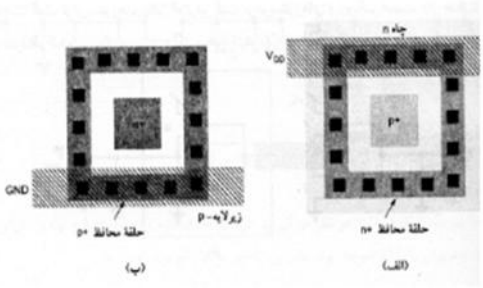
شکل 3-30 الف) سطح مقطع یک معکوس کنندهٔ CMOS

ب) مدار معادل آن

اما برای مدارهای با تراکم بالا که حاوی چندین ترانزیستور **nMOS** و **pMOS** می باشد و تنها یک اتصال چاه n به V_{DD} و یک اتصال زیرلایه به GND موجود است. ترانزیستورهای دورتر مقاومتهای R_{Well} و R_{sub} زیادتر ی را خواهند دید. این مساله با افزایش تعداد منابع تغذیه قابل رفع بوده و درطراحی به منظور جلوگیری از عدم افزایش سطح آی سی اتصال منبع تغذیه در هر 4 یا 5 سانتی متر مربع، پیشنهاد قابل قبولی است.

درروش دیگر می توان لایهٔ رونشستی را که میزان دوپینگ آن کم است روی زیرلایهٔ بادوپینگ زیاد قرارداده و باعث شد که جریان ترانزیستورهای عمودی به سمت مسیر زیرلایه با مقاومت کم، منحرف شود.

تذکر: اگرتوجه خود را به ترانزیستورهای موجود درورودی یا خروجی (I/O) معطوف داریم، دیده می شود که این ترانزیستورها برخلاف ترانزیستورهای درونی معمولا جریان های زیادی را از خود عبور می دهند. درساخت این ترانزیستورها از حلقه های محافظی مطابق **شکل 3-31** استفاده شده که درواقع اتصالات تغذیه ای دور ترانزیستور هستند وباعث کاهش مقادیر R_{Well} و R_{svb} و همچنین بهره ترانزیستورها می شوند.



شکل 3-31 طراحی ترانزیستور های I/O

3 – 11 طراحی سوپر بافر

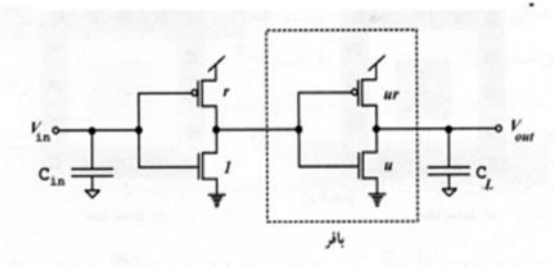
دیدیم که تاخیر یک مدار، متناسب است با میزان بار خازنی که مدار باید راه اندازی کند [روابط (57)]، که درصورت بزرگ شدن بار خازنی ممکن است این تاخیر قابل قبول نباشد. مثالهایی از این بارهای خازنی بزرگ عبارتند از اتصال باس ها، خطوط متصل به خط Reset و مسیرهای طولانی. البته خازنهای نظیر به این موارد با خازنهای درونی گیت نیز موازی شده که طبیعتا خازن کل بزرگتری را ایجاد می کنند. جهت تامین جریان راه اندازی، میتوان سطوح خروجی گیتهای معکوس کننده را بزرگتر کرد که خود درمدارهای با تراکم زیاد کفایت نخواهد کرد چرا که این فرآیند همراه با افزایش سطح گیت بوده و معادل با ازدیاد تاخیر است. اینجاست که اهمیت یک گیت معکوس کننده بعنوان "***میانگذر***" یا "***بافر***" را میتوان درک نمود.

3-11-1 طرح یک بافر با معکوس کننده:

در **شکل 3-32** طرح یک بافر را به کمک معکوس کننده های **CMOS** مشاهده می کنید. فرض شده است که یک گیت معکوس کننده را با نسبت پهنای حداقل "r" به "1" بترتیب برای ترانزیستور **pMOS** و **nMOS** به کار گرفته ایم و این معکوس کننده باید بار خازنی C_l را راه اندازی کند. به منظور کاهش تاخیر، از یک معکوس کنندهٔ دوم بعنوان بافر استفاده می شود. هدف، حداقل کردن تاخیر کل مجموعه است. توجه کنید که به منظور

تقارن تاخیر خیز و افت لازم است که نسبت پهنای ترانزیستورهای درون گیت معکوس کننده "بافر" نیز "r" به "1" باشد. (مثلا سطح ur برای ترانزیستور **pMOS** و u برای ترانزیستور **nMOS**).

فرض کنید که خازن گیت معکوس کنندهٔ اول C_{in} (و طبعا خازن ورودی بافر uC_{in} باشد و از خازنهای اتصال و نفوذی صرف نظر کرده باشیم. بعلاوه گیریم $x \equiv \frac{C_L}{C_{in}}$ تعریف شده است. بطور تقریبی اگر حداقل تاخیر گیت اول τ_0 فرض شود، با قرار دادن خازنی معادل uC_{in} بعنوان بار، تاخیر گیت اول همراه با درنظرگرفتن بار آن $u\tau_0$ می شود. سپس اگر تاخیر گیت دوم (بافر) مجددا τ_0 فرض شود، با توجه به بار $C_L=xC_{in}$، تاخیر گیت دوم همراه با این بار خازنی $\frac{x}{u}$ برابر τ_0 خواهدشد.



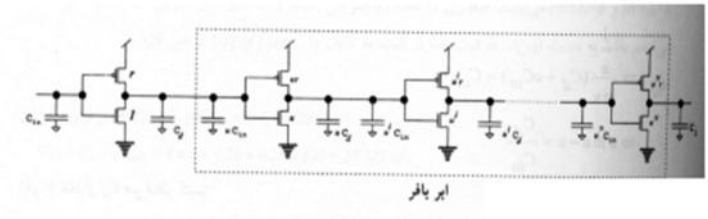
شکل 32-3 توصیف یک معکوس کننده بعنوان بافر

اکنون کل تاخیر مجموعه برابر است با:

$$\tau_{Total} = u\tau_0 + \frac{x}{u}\tau_0 \qquad (62)$$

اگر بخواهیم سطح ترانزیستور دوم (بعنوان بافر) با درواقع طرح ساختار این ترانزیستور را معین کنیم، باید u را بدست آوریم. بهینه مقدار u، بامشتق گیری از رابطهٔ (62) و سپس صفر قرار دادن حاصل، برابر با $u_{Opt} = \sqrt{x}$ است. بدین معنی که مثلا برای حالتی با $C_L=1600C_{in}$ باید پهنای ترانزیستورهای بافر 40 برابر ترانزیستورهای طبقه اول باشد که عدد بسیار بزرگی است و باعث می شود که این روش یک روش عملی نباشد (توجه کنید که

برای این حالت تاخیر کل $\tau_{Total}=80\tau_0$است که خیلی بهتر از مقدار $\tau_{Total}=1600\tau_0$ می باشد ولی هنوز بزرگ است). درواقع این روش برای x کوچک بسیار مناسب است ولی برای x بزرگ چنین نیست. برای رفع این مشکل استفاده از طرح **شکل 3-33** با چند بافر پیشنهاد می شود که در آن افزایش سطح، مرحله به مرحله صورت گیرد. بدین معنی که هر طبقه نسبت به طبقه قبل رشد سطحی داشته باشد. برای چنین عملی باید خازن نفوذی نیز لحاظ شود. اگر ظرفیت خازن نفوذی معکوس کنندهٔ اول C_d باشد درهرمرحله خازن نفوذی دارای ظرفیت $u^i C_d$ باشد.



شکل 3-33 توصیف بافر چند طبقه

درچنین حالتی تاخیر مرحله iام، مستقل از i، برابر است با:

$$\tau_i=\frac{u^iC_d+u^{i+1}C_{in}}{u^i(C_d+C_{in})}\tau_0=\frac{C_d+uC_{in}}{C_d+C_{in}}\tau_0 \qquad (63)$$

دراینحالت τ_0 تاخیر معکوس کننده برای راه اندازی بار با ظرفیت C_d+C_{in}است و τ_i ضربی از آن خواهد شد. با توجه به استقلال رابطهٔ (63) از شماره مرحله ایکه بررسی می شود (یعنی مرحله iام)، تاخیر کل، یک τ_i برای اولین گیت و N برابر τ_i برای طبقات بعدی یعنی $(N+1)\tau_i$ خواهد بود. بنابراین:

$$\tau_{Total}=(N+1)\tau_i \qquad (64)$$

اکنون فرض کنید که $C_L=u^{N+1}C_{in}$ اختیار شود. می توان نشان داد که رابطهٔ زیر برقرار است:

$$u \ln u - u = \frac{C_d}{C_{in}} \qquad (65)$$

اگر C_d قابل اغماض باشد خواهیم داشت $\ln u = 1$ و لذا $u = e$ و دراین حالت مقدار کل تاخیر برحسب u برابر است با:

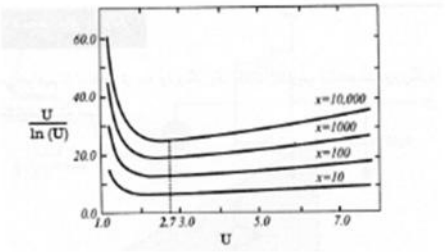
$$\tau_{Total} = \left\{ \left[\ln\left(\frac{C_L}{C_{in}}\right) \right] \tau_a \right\} \frac{u}{\ln u} \qquad (66)$$

اگر این رابطه را که عملا بر حسب u، $\frac{u}{\ln u}$ است مطابق **شکل 3-34** ترسیم کنیم می توان نکات زیر را جهت مجموعهٔ **شکل 3-33** جمع بندی نمود:

1 – منحنی ها درحوالی نقطهٔ $u=e$ حداقل و نسبتا دارای شیب کم هستند، لذا انتخاب $u=3$ یا بعضا 4 انتخاب مناسبی است،

2 – برای u انتخابی دربازهٔ بالا، تاخیر کل در حوالی u، افزایش قابل ملاحظه ای نداشته و میتوان با یک تاخیر نسبتا یکنواخت مجموعهٔ **شکل 3-33** را بکار برد،

3 – افزایش بیشتر u تعداد معکوس کننده های مجموعه را کمتر کرده ولی درعوض نیازمند سطوح اشغال بیشتری خواهیم بود.



شکل **3-34** ترسیم ضریب u/lnu برحسب u و توصیف ضریب تاخیر کل